芯海科技
CHIPSEA
股票代码:688595

CS32F03X 用户手册

32-bit ARM® M0-based MCU

V1.4

涉密等级：公开

芯海科技（深圳）股份有限公司
www.chipsea.com
sales@chipsea.com
+86-0755-8616 9257
518000

版本历史

历史版本	修改内容	版本日期
V 1.0	初始版本	2019-09-18
V 1.1	1. 增加 FLASH_SIZE 寄存器说明	2020-08-18
V 1.2	2. CS32F03X-RA 版本说明	2021-10-18
V1.3	1. 订正 5.3.2 RCU_CTR 中的描述	2022-12-27
V1.4	1. 增加 CS32F036Q 相关描述 2. 订正 21.2.6 I2C 从机发送说明	2023-03-11

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

目 录

版本历史 **2**

文档缩写 **6**

1 芯片架构 **6**

系统架构 7
功能模块对照表 8
存储器 9
启动 13

1.1
1.2 **2 FLASH 控制器 (FMC)** **14**
1.3
1.4

概述 14
模块操作 15
FLASH 中断 22
2.1
2.2 寄存器 22
2.3
2.4 **3 代码选项字节** **30**

概述 30
3.1 代码选项字节描述 30
3.2

4 功耗管理单元 (PMU) **33**

4.1 概述 33
4.2
4.3 模块操作 33
寄存器 38

5.1 **5 复位和时钟单元(RCU)** **41**
5.2

5.3 概述 41
模块操作 41
6.1 寄存器 47
6.2
6.3 **6 通用 IO(GPIO)** **68**

概述 68
7.1 模块操作 68
7.2 寄存器 73

8.1 **7 系统配置控制器 (SYSCFG)** **80**
8.2

8. 3 概述 80
寄存器 80

8 DMA 控制器 **87**

概述 87
模块操作 87
DMA 寄存器 94

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

9 扩展中断/事件控制器（EXTI）..... 99

概述 99
模块操作 99
寄存器 102

10 CRC 计算单元（CRC）..... 106

9.1 概述 106
9.2 模块操作 106
9.3 寄存器 107

11 模拟数字转换器（ADC）..... 110

10.1
10.2 概述 110
10.3 模块操作 110
寄存器 129

11.1
11.2 **12 高级定时器（TIM1）..... 141**
11.3

概述 141
模块操作 142
12.1
12.2 寄存器 185
12.3

13 通用定时器（TIM2 和 TIM3）..... 211

13.1 概述 211
13.2 模块操作 212
13.3 寄存器 247

14 通用定时器（TIM14）..... 267

14.1
14.2 概述 267
14.3 模块操作 268
寄存器 278

15.1
15.2 **15 通用定时器（TIM15/16/17）..... 287**
15.3

15.4 概述 287
模块操作 289
16.1 TIM15 寄存器 310
16.2
16.3 TIM16 和 TIM17 寄存器 329

16 基本定时器（TIM6 ）..... 346

概述 346
18.1 模块操作 346
寄存器 353

17 红外接口(IRTIM) 359

18 独立看门狗定时器（FWDT）..... 360

概述 360

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

模块操作 360
寄存器 361

19 窗看门狗定时器（WWDT） 365

概述 365
模块操作 365
18.2 寄存器 367
18.3

20 实时时钟（RTC） 370

19.1 概述 370
19.2 模块操作 370
19.3 寄存器 381

20.1 21 I2C 接口 398

20.2
20.3 概述 398
模块操作 399
21.1 I2C 寄存器 446
21.2

21.3 22 通用同步异步收发器（USART） 461

概述 461
22.1 模块操作 463
22.2 寄存器 479
22.3

23 SPI/I2S 接口 492

23.1 概述 492
23.2 SPI 模块操作 494
23.3 I2S 模块操作 519
23.4 SPI 和 I2S 寄存器 537

24.1 24 调试支持（DBG） 549

24.2
24.3 概述 549
模块操作 549
25.1 寄存器 549
25.2

25.3 25 器件电子标签 553

概述 553
器件唯一身份标识寄存器（UID） 553
FLASH 大小寄存器（FLASH_SIZE） 554

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

文档缩写

.

- 可读可写（r/w）
- 只读（r）.
- 只写(w).
- 可读/写 1 清零（r/w1c）
- 可读/写 0 清零（r/w0c）
- 可读/读清零（r/rc）
- 可读/写 1 置 1（r/w1s）
- 保留(Res)

适用产品①

产品系列	产品型号	说明
CS32F030	CS32F030F6P6	32KB Flash，TSSOP20
	CS32F030K6T6	32KB Flash，LQFP32
	CS32F030C8T6	64KB Flash，LQFP48
CS32F031	CS32F031E6Y6	32KB Flash，WLCSP25
	CS32F031G6U6	32KB Flash，QFN28(4*4*0.55, e=0.5)
	CS32F031K8U6H	64KB Flash，QFN32(5*5*0.75, e=0.5)
	CS32F031C8T6	64KB Flash，LQFP48
CS32F030-RA	CS32F030F8Px-RA②	64KB Flash，TSSOP20
	CS32F030C8Tx-RA②	64KB Flash，LQFP48
CS32F031-RA	CS32F031G8Kx-RA②	64KB Flash，SSOP28
	CS32F031G8Ux-RA②	64KB Flash，QFN28(4*4*0.55, e=0.5)
	CS32F031K8Sx-RA②	64KB Flash，LQFP32
	CS32F031K8Vx-RA②	64KB Flash，QFN32(4*4*0.75, e=0.4)
	CS32F031K8Ux-RA②	64KB Flash，QFN32(5*5*0.75, e=0.5)
CS32F034-RA	CS32F034F8Px-RA②	64KB Flash，TSSOP20，18 IO
	CS32F034K8Ux-RA②	64KB Flash，QFN32(5*5*0.75, e=0.5), 29 IO
CS32F035	CS32F035F6Px②	32KB Flash，TSSOP20, 17 IO
	CS32F035K6Ux②	32KB Flash，QFN32(4*4*0.75, e=0.4)
CS32F036	CS32F035F6Px②	32KB Flash，TSSOP20
	CS32F035K6Ux②	32KB Flash，QFN32(5*5*0.75, e=0.5)
	CS32F035K6Tx②	32KB Flash，LQFP32

注①：若表格中无对应的型号，请查看最新版的数据手册或咨询芯海科技技术支持人员
②：x=6 或 7，代表不同的工作温度，具体请参考对应的数据手册。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1　芯片架构

系统架构

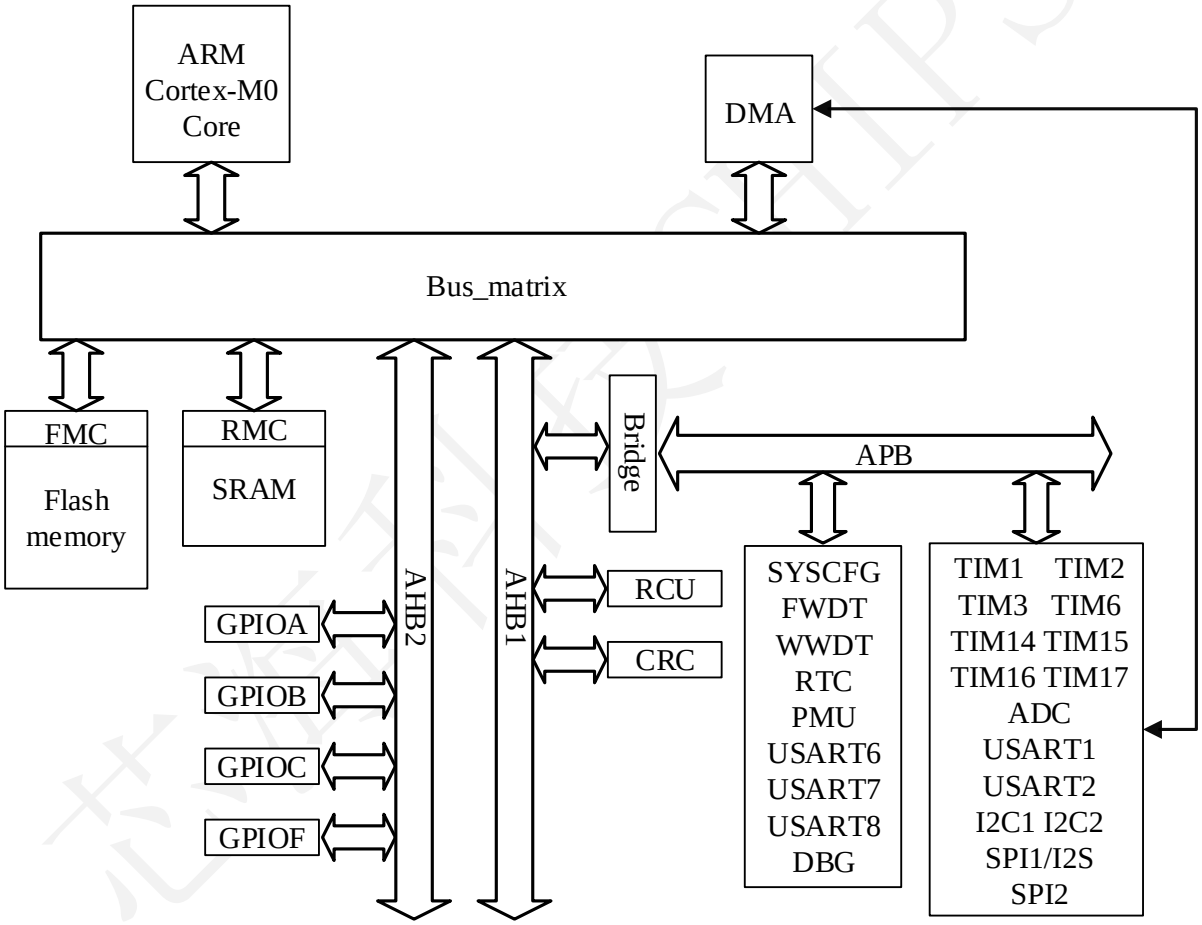
系统采用 AMBA 总线矩阵互联的方式，包括 2 个主机和 4 个从机，如图 1 所示:

- 主机：
  - Cortex-M0 内核
  - 通用 DMA 控制器

1.1

- 从机：
  - 内部 Flash 存储器
  - 内部 SRAM 存储器
  - AHB1 —— 用于连接除 GPIO 外的其他所有外设
  - AHB2 —— 用于连接 GPIOA、GPIOB、GPIOC、GPIOF

图 1 系统架构



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

功能模块对照表

CS32F03x 包括 CS32F030x6、CS32F030x8、CS32F031x6、CS32F031x8、CS32F030-RA、CS32F031-RA、CS32F034-RA、CS32F035、CS32F036、CS32F036Q 等系列。不同系列之间差异如下：

表 1 不同型号功能模块对照表

	F030K6	F030F6	F030x8	F031x6	F031x8	F030-RA	F031-RA	R034-RA	F035	F036	F036Q
Flash	32KB	32KB	64KB	32KB	64KB	64KB	64KB	64KB	32KB	32KB	32KB
SRAM	4KB	4KB	8KB	4KB	8KB	8KB	8KB	8KB	4KB	4KB	4KB
SRAM 奇偶校验	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No	No
TIM1	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
TIM2	No	No	No	Yes	Yes	No	No	No	No	No	No
TIM3	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
TIM6	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No	No
TIM14	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
TIM15	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No	No
TIM16	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
TIM17	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
RTC	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No	No
FWDT	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
WWDT	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
USART1	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
USART2	No	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
USART6	No	No	No	Yes	Yes	Yes	Yes	Yes	No	No	No
USART7	No	No	No	Yes	Yes	Yes	Yes	Yes	No	No	No
USART8	No	No	No	Yes	Yes	Yes	Yes	Yes	No	No	No
SPI1	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
SPI2	No	No	Yes	No	Yes	Yes	Yes	Yes	No	No	No
I2C1	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
I2C2	No	No	Yes	No	Yes	Yes	Yes	Yes	No	No	No
ADC	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
DMA	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
CRC	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
HSE	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
LSE	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	No	No
VBAT 域	Yes	Yes	Yes	Yes	Yes	No	No	No	No	No	No

注：上表中的 Yes 仅表示芯片内部有此模块，内部相关寄存器有效，部分型号因封装未引出相关引脚。更详细的信息参考芯片数据手册。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

存储器

1.3.1 简介

CS32F03x 芯片内部的所有存储器，包括 Flash 程序存储区、Flash 数据存储区、SRAM、寄存器和 IO 口采用统一编址的方式，线性空间可达 4GB。各个部分的地址空间分配如表 2 所示。

表 2 F030/F031/F03x-RA 存储器映射表

1.3

存储器		起始地址	F030K6	F030K6	F030F6/x8	F031x6	F031x8	F03x-RA①
Flash，系统存储区或 SRAM，由启动选项配置		0x0000 0000	32KBytes	32KBytes	64KBytes	32KBytes	64KBytes	64KBytes
Flash 程序存储区		0x0800 0000	32KBytes	32KBytes	64KBytes	32KBytes	64KBytes	64KBytes
系统存储区		0x1FFF EC00	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes
选项字节		0x1FFF F800	64Bytes	64Bytes	64Bytes	64Bytes	64Bytes	64Bytes
Flash 数据存储区		0x1FFF F840	192Bytes	192Bytes	192Bytes	192Bytes	192Bytes	512Bytes
SRAM		0x2000 0000	4KBytes	4KBytes	8KBytes	4KBytes	8KBytes	8KBytes
APB	TIM2	0x4000 0000	-	-	-	1KBytes	1KBytes	-
	TIM3	0x4000 0400	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4000 0800	2KBytes	2KBytes	2KBytes	2KBytes	2KBytes	2KBytes
	TIM6	0x4000 1000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	TIM7	0x4000 1400	-	-	-	-	-	-
	Reserved	0x4000 1800	2KBytes	2KBytes	2KBytes	2KBytes	2KBytes	2KBytes
	TIM14	0x4000 2000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4000 2400	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	RTC	0x4000 2800	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	WWDT	0x4000 2C00	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	FWDT	0x4000 3000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4000 3400	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	SPI2	0x4000 3800	-	-	1KBytes	-	1KBytes	1KBytes
	Reserved	0x4000 3C00	2KBytes	2KBytes	2KBytes	2KBytes	2KBytes	2KBytes
	USART2	0x4000 4400	-	1KBytes	1KBytes	-	1KBytes	1KBytes
	USART3	0x4000 4800	-	-	-	-	-	-
	USART4	0x4000 4C00	-	-	-	-	-	-
	USART5	0x4000 5000	-	-	-	-	-	-
	I2C1	0x4000 5400	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	I2C2	0x4000 5800	-	-	1KBytes	-	1KBytes	1KBytes
	Reserved	0x4000 5C00	5KBytes	5KBytes	5KBytes	5KBytes	5KBytes	5KBytes
	PMU	0x4000 7000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4000 7400	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes
	SYSCFG	0x4001 0000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	EXTI	0x4001 0400	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 0800	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes
	USART6	0x4001 1400	-	-	-	1KBytes	1KBytes	1KBytes
	USART7	0x4001 1800	-	-	-	1KBytes	1KBytes	1KBytes
	USART8	0x4001 1C00	-	-	-	1KBytes	1KBytes	1KBytes

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

	Reserved	0x4001 2000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	ADC	0x4001 2400	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 2800	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	TIM1	0x4001 2C00	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	SPI1/I2S1②	0x4001 3000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 3400	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	USART1	0x4001 3800	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 3C00	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	TIM15	0x4001 4000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	TIM16	0x4001 4400	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	TIM17	0x4001 4800	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 4C00	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes
	DBG	0x4001 5800	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 5C00	9KBytes	9KBytes	9KBytes	9KBytes	9KBytes	9KBytes
AHB1	DMA	0x4002 0000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4002 0400	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes
	RCU	0x4002 1000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4002 1400	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes
	Flash interface	0x4002 2000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4002 2400	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes
	CRC	0x4002 3000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	Reserved	0x4002 3400	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes	3KBytes
AHB2	GPIOA	0x4800 0000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	GPIOB	0x4800 0400	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	GPIOC	0x4800 0800	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	GPIOD	0x4800 0C00	-	-	-	-	-	-
	Reserved	0x4800 1000	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
	GPIOF	0x4800 1400	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes	1KBytes
Cortex-M0 internal peripherals		0xE000 0000	1MBytes	1MBytes	1MBytes	1MBytes	1MBytes	1MBytes

注①：F03x-RA 包括 F030F8-RA、F030C8-RA、F031G8-RA、F031K8-RA、F034F8-RA、F034K8-RA

注②：RA 版本不支持 I2S 功能。

表 3 F035/F036/F036Q 存储器映射表

存储器		起始地址	F035	F036	F036Q
Flash，系统存储区或 SRAM，由启动选项配置		0x0000 0000	32KBytes	32KBytes	32KBytes
Flash 程序存储区		0x0800 0000	32KBytes	32KBytes	32KBytes
系统存储区		0x1FFF EC00	3KBytes	3KBytes	3KBytes
选项字节		0x1FFF F800	64bytes	64bytes	64bytes
Flash 数据存储区		0x1FFF F840	192bytes	192bytes	192bytes
SRAM		0x2000 0000	4KBytes	4KBytes	4KBytes
APB	TIM2	0x4000 0000	-	-	-
	TIM3	0x4000 0400	1KBytes	1KBytes	1KBytes

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

	Reserved	0x4000 0800	2KBytes	2KBytes	2KBytes
	TIM6	0x4000 1000	-	-	-
	TIM7	0x4000 1400	-	-	-
	Reserved	0x4000 1800	2KBytes	2KBytes	2KBytes
	TIM14	0x4000 2000	1KBytes	1KBytes	1KBytes
	Reserved	0x4000 2400	1KBytes	1KBytes	1KBytes
	RTC	0x4000 2800	-	-	-
	WWDT	0x4000 2C00	1KBytes	1KBytes	1KBytes
	FWDT	0x4000 3000	1KBytes	1KBytes	1KBytes
	Reserved	0x4000 3400	1KBytes	1KBytes	1KBytes
	SPI2	0x4000 3800	-	-	-
	Reserved	0x4000 3C00	2KBytes	2KBytes	2KBytes
	USART2	0x4000 4400	1KBytes	1KBytes	1KBytes
	USART3	0x4000 4800	-	-	-
	USART4	0x4000 4C00	-	-	-
	USART5	0x4000 5000	-	-	-
	I2C1	0x4000 5400	1KBytes	1KBytes	1KBytes
	I2C2	0x4000 5800	-	-	-
	Reserved	0x4000 5C00	5KBytes	5KBytes	5KBytes
	PMU	0x4000 7000	1KBytes	1KBytes	1KBytes
	Reserved	0x4000 7400	3KBytes	3KBytes	3KBytes
	SYSCFG	0x4001 0000	1KBytes	1KBytes	1KBytes
	EXTI	0x4001 0400	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 0800	3KBytes	3KBytes	3KBytes
	USART6	0x4001 1400	-	-	-
	USART7	0x4001 1800	-	-	-
	USART8	0x4001 1C00	-	-	-
	Reserved	0x4001 2000	1KBytes	1KBytes	1KBytes
	ADC	0x4001 2400	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 2800	1KBytes	1KBytes	1KBytes
	TIM1	0x4001 2C00	1KBytes	1KBytes	1KBytes
	SPI1	0x4001 3000	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 3400	1KBytes	1KBytes	1KBytes
	USART1	0x4001 3800	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 3C00	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 4000	1KBytes	1KBytes	1KBytes
	TIM16	0x4001 4400	1KBytes	1KBytes	1KBytes
	TIM17	0x4001 4800	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 4C00	3KBytes	3KBytes	3KBytes
	DBG	0x4001 5800	1KBytes	1KBytes	1KBytes
	Reserved	0x4001 5C00	9KBytes	9KBytes	9KBytes
AHB1	DMA	0x4002 0000	1KBytes	1KBytes	1KBytes
	Reserved	0x4002 0400	3KBytes	3KBytes	3KBytes

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

	RCU	0x4002 1000	1KBytes	1KBytes	1KBytes
	Reserved	0x4002 1400	3KBytes	3KBytes	3KBytes
	Flash interface	0x4002 2000	1KBytes	1KBytes	1KBytes
	Reserved	0x4002 2400	3KBytes	3KBytes	3KBytes
	CRC	0x4002 3000	1KBytes	1KBytes	1KBytes
	Reserved	0x4002 3400	3KBytes	3KBytes	3KBytes
AHB2	GPIOA	0x4800 0000	1KBytes	1KBytes	1KBytes
	GPIOB	0x4800 0400	1KBytes	1KBytes	1KBytes
	GPIOC	0x4800 0800	-	-	-
	GPIOD	0x4800 0C00	-	-	-
	Reserved	0x4800 1000	1KBytes	1KBytes	1KBytes
	GPIOF	0x4800 1400	1KBytes	1KBytes	1KBytes
Cortex-M0 internal peripherals		0xE000 0000	1MBytes	1MBytes	1MBytes

1.3.2 片内 SRAM

CS32F03x 芯片包含一个最大 8K 的 SRAM，支持 8 位、16 位和 32 位读写，支持内核和 DMA 以最大系统速率做无等待读写访问。

用户可以通过选项字节的 RAM_PCHK①打开校验功能。RAM 的数据总线是 36 位，包括 32 bits 的有效数据和 4 bits 校验位，每个字节对应一个校验位。当向 SRAM 写入数据时，有效数据的校验结果自动被硬件计算出来并存储在特定区域。读出时由硬件自动完成校验检查。当发生校验错误时，则产生一个 NMI 中断。使能 SRAM 的校验功能时，建议在程序开始之前对全部 RAM 做初始化，以避免意外的校验错误。

注①：F035、F036、F036Q 无此功能

1.3.3 Flash 存储器

Flash 存储器包含三个部分：

- Flash 程序存储区
- Flash 数据存储区
- 选项字节和系统存储区

Flash 控制器接口实现了基于 AHB 总线协议的取指和读取数据，使得 CPU 可以随机地址读取 Flash 存储区，为加速 CPU 对 Flash 存储器的读取速度，专门设计了预取缓存。用户可以通过 Flash 控制器接口的寄存器对 Flash 进行编程和擦除操作。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

启动

芯片有三种不同的启动方式，由 BOOT0 引脚和选项字节的 nBOOT1 位决定，如表 4 所示。启动模式配置在上电复位或者系统复位后的第四个系统时钟上升沿锁存。在启动之后，内核从地址 0x00000000 获取堆栈顶的地址，并从启动存储器的 0x00000004 指示的地址开始执行程序代码。

表 4 启动模式

1.4

启动选项	BOOT0 脚	nBOOT1
从 Flash 程序存储区启动	0	x
从 SRAM 启动	1	0
从系统存储区启动	1	1

根据启动选项的配置，Flash 程序存储区（原起始地址为 0x08000000）、系统存储区（原起始地址为 0x1FFFEC00）和 SRAM（原起始地址为 0x20000000）都可以映射到地址 0x00000000。

启动模式选择后，应用程序可以再通过 MEM_RMAP[1:0]位修改地址 0x00000000 所映射的存储区。

例如应用程序需要在 Flash 程序存储区外，重新设置 Cortex-M0 的中断向量表可以将向量表重定位到 SRAM 中，具体过程如下：

- 将新的向量表从 Flash 复制到 SRAM 的基地址 0x20000000。
- SRAM 重映射到 0x00000000 地址。
- 一旦发生中断，内核将从重定位到 0x00000000 地址的 SRAM 中的向量表获取中断处理函数的起始地址，跳转到 Flash 中的 中断处理函数。

嵌入式引导程序位于系统存储区，由芯片生产时写入，用户可以通过 USART 串口的 PA9/PA10 或 PA14/PA15 引脚对 Flash 编程。。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

2 Flash 控制器 (FMC)

概述

2.1.1 简介

Flash 控制器实现了基于 AHB 总线对 Flash 进行指令和数据的访问。包括实现了可以加速 CPU 执行速度的读预取功能和通过控制 Flash 寄存器进行写、擦除操作的功能。

2.1

2.1.2 Flash 结构及其控制器

Flash 结构

- Flash 由 32 位宽的存储单元组成，可用于存储代码和数据，其结构如表 5 所示：Flash 程序存储区，Flash 程序存储区按最大 64 页（每页 1K 字节）或 最大 16 扇区（每扇区 4KB）分块，以扇区为单位设置写保护。
- 选项字节和系统存储区，选项字节和系统存储区分成两部分：
    1. 最大 3KB 系统存储区：用于芯片从信息区启动模式。这个区域包含了自举程序（Bootloader），用于通过选定的通信接口向 Flash 主区编程。系统存储器由芯海科技在芯片生产时编程完毕。
    2. 最大 2×6B(包含补码校验)代码选项字节

Flash 控制器

Flash 控制器的功能有带预取缓冲器的读接口(3×32 位)、代码选项字节加载器、Flash 写/擦除操作、读/写/擦除保护、低功耗模式、测试探针寄存器。

表 5 Flash 结构

Flash 区域	地址	大小（字节）	名称	描述
Flash 程序存储区	0x0800 0000 - 0x0800 03FF	1 K	页 0	扇区 0
	0x0800 0400 - 0x0800 07FF	1 K	页 1	
	0x0800 0800 - 0x0800 0BFF	1 K	页 2	
	0x0800 0C00 - 0x0800 0FFF	1 K	页 3	
	. . .	. . .	. . .	
	0x0800 7000 - 0x0800 73FF	1 K	页 28	扇区 7
	0x0800 7400 - 0x0800 77FF	1 K	页 29	
	0x0800 7800 - 0x0800 7BFF	1 K	页 30	
	0x0800 7C00 - 0x0800 7FFF	1 K	页 31	
	. . .	. . .	. . .	
	0x0800 F000 - 0x0800 F3FF	1 K	页 60	扇区 15
	0x0800 F400 - 0x0800 F7FF	1 K	页 61	
	0x0800 F800 - 0x0800 FBFF	1 K	页 62	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

	0x0800 FC00 - 0x0800 FFFF	1 K	页 63	
选项字节和系统存储区	0x1FFF EC00 - 0x1FFF F7FF	3 K		系统存储
	0x1FFF F800 - 0x1FFF F80B	2 x 6		选项字节

模块操作

2.2.1 Flash 读/写/擦除

2.2

Flash 读操作

嵌入式 Flash 可以像普通存储空间一样进行直接访问。任何对 Flash 的读操作都要通过专门的读判断，然后 Flash 才会提供相对应的存储数据。指令和数据的读取都是在同一个 AHB 总线上进行。通过配置 Flash 等待控制寄存器(FMC_WCR)，读取操作可以按照下面方式执行：

- 取指：Cortex-M0 取指在 AHB 总线上进行，使能预取指功能加速 CPU 的执行，提高取指效率
- 等待期：为了读取正确的值而需要等待的时间

预取缓冲

预取缓冲器由 3 块 32 位缓冲器构成，其数据宽度和内容与 Flash 相同。在单次取指过程中，每块 32 位的缓冲器可以完全替代 Flash。预取缓冲器的设计可以让 CPU 执行更快，因为当 CPU 取 16/32 位指令时候，下一个指令已经预取在预取缓冲器了。理论上，如果指令是 16/32 位对齐时，CPU 取指速度可以提高 2 倍。

只有当 FMC 等待计数为 1 时，预取指功能才能提高取指效率。FMC 等待计数为 0 时，预取指功能并不能影响取指效率。预取指功能对功耗有些影响，但是这取决于运行的程序本身。当预取缓冲器至少有 1 块可用时，预取控制器才会从 Flash 读取数据到预取缓冲器。初始化过程中，预取控制器是关闭的，因为此时 CPU 运行频率为 8MHz。

Flash 读等待时间

为了预取缓冲器能够正确读取 Flash，预取缓冲器的时钟周期和访问 Flash 的等待时间的关系必须正确配置 FMC 等待寄存器中的 WCNT 值。复位后芯片时钟恢复为默认 HRC8，WCNT 恢复为默认 0，即对 Flash 的访问不需要额外的等待时间。

Flash 写和擦除操作

该嵌入式 Flash 支持在线编程和在应用编程两种方式：

- 在线编程（ISP），在线编程是指通过 SWD 或者 BootLoader 加载应用程序到 Flash。由于不需要繁琐的芯片夹装等操作，在线编程可以加速代码的迭代开发。
- 在应用编程（IAP），在应用编程可以通过芯片支持的任何通信方式，比如 I/O 端口、USART1 下载程序或数据到 Flash。同时允许用户在程序运行过程中时，对 Flash 进行在应用编程，前提是部分应用程序预先通过在应用编程方式烧录进去。

复位后，Flash 处于写保护状态以防止意外的写、擦除操作发生。FMC 控制寄存器(FMC_CTR)处于锁定状态不允许被改写（除了更新代码选项字节位(OBUPDATE)）。需要向 FMC 控制码寄存器(FMC_CCODE)依次写入 CCODE1、CCODE2 控制码来开启对 FMC_CTR 的访问权限。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- CCODE1=0x45670123
- CCODE2=0xCDEF89AB

写入任何错误的控制码或者错误的顺序都会锁死 FMC_CTR 直至下次复位，并且产生硬件错误中断。通过软件向 FMC_CTR 中的锁定标志位(LOCK)写 1 来重新锁定对 FMC_CTR 的保护。

写和擦除操作通过以下 Flash 寄存器操作流程实现（写和擦除操作可以在芯片的全工作电压范围内进行）：

- FMC 控制码寄存器(FMC_CCODE)
- FMC 代码选项字节控制码寄存器(FMC_OBCCODE)
- FMC 控制寄存器(FMC_CTR)
- FMC 状态寄存器(FMC_STS)
- 擦除地址寄存器(FMC_ERSADR)
- 代码选项字节状态寄存器(FMC_OBSTS)
- Flash 写保护状态寄存器(FMC_WPSTS)

只要 CPU 不对 Flash 进行访问，进行中的 Flash 读、写、擦除操作不会影响 CPU 运行。但是在 Flash 进行写、擦除操作过程中，如果 CPU 发起 Flash 读操作就会使总线停顿。只有当前的写、擦除操作完成后，才会继续读操作。也就是说，在对 Flash 写、擦除操作时，CPU 不能进行读指令或数据。
进行写、擦除操作时，内部 8 MHz RC 振荡器(HRC)必须开启。

Flash 主区编程

可以通过配置 FMC_CFG 中的 PG_WORD 位选择是否支持字(32 位) 编程。如果仅支持半字(16 位)编程，进行非半字写会引起硬件中断。芯片支持字(32 位) 和半字（16 位）编程，即可以进行字(32 位)或者半字(16 位)写。当 FMC_CTR 中的 Flash 主区编程命令位(PG)置 1 时，可以直接对相应的地址写操作，就是完成一次 Flash 编程操作。

Flash 控制器会预读当前编程的地址，检查是否已经被擦除过，即读取的数据是否全 1。如果没有擦除过，则当前的编程操作会被忽略，并产生警告即 FMC_STS 中的编程错误标志(PGERR)置 1。如果编程的地址是受 Flash 写保护状态寄存器(FMC_WPSTS)保护的地址范围，则当前的编程操作会被忽略，并产生警告，即 FMC_STS 中的擦除/编程保护错误标志位(WPERR)置 1。编程操作完成后，FMC_STS 中的操作结束标志位(ENDF)将置 1。

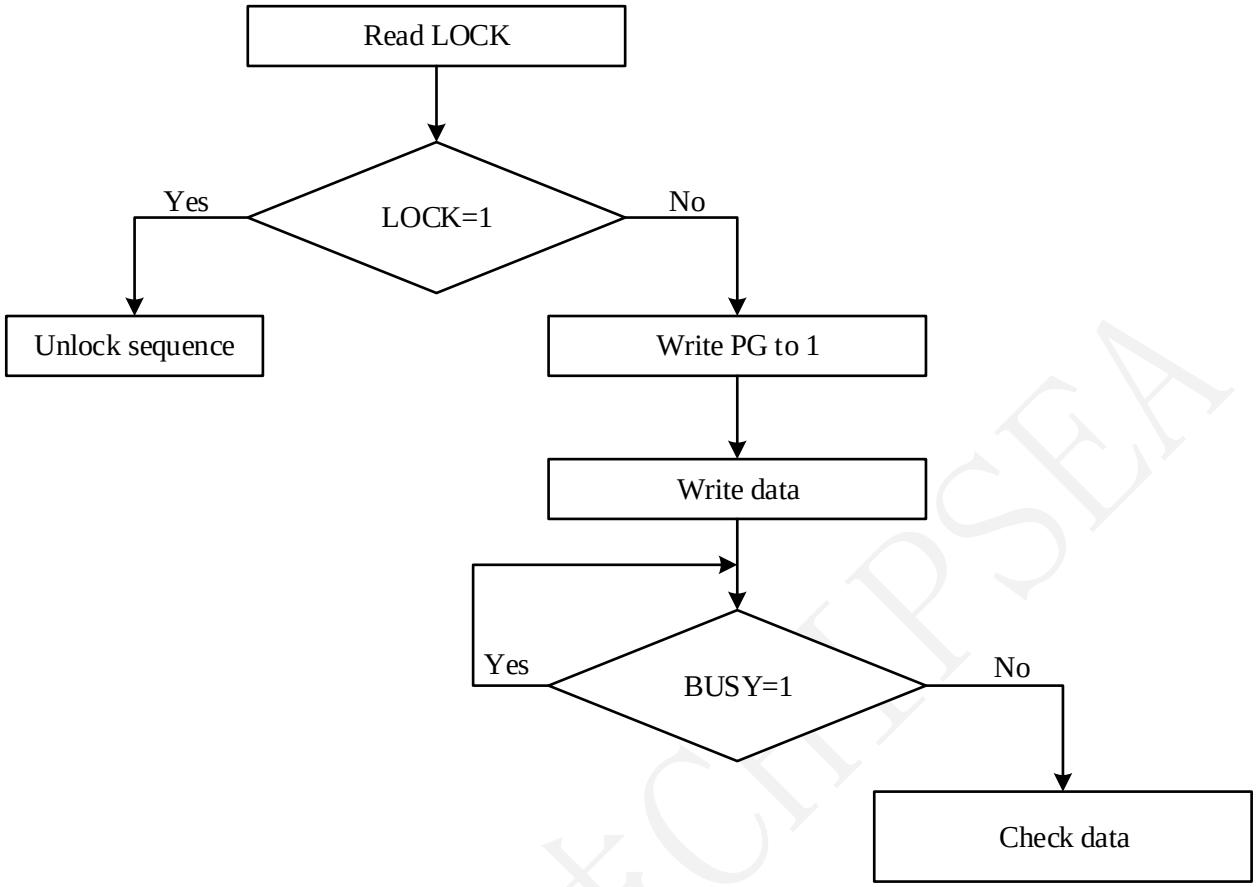
Flash 主区编程的标准步骤如下：

1. 通过查询 FMC_STS 中的 Flash 忙标志位(BUSY)判断主区的上一次操作是否已经完成
2. FMC_CTR 中的 Flash 主区编程命令位(PG)置 1
3. 往相应 Flash 地址写入数据
4. 等待 FMC_STS 中的 BUSY 被复位
5. 检查 FMC_STS 中的 ENDF(如果编程成功，ENDF 置 1)，然后通过软件清除 ENDF 位

注：当 FMC_STS 中的 BUSY 位为 1 时，这些寄存器不能写。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 2 编程流程



Flash 擦除

Flash 可以按页擦除，也可以整片擦除。

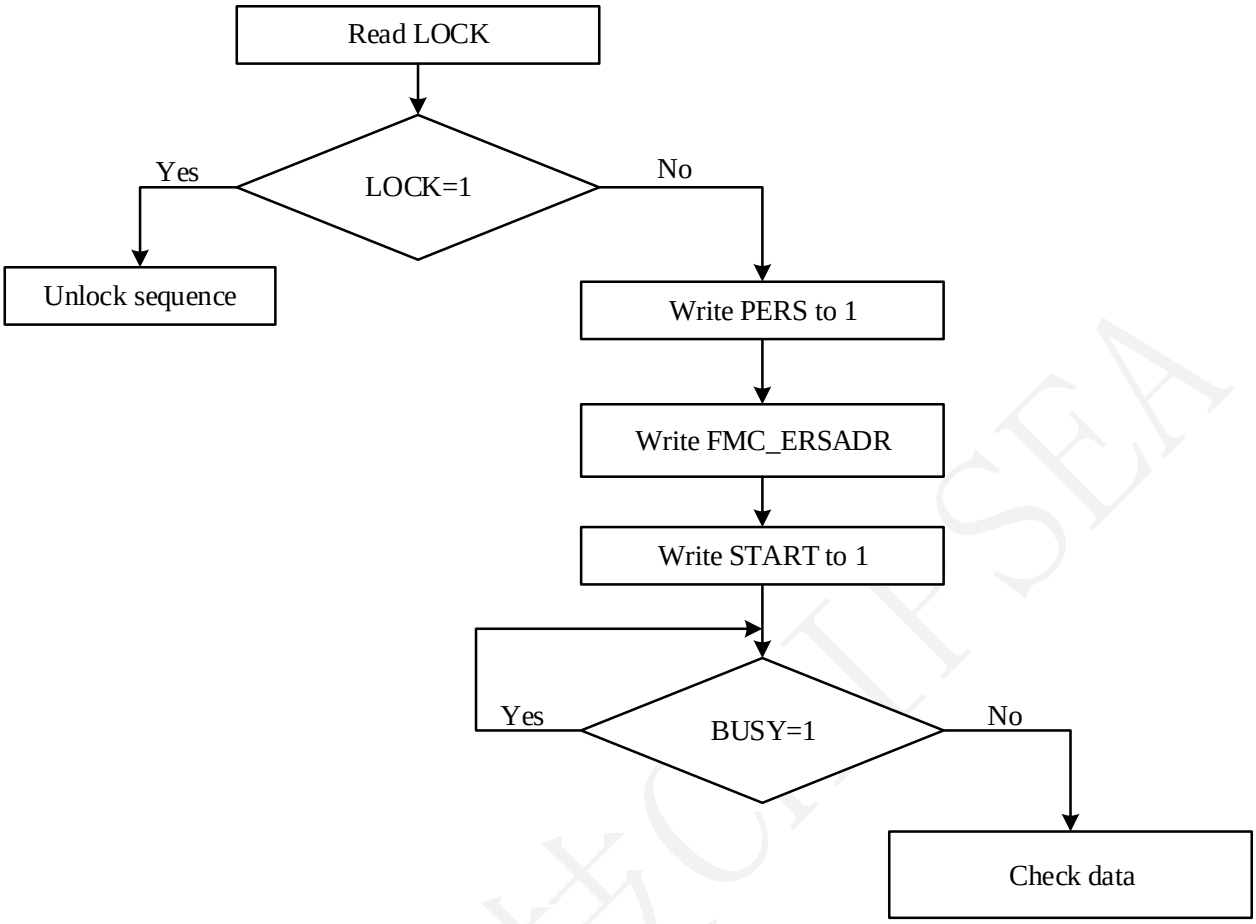
Flash 页擦除的标准步骤如下：

1. 通过查询 FMC_STS 中的 Flash 忙标志位(BUSY)判断主区的上一次操作是否已经完成
2. FMC_CTR 中的 Flash 页擦除命令位(PERS)置 1
3. 往擦除地址寄存器(FMC_ERSADR)写入要擦除的页地址
4. FMC_CTR 中的启动擦除命令位(START)置 1
5. 等待 FMC_STS 中的 BUSY 被复位
6. 检查 FMC_STS 中的 ENDF 被置 1
7. 通过软件清除 ENDF 位

注：当 START 置 1 后，至少等待 1 个 CPU 周期后软件才开始检查 BUSY 位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 3 页擦除流程



Flash 整片擦除

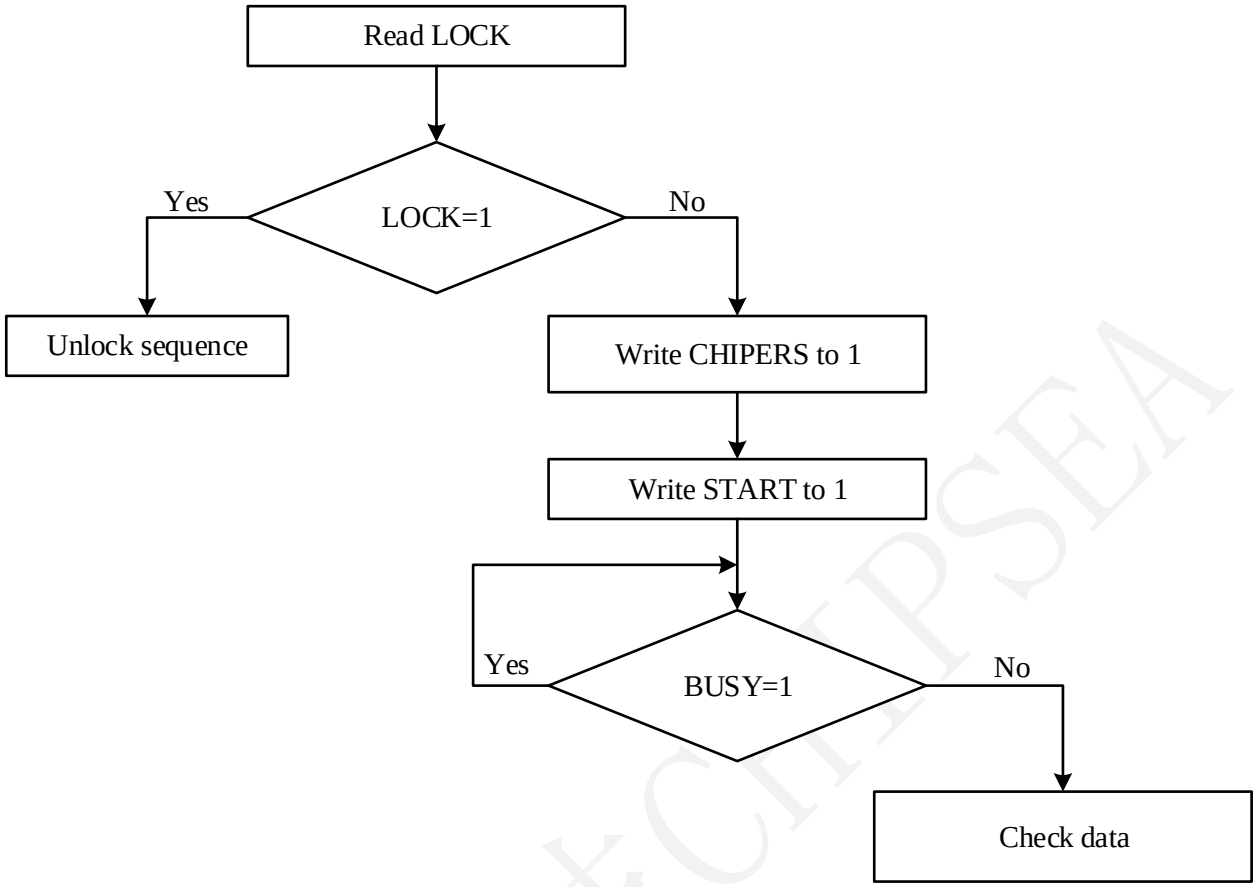
Flash 整片擦除的标准步骤如下：

1. 通过查询 FMC_STS 中的 BUSY 判断主区的上一次操作是否已经完成
2. FMC_CTR 中的 Flash 主区片擦除命令位(CHIPERS)置 1
3. FMC_CTR 中的 START 置 1
4. 等待 FMC_STS 中的 BUSY 被复位
5. 检查 FMC_STS 中的 ENDF 被置 1
6. 通过软件清除 ENDF 位

注：当 START 置 1 后，至少等待 1 个 CPU 周期后软件才开始检查 BUSY 位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 4 整片擦除流程



代码选项字节编程

代码选项字节的编程和常规用户地址（Flash 程序存储区）的编程不同。代码选项字节总共有 6 字节(2 个字节用于写保护，1 个字节用于读保护，1 个字节用于硬件配置，2 个字节用于用户数据)。解除 Flash 访问限制后，还需要向 FMC 代码选项字节控制码寄存器(FMC_OBCCODE)依次写入 OBCCODE1、OBCCODE2 控制码来开启对代码选项字节访问权限。

- OBCCODE1=0x45670123
- OBCCODE2=0xCDEF89AB

写入正确的控制码后，FMC_CTR 中的代码选项字节擦除/编程使能位(OBWEN)被置 1。然后把 FMC_CTR 中的代码选项字节编程命令位(OBPG)置 1，再往相对应的 Flash 地址写半字。

Flash 控制器会预读当前编程的地址，检查是否已经被擦除过，即读取的数据是否全 1。如果没有擦除过，则当前的编程操作会被忽略，并产生警告即 FMC_STS 中的 WPERR 置 1。编程操作完成后，FMC_STS 中的 ENDF 置 1。

编程代码选项字节时硬件会自动同时保存其补码在 Flash 中，保证数据的鲁棒性。

代码选项字节的标准编程步骤如下：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1. 通过查询 FMC_STS 中的 BUSY 判断主区的上一次操作是否已经完成
2. 解锁以置位 OBWEN
3. FMC_CTR 中的 OBPG 置 1
4. 往相应 Flash 地址写入数据
5. 等待 FMC_STS 中的 BUSY 被复位
6. 读取相应 Flash 地址的数据来检查是否编程成功

当 Flash 的读保护代码选项字节由保护状态改成非保护状态，会自动触发一次整片擦除操作（此操作由硬件自动完成），但用户改变其他代码选项字节则不会触发整片擦除操作，该机制用于保护 Flash 存储的数据，使其免于因“读保护级别”降低而被非授权读出。

代码选项字节擦除

代码选项字节的擦除的标准步骤如下：

1. 通过查询 FMC_STS 中的 BUSY 判断主区的上一次操作是否已经完成
2. 解锁以置位 OBWEN
3. FMC_CTR 中的代码选项字节擦除命令位(OBERS)置 1
4. FMC_CTR 中的 START 置 1
5. 等待 FMC_STS 中的 BUSY 被复位
6. 读取相应 Flash 地址的数据来检查是否擦除成功

2.2.2 Flash 读写保护机制

Flash 读保护

读保护机制可以防范 Flash 用户区（Flash 程序存储区）的存储的数据被非授权读出，同时也可以防范当程序跑飞而意外擦除 Flash 的数据。写保护机制写保护的最小单元是一个扇区(4 页)。

通过置位读保护代码选项字节(RPROTOB)和系统复位加载最新的代码选项字节，激活读保护。

注：如果读保护的代码选项字节是在调试器连接 SWD 期间设置，需要上电复位而不是系统复位。

系统存储区的读权限不受读保护级别限制，但是不能对该区域编程和擦除操作。

读保护可分为无保护、一级保护和二级保护三种保护等级。读保护级别根据读保护代码选项字节(RPROTOB)及其补码确定，如下表：

表 6 Flash 读保护级别

RPROTOB	RPROTOB 补码	读保护级别
0xAA	0x55	无保护
除 0xAA 和 0xCC 之外的任意值	除 0x55 和 0x33 之外的任意值	一级保护
0xCC	0x33	二级保护

读无保护级别

在无保护级别时，可以对 Flash 程序存储区和代码选项字节执行读、编程、擦除操作。

读一级保护级别

读保护代码选项字节被擦除后，系统默认读保护级别为一级保护级别。其它情况下，如果 RPROTOB 不是 0xAA 和 0xCC 或者 RPROTOB 补码不是 0x55 和 0x33，读保护级别也为一级保护级别。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- **用户模式**：运行在用户模式下的代码可以对 Flash 程序存储区和代码选项字节执行读、编程、擦除操作。
- **调试、RAM 启动和 BootLoader 模式**：代码运行在调试模式或者是 RAM 启动、BootLoader 启动时，没有对 Flash 程序存储区和不掉电寄存器的访问权限。在这种模式下，对 Flash 程序存储区或者不掉电寄存器发起读操作会引起总线报错并产生硬件错误中断。Flash 程序存储区同时也禁止写和擦除操作， 以防范恶意程序修改代码， 任何尝试改写的操作都会引起 FMC_STS 中的 PGERR 标志置 1。通过改写代码选项字节的值使得读保护级别变为无保护，会引发一次整片擦除操作，同时复位不掉电寄存器。

读二级保护级别：无调试

在二级保护时，一级保护的所有功能也同时有效，更严格的 ，Cortex-M0 的 SWD 调试功能、RAM 启动模式和 BootLoader 启动模式也被禁用。因此，在二级保护时，SWD 调试模式、RAM 启动模式和 BootLoader 模式都不能使用。

在用户模式下，代码可以对 Flash 程序存储区执行读、编程、擦除操作，但是对代码选项字节只能执行读和编程操作。此外，代码选项字节里的读保护代码选项字节是不能被编程改写的，因此二级保护是永远不能被清除掉，是不可逆的操作。试图改变读保护代码选项字节时，FMC_STS 中的 WPERR 会被置位，同时根据配置能够产生一个中断。

注：在复位条件下，调试模式也不能使能；芯海科技不能对启动二级保护模式的芯片进行分析。

表 7 访问权限和读保护级别及运行模式的对照表

区域	保护级别	用户代码执行			调试/RAM 启动/BootLoader		
		读	写	擦除	读	写	擦除
Flash 程序存储区	一级	YES	YES	YES	NO	NO	NO[4]
	二级	YES	YES	YES	N/A[1]	N/A[1]	N/A[1]
系统存储区[2]	一级	YES	NO	NO	NO	NO	NO
	二级	YES	NO	NO	N/A[1]	N/A[1]	N/A[1]
代码选项字节	一级	YES	YES[3]	YES	YES[4]	YES[3 4]	YES
	二级	YES	YES[5]	NO	N/A[1]	N/A[1]	N/A[1]
不掉电寄存器[6]	一级	YES	YES	N/A	NO	NO	NO
	二级	YES	YES	N/A	N/A[1]	N/A[1]	N/A[1]

1. 二级保护时，SWD 调试模式、RAM 启动模式和 BootLoader 模式都不能使用。
2. 系统存储区的读权限不受读保护级别限制，但是不能对该区域编程和擦除操作。
3. 当读保护代码选项字节变为无保护时，会引发一次整片擦除操作。
4. 当读保护代码选项字节变为一级保护时，BootLoader 不能读或写代码选项字节，除了把保护级别从一级保护变为无保护。
5. 所有代码选项字节都可以被编程，除了读保护代码选项字节。
6. 当保护级别由一级变为无保护时，不掉电寄存器会被复位。

改变读保护级别

改写读保护代码选项字节的值(除了 0xCC 外)，就可以把读保护级别从无保护改成一级保护。往读保护代码选项字节写入 0xCC 及其补码，读保护级别就可以从无保护或者一级保护改成二级保护。相反，将芯片从一级保护修改为无保护时（往读保护代码选项字节写入 0xAA 及其补码），不可避免的会触发一次整片擦除操作。

注：整片擦除操作同时会复位不掉电寄存器。为了确保保护级别生效，代码选项字节必须通过 FMC_CTR

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

中的更新代码选项字节位(OBUPDATE)强制重新加载。

Flash 写保护

写保护最小单位是一个扇区(4 页)，通过配置代码选项字节中的 WPROTOB0（使能写保护），再用 FMC_CTR 中的 OBUPDATE 重新加载代码选项字节，以激活写保护功能。如果尝试对受写保护的扇区执行编程或擦除操作，则 Flash 控制器会报错，即 FMC_STS 中的 WPERR 置位。

如下两个方式可以解除写保护功能

- 解除写保护后读保护功能也失效：
  1、置位 FMC_CTR 中的代码选项字节擦除命令位(OBERS)擦除整个代码选项字节区域；
  2、向 RPROTOB 写入 0xAA 解除所有保护功能，同时会引起一次整片擦除操作；
  3、置位 FMC_CTR 中的 OBUPDATE 位重新加载代码选项字节，解除写保护功能。
- 解除写保护后读保护功能仍有效，主要应用于用户 BootLoader 在应用编程：
  1、置位 FMC_CTR 中的 OBERS 擦除整个代码选项字节区域；
  2、置位 FMC_CTR 中的 OBUPDATE 位重新加载代码选项字节，解除写保护功能。

2.2.3 代码选项字节写保护

代码选项字节默认是可读，但写受保护。为了解除写保护，需要依次向 FMC_OBCCODE 写入 OBCCODE1、OBCCODE2 控制码来解除代码选项字节写保护，同时 FMC_CTR 中的 OBWEN 位置位。通过对 OBWEN 位清 0， 可以再次开启对代码选项字节的写保护。

2.3 Flash 中断

表 8 Flash 中断请求

中断事件	事件标志位	使能控制位
操作结束	ENDF	ENDIE
擦除/编程保护错误	WPERR	ERRIE
编程错误	PGERR	ERRIE

2.4 寄存器

2.4.1 寄存器概览

表 9 FMC 寄存器概览

名称	偏移地址	描述	复位值
FMC_WCR	0x000	FMC 等待寄存器	0x00000000
FMC_CCODE	0x004	FMC 控制码寄存器	0xXXXXXXXX
FMC_OBCCODE	0x008	FMC 代码选项字节控制码寄存器	0xXXXXXXXX
FMC_STS	0x00C	FMC 状态寄存器	0x00000000
FMC_CTR	0x010	FMC 控制寄存器	0x00000080
FMC_ERSADR	0x014	擦除地址寄存器	0x00000000
FMC_OBSTS	0x01C	代码选项字节状态寄存器	0xXXXXXX0X
FMC_WPSTS	0x020	Flash 写保护状态寄存器	0xXXXXXXXX
FMC_CFG	0x024	FMC 配置寄存器	0x00000000

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

FMC_CFGU	0x028	FMC 用户配置寄存器	0x00000000

2.4.2 FMC 等待寄存器（FMC_WCR）

FMC_WCR (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	WS	WE	保留	WCNT[2:0]		
										r	r/w		r/w	r/w	r/w

Bit 位	名称	描述
[31:6]	保留	
5	WS	**FMC 等待状态** 0: 需等待状态 1: 当 WCNT=001 时，无需等待状态
4	WE	**FMC 等待使能** 0: 需等待 1: 当 WCNT=001 时，无需等待
3	保留	
[2:0]	WCNT	**Flash 访问需要等待的周期数** 代表系统时钟 SYSCLK 和 Flash 访问时间的比率。 000: 无需等待，SYSCLK ≤ 24 MHz 001: 1 个等待周期，24 MHz ≤ SYSCLK ≤ 48 MHz

2.4.3 FMC 控制码寄存器（FMC_CCODE）

FMC_CCODE (偏移地址=0x004，复位值=0xXXXXXXXX)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FMC_CCODE[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FMC_CCODE[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit 位	名称	描述
[31:0]	FMC_CCODE	**用于解锁 Flash**。 只写寄存器，若读则返回值为 0。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

2.4.4 FMC 代码选项字节控制码寄存器（FMC_OBCCODE）

FMC_OBCCODE (偏移地址=0x008，复位值=0xXXXXXXXX)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FMC_OBCCODE[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FMC_OBCCODE[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit 位	名称	描述
[31:0]	FMC_OBCCODE	**用于解锁使能 OBWEN** 只写寄存器，若读则返回值为 0。

2.4.5 FMC 状态寄存器（FMC_STS）

FMC_STS (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	ENDF	WPERR	保留	PGERR	保留	BUSY
										r/w1c	r/w1c		r/w1c		r

Bit 位	名称	描述
[31:6]	保留	
5	ENDF	**操作结束标志位** 每次 Flash 成功完成编程或者擦除操作后被硬件置位 写 1 清除
4	WPERR	**擦除/编程保护错误标志位** 向受写保护的 Flash 地址编程时被硬件置位 写 1 清除
3	保留	
2	PGERR	**编程错误** 当被编程的地址的值不是'0xFFFF' 的情况下，仍向该地址执行写入操作时被硬件置位 写 1 清除 *注：在执行编程操作前，FMC_CTR 中的 START 需要先被复位*
1	保留	
0	BUSY	**Flash 忙标志位**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1 表示 Flash 当前正在执行操作。当 Flash 开始执行操作时被硬件置位，当操作结束或者发生错误时被硬件清 0。

2.4.6 FMC 控制寄存器（FMC_CTR）

FMC_CTR (偏移地址=0x010，复位值=0x00000080)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	OBUPDATE	ENDIE	保留	ERRIE	OBWEN	保留	LOCK	START	OBERS	OBPG	保留	CHIPERS	PERS	PG
		r/w	r/w		r/w	r/w		r/w	r/w	r/w	r/w		r/w	r/w	r/w

Bit 位	名称	描述
[31:14]	保留	
13	OBUPDATE	**更新代码选项字节** 写 1 强制更新代码选项字节，并且会产生系统复位；写 0 无效。
12	ENDIE	**操作结束中断使能** 该位使能操作结束中断，使得当 FMC_STS 中的 ENDF 置位时产生中断请求 0: 禁止操作结束中断 1: 使能操作结束中断
11	保留	
10	ERRIE	**错误中断使能** 该位使能操作错误中断，使得当 FMC_STS 中的 WPERR/PGERR 置位时产生中断请求 0: 禁止错误中断 1: 使能错误中断
9	OBWEN	**代码选项字节擦除/编程使能** 向 FMC_OBCCODE 写入正确的解码序列置位该位，使得代码选项字节可以擦除/编程，该位可以被软件复位。
8	保留	
7	LOCK	**锁定标志** 向 FMC_CCODE 写入正确的解码序列复位该位来解锁 Flash。检测到错误的解码序列会置位该位，从而锁住 Flash，禁止访问直至下次复位。
6	START	**启动擦除命令** 置位该位会触发一次擦除操作。会在 BUSY 被清 0 时清 0。
5	OBERS	**代码选项字节擦除命令** 代码选项字节擦除选择。
4	OBPG	**代码选项字节编程命令** 代码选项字节编程选择。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

3	保留	
2	CHIPERS	**Flash 主区片擦除命令** Flash 主区片擦除选择。
1	PERS	**Flash 页擦除命令** Flash 页擦除选择。
0	PG	**Flash 主区编程命令** Flash 主区编程选择。

2.4.7 FMC 擦除地址寄存器（FMC_ERSADR）

该寄存器由硬件根据当前或上次操作的地址更新。当用于页擦除时，通过软件更新。

FMC_ ERSADR (偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ERSADR[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERSADR[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit 位	名称	描述
[31:0]	ERSADR	**擦除地址** 当用于编程操作时，写入编程的地址。当用于页擦除操作时，写入待擦除的页地址。 *注：当 FMC_STS 中的 BUSY 位为 1 时，该寄存器禁止被访问。*

2.4.8 FMC 代码选项字节状态寄存器（FMC_OBSTS）

该寄存器的复位值取决于代码选项字节对应的值。

FMC_CTR (偏移地址=0x01C，复位值=0xXXXXXX0X)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA1[7:0]								DATA0[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	RAM_PCHK	VDDA_DET	nBOOT1	保留	nRST_PWD	nRST_DSM	FWDT_AO	保留	保留	保留	保留	保留	RPROT[1:0]		OBERR
	r	r	r		r	r	r						r		r

Bit 位	名称	描述

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

[31:24]	DATA1	**用户数据 1** 参考代码选项字节。
[23:16]	DATA0	**用户数据 0** 参考代码选项字节。
15	保留	
14	RAM_PCHK	**RAM 校验检查** 0: 禁止 RAM 校验检查 1: 使能 RAM 校验检查
13	VDDA_DET	**VDDA 检测** 0: 禁止 VDDA 检测 1: 使能 VDDA 检测
12	nBOOT1	**nBOOT1**，选择启动模式，具体参考启动配置
11	保留	
10	nRST_PWD	**进入掉电模式产生复位信号** 0: 产生复位 1: 不产生复位
9	nRST_DSM	**进入深度睡眠模式产生复位信号** 0: 产生复位 1: 不产生复位
8	FWDT_AO	**硬件看门狗** 0: 硬件看门狗 1: 软件看门狗
[7:3]	保留	
[2:1]	RPROT	**读保护安全级别状态** 00: 读保护级别为无保护 (产品默认配置) 01: 读保护级别为一级保护 11: 读保护级别为二级保护
0	OBERR	**代码选项字节错误** 当该位被置位时，说明加载代码选项字节时互补关系不成立。

2.4.9 FMCFlash 写保护状态寄存器（FMC_WPSTS）

该寄存器的复位值取决于代码选项字节对应的值。

FMC_WPSTS (偏移地址=0x020，复位值=0xXXXXXXXX)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WPROT1[7:0]								WPROT0[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

Bit 位	名称	描述
[31:16]	保留	
[15:8]	WPROT1	**写保护字节 1**
[7:0]	WPROT0	**写保护字节 0**

2.4.10 FMC 配置寄存器（FMC_CFG）

FMC_CFG (偏移地址=0x024，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	PG_WORD
															r/w

Bit 位	名称	描述
[31:1]	保留	
0	PG_WORD	**字编程** 0：仅支持半字编程，非半字编程将硬件报错 1：支持字编程，半字编程

2.4.11 FMC 用户配置寄存器（FMC_CFGU）

注：此寄存器仅 CS32F03X-RA 版本有，其他版本配置无效

FMC_CFGU (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	OP_0P8V_EN	保留	FWUP
													r/w		r/w

Bit 位	名称	描述
[31:3]	保留	
2	OP_0P8V_EN	Flash 0.8V 电压开关使能 1：Deepsleep 时，打开 0.8V BUF 0：Deepsleep 时，关闭 0.8V BUF

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1	保留	
0	FWUP	Flash 快速唤醒 1：deepsleep 唤醒时，flash 快速唤醒，唤醒时间约 5us。 0：deepsleep 唤醒时，flash 正常唤醒，唤醒时间约 10us。

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

3　代码选项字节

概述

3.1.1　简介

代码选项字节总共有 6 个字节，可以根据用户需求进行配置，比如可以配置选择硬件看门狗或者软件看门狗。

3.1

3.1.2　功能概览

代码选项字节设计有补码，一个 32 位字的结构如下表：

表 10 代码选项字节格式

[31:24]	[23:16]	[15:8]	[7:0]
代码选项字节 1 的补码	代码选项字节 1	代码选项字节 0 的补码	代码选项字节 0

代码选项字节位于选项字节和系统存储区，其值可以通过下表地址读出或者从 FMC_OBSTS 读出，其结构如下表：

注：新编程入代码选项字节的值，需要经过上电复位或者置位 OBUPDATE 才会更新生效。

表 11 代码选项字节结构

地址	[31:24]	[23:16]	[15:8]	[7:0]
0x1FFFF800	nUSEROB	USEROB	nRPROTOB	RPROTOB
0x1FFFF804	nDATA1	DATA1	nDATA0	DATA0
0x1FFFF808	nWPROTOB1	WPROTOB1	nWPROTOB0	WPROTOB0

每次上电复位后，代码选项字节加载器都会重新读取信息块的内容并存到 FMC_OBSTS 和 FMC_WPSTS 寄存器中。

3.2

代码选项字节描述

3.2.1　代码选项字节概览

表 12 代码选项字节概览

名称	地址	描述	复位值
OB_USERRDP	0x1FFFF800	用户配置和读保护级别代码选项字节	0x00FF55AA
OB_DATA	0x1FFFF804	用户数据选项代码字节	0x00FF00FF
OB_WPR	0x1FFFF808	写保护代码选项字节	0x00FF00FF

3.2.2　用户配置和读保护级别代码选项字节（OB_USERRDP）

OB_USERRDP (地址=0x1FFFF800，复位值=0x00FF55AA)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
nUSEROB								USEROB							
								保留	RAM_PC	VDDA_D	nBOOT1	保留	nRST_PW	nRST_DS	FWDT_A

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

									HK	ET			D	M	O
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
nRPROTOB								RPROTOB							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:24]	nUSEROB	**用户配置代码选项字节的补码**
23	保留	
22	RAM_PCHK	**RAM 校验检查** 0: 禁止 RAM 校验检查 1: 使能 RAM 校验检查
21	VDDA_DET	**VDDA 检测** 0: 禁止 VDDA 检测 1: 使能 VDDA 检测
20	nBOOT1	**nBOOT1** 选择启动模式，具体参考启动配置
19	保留	
18	nRST_PWD	**进入掉电模式产生复位信号** 0: 产生复位 1: 不产生复位
17	nRST_DSM	**进入深度睡眠模式产生复位信号** 0: 产生复位 1: 不产生复位
16	FWDT_AO	**硬件看门狗** 0: 硬件看门狗 1: 软件看门狗
[15:8]	nRPROTOB	**读保护级别代码选项字节的补码**
[7:0]	RPROTOB	**读保护级别代码选项字节** 0xAA: 读保护级别为无保护 (产品默认配置) 0xXX(除了 0xAA 和 0xCC): 读保护级别为一级保护 0xCC: 读保护级别为二级保护 *注: 读保护级别保存在 FMC_OBSTS 中的 RPROT[1:0]。*

3.2.3 用户数据选项代码字节（OB_DATA）

OB_DATA (地址=0x1FFFF804，复位值=0x00FF00FF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
nDATA1								DATA1							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

nDATA0								DATA0							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:24]	nDATA1	**用户数据 1 的补码**
[23:16]	DATA1	**用户数据 1** 保存在 FMC_OBSTS[31:24]。
[15:8]	nDATA0	**用户数据 0 的补码**
[7:0]	DATA0	**用户数据 0** 保存在 FMC_OBSTS[23:16]。

3.2.4　写保护代码选项字节（OB_WPR）

每位写保护保护一个扇区即 4KB，通过写 0 使能写保护。

OB_ WPR (地址=0x1FFFF808，复位值=0x00FF00FF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
nWPROTOB1								WPROTOB1							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
nWPROTOB0								WPROTOB0							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:24]	nWPROTOB1	**写保护代码选项字节 1 的补码**
[23:16]	WPROTOB1	**写保护代码选项字节 1** 保存在 FMC_WPSTS[15:8]，每位对应 4KB 0: 写保护有效 1: 写保护失效
[15:8]	nWPROTOB0	**写保护代码选项字节 0 的补码**
[7:0]	WPROTOB0	**写保护代码选项字节 0** 保存在 FMC_WPSTS[7:0]，每位对应 4KB 0: 写保护有效 1: 写保护失效

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

4　功耗管理单元 (PMU)

概述

4.1.1　简介

芯片有三个电源域，包括 VDDA/VDD 域、1.5V 域和 VBAT 域。VDD 域直接由 V_{DD} 电源供电。芯片内置的调压器(Regulator)为 1.5V 域数字供电。VBAT 域的供电电源可以是 V_{DD} 或者 V_{BAT}，当 V_{DD} 掉电时，
4.1 V_{BAT} 电源为 RTC 和不掉电寄存器供电。

芯片在低功耗功能上，设计提供了四种低功耗模式以供选择，包括睡眠模式、深度睡眠模式 1、深度睡眠模式 2 和掉电模式。用户可根据应用需求在功耗、启动时间和唤醒上做最佳的权衡。

注：　CS32F03X-RA 版本没有 VBAT 域，CS32F03X 对应的 VBAT 域电路都工作在 VDD 域。

4.1.2　功能概览

- 三个电源域：VDD/VDDA 域、1.5V 域和 VBAT 域（CS32F03X-RA 版本无 VBAT 域）
- 四种低功耗模式：睡眠模式、深度睡眠模式 1、深度睡眠模式 2 和掉电模式
- 内置的调压器为 1.5V 域供电
- 调压器有多种工作模式可选，以降低功耗
- 低电压检测
- VBAT 域可单独供电工作（CS32F03X-RA 版本不支持此项）

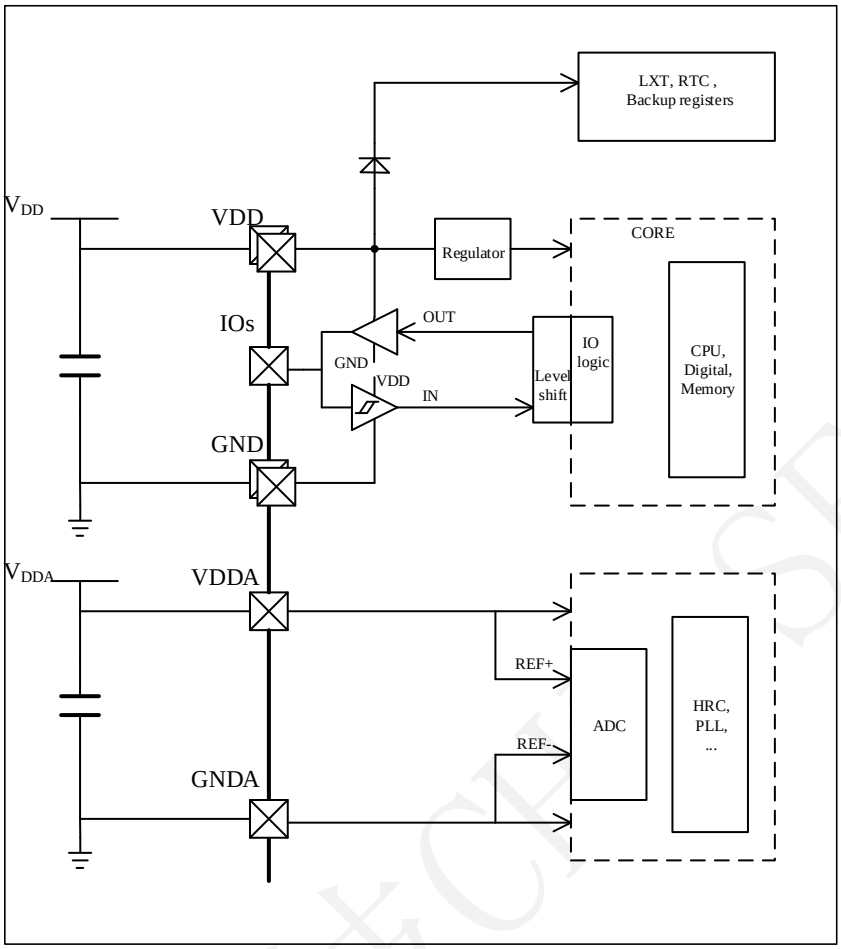
模块操作

4.2

图 5 是芯片的电源供电图。当只有单个电源可使用时，V_{DDA} 可以在外部和 V_{DD} 相连，通过外部滤波电路，确保 V_{DDA} 无噪声。当 V_{DDA} 和 V_{DD} 采用不同电源供电时，V_{DDA} 的电压必须高于或等于 V_{DD}。为了确保上电或掉电情形下，V_{DDA} 和 V_{DD} 的安全关系，可以在 V_{DD} 和 V_{DDA} 间接入一个外部肖特基二极管。

图 5 电源供电图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



4.2.1　VDDA/VDD 电源域

调压器

调压器在上电复位之后自动使能，为 1.5V 域提供稳定的电压。根据应用需求，它可以工作在四种不同的模式。

- 运行模式：调压器全功率向 1.5V 域供电，1.5V 域可正常工作。
- 低功耗模式 1：调压器工作在正常模式下，仅保持 1.5V 域寄存器和 SRAM 的数据。
- 低功耗模式 2：调压器工作在低功耗模式下，仅保持 1.5V 域寄存器和 SRAM 的数据。
- 掉电模式：1.5V 域进入掉电模式，调压器关闭，1.5V 域的寄存器和 SRAM 的数据全部丢失。

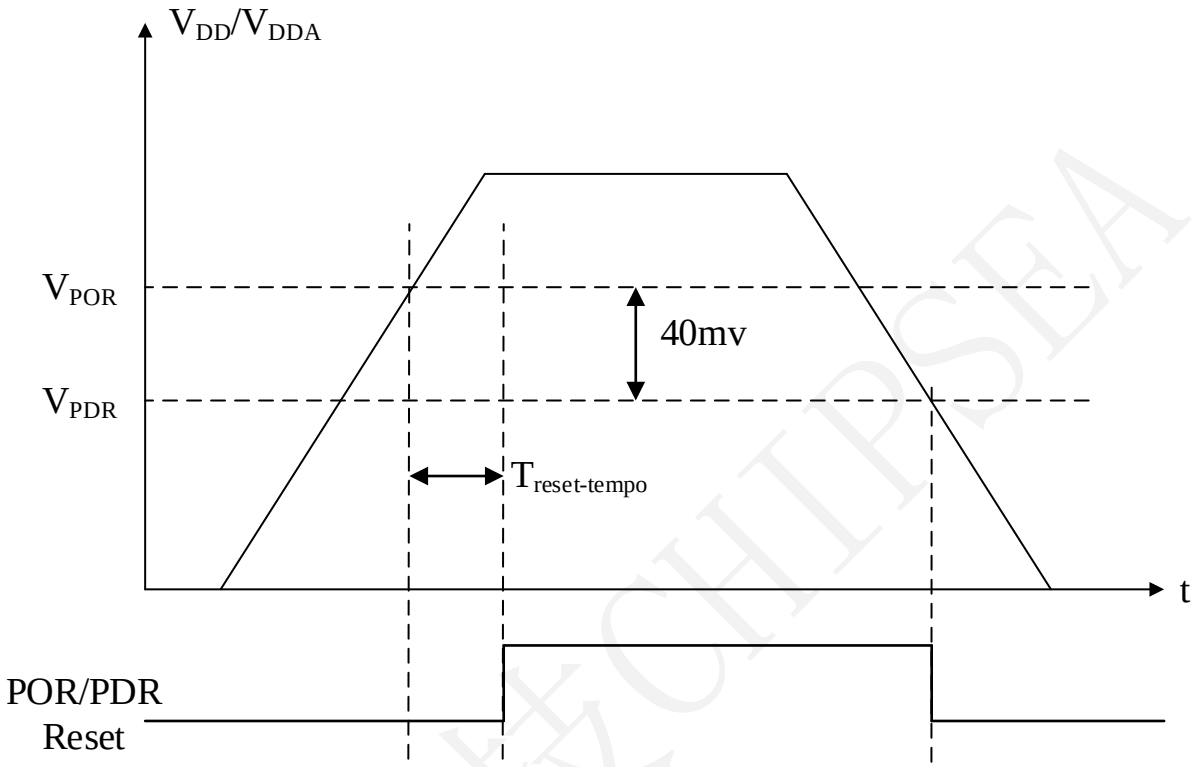
上电复位(POR)和掉电复位(PDR)

芯片内部集成了上电复位（POR）和掉电复位（PDR）电路，使得芯片不需要外部复位电路。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 当 V_{DD} 电压上升到 V_{POR} 阈值时，产生上电复位释放，这需要 V_{DDA} 电压大于或等于 V_{DD}。
- 当 V_{DD}/V_{DDA} 电压降到 V_{POR} 阈值时，产生掉电复位。如果应用可以保证 V_{DDA} 始终大于或等于 V_{DD}，可以通过选项字节的 VDDA_DET 关闭 V_{DDA} 监测功能。

图 6 上电/掉电复位波形



注：$T_{reset-temp0}$ 的具体含义见数据手册。

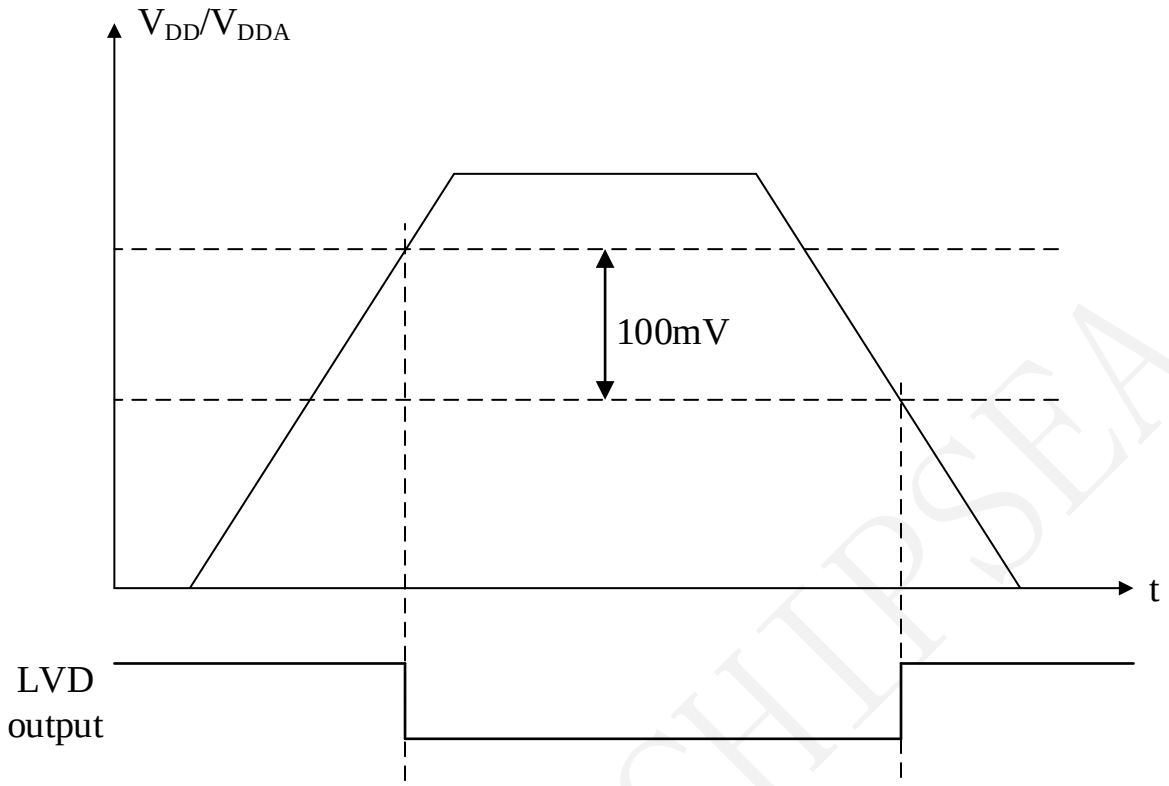
低电压检测（LVD）

低电压检测是用来检测 V_{DD} 电压与 LVDSEL[2:0]配置的电压阈值的关系，软件置位 LVDEN 打开该功能。

标志位 LVDO 表示 V_{DD} 高于或低于 LVD 阈值电压。LVDO 内部连接到 EXTI 线 16 上，中断使能打开时可以产生中断。图 7 给出了 LVDO 和 LVD 阈值的波形图。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 7 LVD 阈值波形



4.2.2 1.5 V 电源域

芯片的主要功能，包括 Cortex-M0 内核、AHB 外设、APB 外设以及 VBAT 和 VDD/VDDA 域的 APB 接口，都在 1.5V 电源域。

4.2.3 VBAT 电源域

V_{DD} 掉电时，为了支持 RTC 模块正常工作，以及保持不掉电寄存器的内容，VBAT 脚可以连接到一个可用电源。V_{BAT} 电源在主电源掉电时，为 RTC 模块、LXT 振荡器和所有的 PC 口供电，保证其正常工作。VBAT 和 VDD 之间由一个二极管连接。

如果应用中没有外部电池，建议 VBAT 在外部通过一个 100nF 的陶瓷电容和 VDD 相连。

当 VBAT 域由 V_{DD} 供电时，下述功能可用：

- PC13、PC14 和 PC15 可以作为 GPIO 使用
- PC13、PC14 和 PC15 可以配置为 RTC 和 LXT 功能

当 VDD 未供电，VBAT 域由 V_{BAT} 供电时，下述功能可用：

- PC13、PC14 和 PC15 只可以被 RTC 和 LXT 使用

注： CS32F03X-RA 版本没有 VBAT 域，CS32F03X 对应的 VBAT 域电路都工作在 VDD 域，上述 VBAT 供电对应的限制在 CS32F03X-RA 版本无效。

4.2.4 低功耗模式

默认情况下，在电源复位或系统复位后，芯片处于全功能运行模式。在运行模式下，用户可以通过降低时钟频率（SYSCLK、HCLK、PCLK）来降低功耗。对于不使用的外设模块，可以直接禁止外设时钟。与运行模式相比，四种低功耗模式可以让芯片达到更低的功耗开销，分别是睡眠模式、深度睡眠模式 1、深度睡眠模式 2、掉电模式。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

RTC 可以通过闹钟事件自动唤醒低功耗模式，不需要外部中断。RTC 提供了一个可编程的时基，用于周期性从深度睡眠模式 1、深度睡眠模式 2 或掉电模式下唤醒。此时，RTC 的工作时钟只能选择 LRC 或 LXT。闹钟唤醒深度睡眠模式（深度睡眠模式 1 和深度睡眠模式 2），只需要配置 RTC 产生闹钟事件和 EXTI 线 17 为上升沿触发，而闹钟唤醒掉电模式则不需要配置 EXTI 线 17。

睡眠模式

睡眠模式是 Cortex- M0 自带的低功耗模式。内核执行 WFI 或 WFE 即可进入睡眠模式，Cortex- M0 内核的时钟关闭，外设正常运行，所有 IO 口状态保持不变。因为没有在中断的进入退出上浪费时间，所以该模式唤醒所需时间最短。

根据 Cortex- M0 系统寄存器的 SLEEPONEXIT 位，有两种睡眠模式进入方式。

- SLEEPONEXIT = 0：执行 WFI 或 WFE 后，立即进入睡眠模式。
- SLEEPONEXIT = 1：执行 WFI 或 WFE 后，当内核从最低优先级的中断服务程序退出时，进入睡眠模式。

如果内核是执行 WFI 进入的睡眠模式，任一中断都可以唤醒睡眠模式。

如果内核是执行 WFE 进入的睡眠模式，以下两种方式可以唤醒睡眠模式。

- 在外设控制寄存器中使能一个中断，但不在相应的 NVIC 中使能，并且在 Cortex- M0 系统控制寄存器中使能 SEVONPEND 位。当系统唤醒后，外设的中断挂起位和外设的 NVIC 中断通道挂起位必须被清除。
- 配置一个外部或内部 EXTI 线作为事件模式。当系统唤醒后，因为与事件线对应的悬起位未被设置，不必清除外设的中断悬起位或 NVIC 中断请求通道悬起位。

深度睡眠模式 1

深度睡眠模式 1 是基于 Cortex –M0 的深度睡眠模式产生的。在深度睡眠模式 1 下，调压器仍然以全功率向 1.5V 域供电，1.5V 域的所有时钟都被关闭，HRC、HXT、PLL 都被禁止，SRAM 存储值、寄存器值和 IO 口状态保持不变。FWDT、RTC、LRC、LXT 可以在深度睡眠模式 1 下正常运行。

如果在进入深度睡眠模式前未关闭 ADC，ADC 还是会耗电。

进入深度睡眠模式 1 ，需要先置位内核系统控制寄存器（SCR）的 SLEEPDEEP 位，然后执行 WFI 或 WFE 指令。

如果系统是执行 WFI 进入深度睡眠模式 1，以下两种方式可以唤醒。

- 任一外部中断线配置为中断模式。
- USART1 和 I2C1 中断。

如果系统是执行 WFE 进入深度睡眠模式 1 ，任一外部中断线配置为事件线可以唤醒。

当系统从深度睡眠模式 1 唤醒时，HRC 默认作为系统时钟。

深度睡眠模式 2

深度睡眠模式 2 相比深度睡眠模式 1 的差别在于，进入深度睡眠模式之前，配置 LDOLM=1，使得深度睡眠模式时，调压器进入低功耗模式。此时，可以获得更低的功耗，但是会增加唤醒时间。

掉电模式

掉电模式也是基于 Cortex –M0 的深度睡眠模式产生的，可以获得最低的功耗。在掉电模式下，整个 1.5V 域全部掉电，调压器关闭，HRC、HXT 和 PLL 被禁止，SRAM 数据和寄存器值丢失。除了 nRST 脚、WUPENx 脚和 RTC 或 LXT 功能的 PC 口外，其他所有 IO 口都是高阻态。FWDT、RTC、LRC、LXT 在掉

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

电模式下正常运行。

相比进入深度睡眠模式，进入掉电模式需要提前置位 PMU_CTR 寄存器的 DSMODE 位。

从掉电模式唤醒之后，程序从 0x00000000 地址开始执行。有四种方式可以将芯片从掉电模式唤醒：

- nRST 引脚外部复位
- RTC 闹钟事件
- FWDT 复位
- WUPENx 引脚上升沿

寄存器

4.3.1 寄存器概览

表 13 PMU 寄存器概览

4.3

名称	偏移地址	描述	复位值
PMU_CTR	0x000	PMU 控制寄存器	0x00000000
PMU_CS	0x004	PMU 控制和状态寄存器	0x00000004

4.3.2 PMU 控制寄存器（PMU_CTR ）

PMU_CTR (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	VBTWEN	LVDSEL[2:0]			LVDEN	CLRPWDF	CLRWUPF	DSMODE	LDOLM
							r/w	r/w	r/w	r/w	r/w	r/w1c	r/w	r/w	r/w

Bit 位	名称	描述
[31:9]	保留	
8	VBTWEN	**VBAT 域写使能** 默认状态，该位禁止写入 RTC 和不掉电寄存器。写 RTC 的寄存器时，必须先使能该位。 0: 禁止写入 RTC 1: 使能写 RTC
[7:5]	LVDSEL	**低电压检测选择** 这些位用来选择低电压检测的阈值。当 LVD_TIMBRK_LOCK 有效时，该位只读，无法改写。 各标准值的详细数据请参见数据手册电器特性部分 000：level 0 001：level 1 010：level 2 011：level 3

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		100：level 4 101：level 5 110：level 6 111：level 7
4	LVDEN	**低电压检测使能** 当 LVD_TIMBRK_LOCK 有效时，该位只读，无法改写。 0：禁止 1：使能
3	CLRPWDF	**清除掉电模式标志位** 0：无效 1：清除掉电模式标志位 PWDF
2	CLRWUPF	**清除唤醒标志位** 0：无效 1：清除 WUPF
1	DSMODE	**深度睡眠模式选择** 0：芯片低功耗模式选择深度睡眠模式 1/2 1：芯片低功耗模式选择掉电模式
0	LDOLM	**LDO 低功耗模式** 0： LDO 在深度睡眠模式下正常工作 1： LDO 在深度睡眠模式下进入低功耗状态

4.3.3 PMU 控制和状态寄存器（PMU_CS ）

PMU_CSR (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	WUPEN2	WUPEN1	保留	保留	保留	保留	VREFRDY	LVDO	PWDF	WUPF
						r/w	r/w					r	r	r	r

Bit 位	名称	描述
[31:10]	保留	
[9:8]	WUPENx	**WKUPx 引脚使能** 0：WKUPx 作为通用 IO，无法唤醒掉电模式 1：WKUPx 作为唤醒口并且被强制为输入下拉，外部来的上升沿可以将系统从掉电模式唤醒 *注：当外部引脚电平已经为高时，置位 WKUPx，会产生一个额外的唤醒事件*
[7:4]	保留	
3	VREFRDY	**内部参考电压 ready 标志**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0：内部参考电压未稳定 1：内部参考电压稳定 *注：POR 在内部参考电压稳定之后，才复位释放*
2	LVDO	**低电压标志** 软件置位和清除。LVDEN 有效时，该位才有效。 0：VDD 电压高于选定的 LVD 标准值 1：VDD 电压低于选定的 LVD 标准值
1	PWDF	**掉电模式标志位** 该位在芯片进入掉电模式时置位，在上电/下电或者软件置位 CLRPWDF 时被清除。 0：芯片未进入过掉电模式 1：芯片进入过掉电模式
0	WUPF	**唤醒标志位** 该位在芯片接收到一个唤醒事件时置位，发生系统复位或者软件置位 CLRWUPF 时清除。 0：没有唤醒事件发生 1：从 WKUPx 脚唤醒或者接收到一个 RTC 闹钟唤醒事件

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

5　复位和时钟单元(RCU)

概述

5.1.1　简介

复位控制包括三种：电源复位、系统复位和 VBAT 复位。三种复位的详细描述见*复位*章节。

时钟单元提供多种不同频率的时钟，以满足整个芯片功能，性能和功耗的需求。每个时钟可以被独立的打开或关闭，以降低功耗。系统时钟可以是 HRC、HXT 或者 PLL 时钟，频率最高可达 48 MHz。

5.1

5.1.2　功能概览

- 电源复位、系统复位和 VBAT 复位
- 每个模块独立的软件复位控制
- 内部 8MHz RC 振荡器（HRC）
- 外部高速晶振（HXT），频率范围在 4~32MHz
- 内部 40KHz RC 振荡器（LRC）
- 外部 32.768KHz 低速晶振（LXT）
- PLL 倍频时钟
- 内部 14MHz RC 振荡器（HRC14）
- 支持 HXT 时钟检测功能

- 支持时钟输出功能

模块操作

5.2

5.2.1　复位

电源复位

一旦发生电源复位，除 VBAT 域，其他所有的寄存器都会被复位到默认值。电源复位包括以下三种：

- 上电复位
- 掉电复位
- 退出掉电模式

系统复位

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

系统复位可以复位除 VBAT 域和 RCU_STS 寄存器中的复位标志外的其他所有寄存器。当发生系统复位时，可以通过查询 RCU_STS 中的复位标志，来识别复位源。

系统复位包括以下几种：

- 电源复位
- nRST 引脚复位
- 独立看门狗复位
- 窗看门狗复位
- 软件复位——软件写 Cortex™-M0 内部的 SYSRESETREQ 位产生。
- 低功耗模式进入复位 ——当选项字节的 nRST_DSM 和 nRST_PWD 被置位后，系统在进入深度睡眠模式和掉电模式会产生系统复位。
- 选项字节更新复位 ——软件写 FMC_CTR 寄存器的 OBUPDATE 位。
- 寄存器错误复位——系统会监测部分关键寄存器和其备份寄存器，当它们的值不一致时（一般为干扰导致），产生复位。

所有系统复位源都作用于 nRST 引脚，并延迟一段时间的低电平。复位入口地址固定为 0x0000_0004。内部的复位信号会在 nRST 引脚上输出。脉冲发生器保证每一个复位源都能有至少 20us 的复位脉冲延时。当 nRST 引脚被从外部拉低时，也会产生一个 20us 的复位脉冲。

VBAT 域复位

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

VBAT 有两个单独的复位源，分别是：

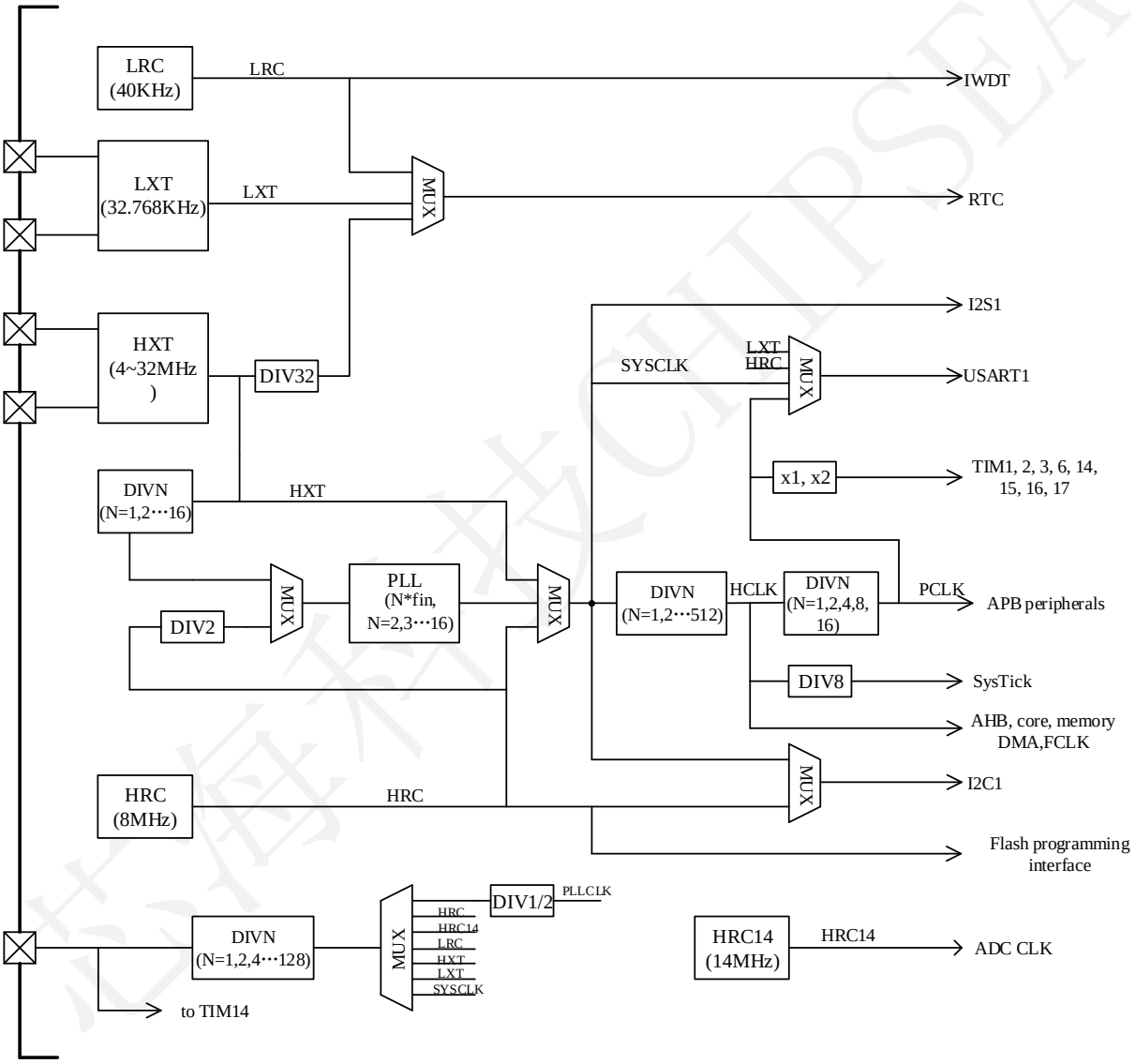
- 软件写 VBTRST，产生复位
- 上电复位

VBAT 复位只会复位 LXT 相关电路、RTC、不掉电寄存器和 RCU_VBDC 寄存器。

当发生 RTC 侵入篡改检测事件或者 FLASH 的读保护从级别 1 改变到级别 0 时，会复位不掉电寄存器。

5.2.2 时钟

图 8 时钟树



系统时钟（SYSCLK）有三个驱动源，分别是 HRC、HXT 和 PLL。HCLK 时钟由系统时钟通过 HCLKPDIV[3:0]分频得到；PCLK 由 HCLK 通过 PCLKPDIV[2:0]分频得到。所有外设的时钟都来源于它的总线时钟，以下除外：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- Flash 编程接口和选项字节装载的时钟总是由 HRC 驱动。
- 系统定时器 SysTick 的时钟由 SysTick 的配置选择 HCLK 或者 HCLK/8。
- I2S 的时钟总是由系统时钟驱动。
- FWDT 的时钟总是由 LXT 驱动。
- ADC 有三个驱动时钟，分别是：
  - HRC14 时钟
  - PCLK 2 分频时钟
  - PCLK 4 分频时钟
- USART1 有四个驱动时钟，分别是：
  - 系统时钟
  - HRC 时钟
  - LXT 时钟
  - PCLK
- I2C1 有两个驱动时钟，分别是：
  - 系统时钟
  - HRC 时钟
- RTC 有三个驱动时钟，由 RCU_VBDC 寄存器中的 RTCSRC[1:0]位选择，分别是：
  - RTCSRC = 01：LXT 时钟
  - RTCSRC = 10：LRC 时钟
  - RTCSRC = 11：HXT/32 分频时钟
- 定时器 TIMx 的时钟在硬件上由 APB 时钟预分频系数决定。如果 APB 预分频系数为 1，PCLKPDIV=3’b0xx，TIMx 的时钟频率和 APB 时钟相同；否则，TIMx 的时钟频率是 APB 的两倍。

HRC 时钟

HRC 时钟由内部 8MHz RC 振荡器产生，可以直接用作系统时钟或 PLL 输入时钟。芯片上电或者从深度睡眠模式和掉电模式唤醒之后，HRC 默认作为系统时钟。内部 8MHz RC 振荡器不需要外部器件，就可以向芯片提供时钟，成本低，启动时间短，但是精度低，即使在校准之后，它的精度也比外部高速晶振低。

由于工艺的偏差，每颗芯片的 RC 振荡器输出频率都不一样。复位之后，工厂校准值会被加载到 HRCCALIB[7:0]寄存器中，保证典型情况下每颗芯片的精度都在 1%以内。振荡器的精度会受应用的工作电压和温度的影响，用户可以改变 HRCTRIM[4:0]的值来调整精度。

8MHz RC 振荡器可以通过 HRCEN 位打开和关闭；打开之后，通过 HRCSTAB 位判断振荡器是否稳定。

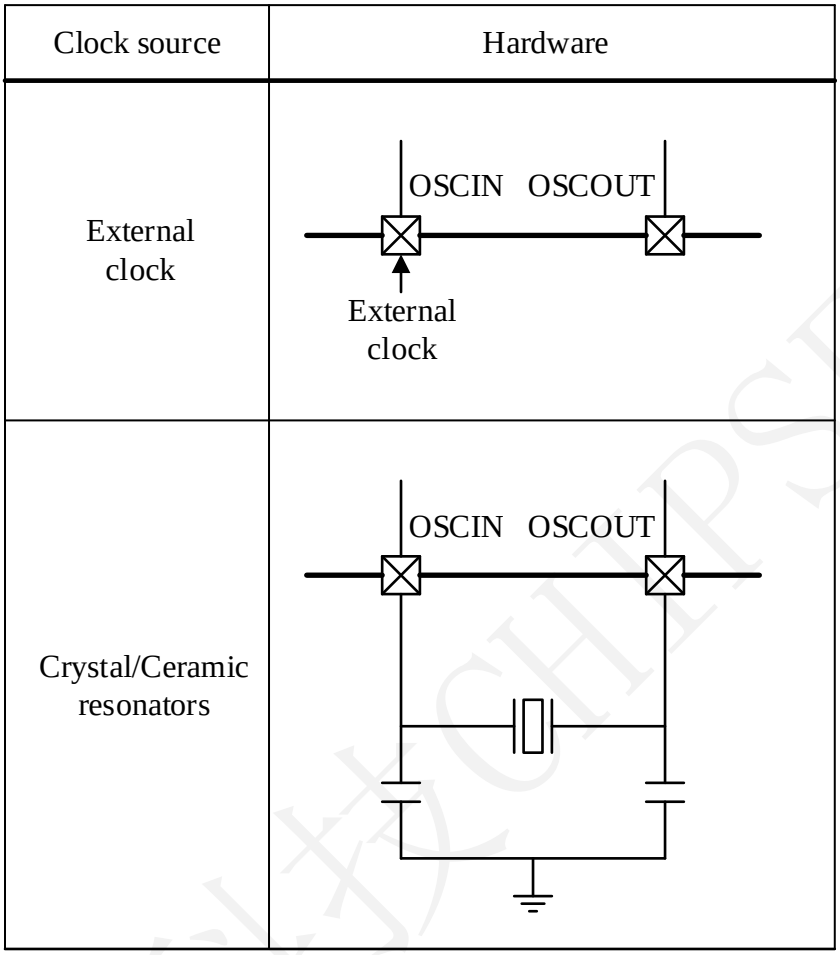
HXT 时钟

外部高速时钟（HXT）向芯片提供频率范围在 4~32MHz 的高精度高速时钟，HXTBPS 位控制选择以下两种时钟源：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- HXT 外部晶振
- HXT 外部时钟

图 9 外部时钟源



晶体和负载电容应尽量放置在靠近引脚的位置，以减小失真和启动时间。

HXT 时钟可以通过 HXTEN 位打开和关闭；打开之后，通过 HXTSTAB 位判断振荡器是否稳定。

当置位 HXTEN 打开 HXT 时钟时，内部的稳定计数器开始工作。当计数器数到 512 个 HXT 时钟脉冲后，则认为时钟已经稳定，置位 HXTSTAB。一旦时钟被打开，则需要 6 个 HXT 时钟周期完成关闭顺序。如果因为一些其他原因，导致没有足够的时钟来完成关闭序列，晶振不会被关闭，并且锁定住引脚，造成额外的功耗。

LRC 时钟

LRC 时钟由内部 40KHz RC 振荡器产生，为独立看门狗和 RTC 提供时钟。它可以在深度睡眠模式和掉电模式下继续运行。LRC 时钟通过 LRCEN 位打开和关闭，LRCSTAB 位指示时钟是否已经稳定。当使能独立看门狗时，LRC 会自动打开，LRCSTAB 自动置位，但是硬件不会置位 LRCEN。

LXT 时钟

外部低速时钟的时钟源与芯片的关系和外部高速时钟类似，如图 9 所示。LXT 时钟由 VBAT 电源供电（CS32F03X-RA 版本由 VDD 供电），可以通过外接 32.768KHz 的晶振产生，也可以从外部引脚直接灌入高达 1MHz 的时钟。它具有功耗低、精度高的特点，可以作为 RTC 的工作时钟。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

LXT 时钟可以通过 LXTEN 位打开和关闭；打开之后，通过 LXTSTAB 位判断振荡器是否稳定。晶振的驱动强度可以通过配置 LXTDRV[2:0]改变，以权衡系统健壮性、启动时间和功耗开销。

当置位 LXTEN 打开 LXT 时钟时，内部的稳定计数器开始工作。当计数器数到 4096 个 LXT 时钟脉冲后，则认为时钟已经稳定，置位 LXTSTAB。一旦时钟被打开，则需要 6 个 LXT 时钟周期完成关闭顺序。如果因为一些其他原因，导致没有足够的时钟来完成关闭序列，晶振不会被关闭，并且锁定住引脚，造成额外的功耗。只能通过 VBAT 域复位来关闭。

PLL 时钟

内部的 PLL 电路用来倍频 HRC/2 或者 HXT/PLLPDIV，并输出倍频之后的时钟。PLL 相关的一些配置，如输入时钟，输入预分频和倍频系数，必须在 PLL 使能之前配置，一旦 PLL 使能，这些配置无法再改变。PLL 输出频率的范围在 16～48MHz。

改变 PLL 配置的步骤如下：

1、 写 PLLEN=0 关闭 PLL。

2、 等待 PLLSTAB=0，表示 PLL 完全停止。

3、 改变期望的参数。

4、 重新使能 PLL，PLLEN=1。

5、 等待 PLLSTAB=1。

如果使能了 PLLSTABIE，PLL 稳定之后会产生一个中断。

HRC14 时钟

HRC14 时钟信号由内部 14MHz RC 振荡器产生，向 ADC 提供高频的工作时钟。14MHz RC 振荡器可以通过 HRC14EN 位打开和关闭；打开之后，通过 HRC14STAB 位判断振荡器是否稳定。

由于工艺的偏差，每颗芯片 RC 振荡器的输出频率都不一样。复位之后，工厂校准值会被加载到 HRC14CALIB[7:0]寄存器中，保证在典型情况下，每颗芯片的精度都在 1%以内。振荡器的精度会受应用的工作电压和温度的影响，用户可以改变 HRC14TRIM[4:0]的值来调整精度。

系统时钟（SYSCLK）

系统复位之后，HRC 默认作为系统时钟。除此之外，可以通过软件配置将 HXT 或 PLL 时钟作为系统时钟。**只有当目标时钟稳定，软件才能将系统时钟切换到目标时钟。**

当 HRC 或 HXT 直接作为系统时钟或者间接作为系统时钟（HRC 或 HXT 作为 PLL 输入时钟，PLL 时钟作为系统时钟），软件无法关闭 HRC 或 HXT 时钟。当 PLL 作为系统时钟时，软件无法关闭 PLL。

HXT 时钟检测

芯片上电复位之后，HXT 时钟检测默认处于关闭状态，软件配置打开。时钟检测功能在 HXT 启动完成之后开始工作。

一旦发现 HXT 时钟出现异常，则强制关闭 HXT，同时产生一个时钟失效事件。如果 HXT 作为系统时钟，时钟失效事件会自动将系统时钟切换到 HRC。如果 HXT 作为 PLL 的时钟输入，PLL 作为系统时钟，那么时钟失效事件会将 PLL 也关闭。

时钟失效事件可以作为 TIM1、TIM15、TIM16 和 TIM17 的刹车输入，关闭 PWM 输出，同时会产生 NMI 中断通知软件做出响应措施。

时钟输出

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

时钟输出允许将时钟从 IO 口复用 CKO 功能输出到引脚。输出时钟由寄存器 CKOSEL[3:0]控制，如下：

- HRC14
- LRC
- LXT
- SYSCLK
- HRC
- HXT
- PLL 或 PLL/2

支持时钟分频之后输出，配置分频系数 CKOPDIV[2:0]实现。

寄存器

5.3.1 寄存器概览

5.3 表 14 RCU 寄存器概览

名称	偏移地址	描述	复位值
RCU_CTR	0x000	RCU 控制寄存器	0x0000XX83
RCU_CFG	0x004	RCU 时钟配置寄存器	0x00000000
RCU_INTR	0x008	RCU 中断寄存器	0x00000000
RCU_APB2RST	0x00C	RCU APB 复位寄存器 2	0x00000000
RCU_APB1RST	0x010	RCU APB 复位寄存器 1	0x00000000
RCU_AHBEN	0x014	RCU AHB 使能寄存器	0x00000014
RCU_APB2EN	0x018	RCU APB 使能寄存器 2	0x00000000
RCU_APB1EN	0x01C	RCU APB 使能寄存器 1	0x00000000
RCU_VBDC	0x020	VBAT 域控制寄存器	0x00000018
RCU_STS	0x024	RCU 状态寄存器	0xXXX00000
RCU_AHBRST	0x028	RCU AHB 复位寄存器	0x00000000
RCU_CFG2	0x02C	RCU 时钟配置寄存器 2	0x00000000
RCU_CFG3	0x030	RCU 时钟配置寄存器 3	0x00000000
RCU_CTR2	0x034	RCU 控制寄存器 2	0xXX00XX80

5.3.2 RCU 控制寄存器（RCU_CTR ）

RCU_CTR (偏移地址=0x000，复位值=0x0000XX83)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	PLLSTAB	PLLEN	保留	保留	HXTDRV[1:0]		HXTME	HXTBPS	HXTSTAB	HXTEN
						r	r/w			r/w	r/w	r/w	r/w	r	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HRCCALIB[7:0]								HRCTRIM[4:0]					保留	HRCSTAB	HRCEN

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

r	r	r	r	r	r	r	r	r/w	r/w	r/w	r/w	r/w		r	r/w

Bit 位	名称	描述
[31:26]	保留	
25	PLLSTAB	**PLL 稳定** 硬件置位表示 PLL 已经稳定。 0：PLL 未稳定 1：PLL 已稳定
24	PLLEN	**PLL 使能** 软件置位或清除。 当系统进入深度睡眠模式 1、2 或者掉电模式时，硬件自动清除该位。如果 PLL 被选为系统时钟，该位无法软件清除。 0：PLL 关闭 1：PLL 打开
[23:22]	保留	
[21:20]	HXTDRV	**HXT 的驱动能力** 软件置位或清除。 00：高驱动能力 01：中驱动能力 10：中低驱动能力 11：低驱动能力
19	HXTME	**HXT 监测使能** 软件置位或清除。HXTME 置位时，HXT 的监测功能在 HXT 打开时启用。 0：关闭 HXT 监测功能 1：打开 HXT 监测功能
18	HXTBPS	**HXT 旁路** 软件置位以旁路外部时钟的振荡器。该位只有在 HXT 关闭时才可写。 0：HXT 晶体振荡器未旁路 1：HXT 晶体振荡器被外部时钟旁路
17	HXTSTAB	**HXT 稳定** 硬件置位表示 HXT 已稳定。当清除 HXTEN 时，该位在 6 个 HXT 时钟周期后会被清除。 0：HXT 未稳定 1：HXT 已稳定
16	HXTEN	**HXT 使能** 软件置位或清除。 当系统进入深度睡眠模式 1、2 或者掉电模式时，硬件自动清除该位。如果 HXT 直接或间接被选为系统时钟，该位无法软件清除。 0：HXT 关闭 1：HXT 打开
[15:8]	HRCCALIB	**HRC 校准值** 该位在启动时自动初始化加载。软件可以通过改变 HRCTRIM 的值来调整该位。
[7:3]	HRCTRIM	**HRC 用户调整值**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		该位允许额外的用户调整值增加到 HRCCALIB 上，用来适应调整电压和温度对 HRC 频率的影响。默认值时 0x10，将 HRC 调整到 1%精度范围内，调整的步长约为 40KHz。
2	保留	
1	HRCSTAB	**HRC 已稳定** 硬件置位表示 HRC 已稳定。当清除 HRCEN 时，该位在 6 个 HRC 时钟周期后会被清除。 0：HRC 未稳定 1：HRC 已稳定
0	HRCEN	**HRC 使能** 软件置位或清除。 当从深度睡眠模式 1、2 或掉电模式唤醒，或者 HXT 直接或间接作为系统时钟时发生异常时，硬件置位该位。当 HRC 直接或间接作为系统时钟时，软件无法清除该位。 0：HRC 关闭 1：HRC 打开

5.3.3 RCU 时钟配置寄存器（RCU_CFG ）

RCU_ CFG(偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CKO PLL ND	CKOPDIV[2:0]			CKOSEL[3:0]				保留	保留	PLLMUF[3:0]				PLL HXT PDIV	PLLS EL[1]
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w			r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLLS EL[0]	ADC PDIV	保留	保留	保留	PCLKPDIV[2:0]			HCLKPDIV[3:0]				SYSSS[1:0]		SYSSW[1:0]	
r/w	r/w				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r	r	r/w	r/w

Bit 位	名称	描述
31	CKOPLLND	**PLL 时钟输出选择** 软件置位或清除。 0：输出 PLL 二分频时钟 1：输出 PLL 不分频时钟
[30:28]	CKOPDIV	**时钟输出预分频** 软件置位或清除该位，选择时钟输出的分频因子。 000：不分频 001：2 分频 010：4 分频 011：8 分频 100：16 分频

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		101：32 分频 110：64 分频 111：128 分频 *注：为避免输出毛刺，建议在时钟输出关闭时配置预分频。*
[27:24]	CKOSEL	**时钟输出源** 软件置位或清除，选择输出的时钟 0000：时钟输出禁止 0001：HRC14 时钟 0010：LRC 时钟 0011：LXT 时钟 0100：系统时钟 0101：HRC 时钟 0110：HXT 时钟 0111：PLL 时钟（根据 CKOPLLND 选择二分频还是不分频）
[23:22]	保留	
[21:18]	PLLMUF	**PLL 倍频因子** 软件配置该位选择 PLL 的倍频系数；该位只有在 PLL 不使能时才可写。 0000：输入时钟 x2 0001：输入时钟 x3 0010：输入时钟 x4 0011：输入时钟 x5 0100：输入时钟 x6 0101：输入时钟 x7 0110：输入时钟 x8 0111：输入时钟 x9 1000：输入时钟 x10 1001：输入时钟 x11 1010：输入时钟 x12 1011：输入时钟 x13 1100：输入时钟 x14 1101：输入时钟 x15 1110：输入时钟 x16 1111：输入时钟 x16 *注：PLL 输出时钟频率最大为 48MHz*
17	PLLHXTPDIV	**PLL 输入的 HXT 分频器** 该位与 PLLPDIV[0]为同一寄存器，详情见 RCU_CFG2。
[16:15]	PLLSEL	**PLL 输入源选择** 软件配置选择 PLL 的输入时钟源。该位只有在 PLL 不使能的情况下才可写。 0x：HRC/2 作为 PLL 输入时钟 1x：HXT/PLLPDIV 作为 PLL 输入时钟
14	ADCPDIV	**ADC 预分频** 无用的配置，正确的 ADC 时钟分频配置见 ADC 时钟源寄存器（ADC_CLK）。
[13:11]	保留	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

[10:8]	PCLKPDIV	**PCLK 预分频** 软件配置该位来控制 APB 时钟的分频因子。 0xx：HCLK 不分频 100：HCLK/2 101：HCLK/4 110：HCLK/8 111：HCLK/16
[7:4]	HCLKPDIV	**HCLK 预分频** 软件配置该位来控制 AHB 时钟的分频因子。 0xxx：SYSCLK 1000：SYSCLK/2 1001：SYSCLK/4 1010：SYSCLK/8 1011：SYSCLK/16 1100：SYSCLK/64 1101：SYSCLK/128 1110：SYSCLK/256 1111：SYSCLK/512
[3:2]	SYSSS	**系统时钟切换状态** 硬件置位和清除，指示系统时钟的时钟源。 00：HRC 作为系统时钟 01：HXT 作为系统时钟 10：PLL 作为系统时钟
[1:0]	SYSSW	**系统时钟切换控制** 软件置位或清除以选择 SYSCLK 时钟源。 当从深度睡眠模式 1、2 或掉电模式唤醒，或者 HXT 直接或间接作为系统时钟时发生异常时，硬件自动清除。 00：选择 HRC 作为系统时钟 01：选择 HXT 作为系统时钟 10：选择 PLL 作为系统时钟

5.3.4 RCU 中断寄存器（RCU_INTR ）

RCU_ INTR(偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	CKFAILIC	保留	HRC14STABIC	PLLSTABIC	HXTSTABIC	HRCSTABIC	LXTSTABIC	LRCSTABIC
								w		w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	HRC14ST	PLLSTABI	HXTSTA	HRCSTA	LXTSTA	LRCSTA	CKFAILI	保留	HRC14ST	PLLSTABI	HXTSTA	HRCSTA	LXTSTA	LRCSTA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		ABIE	E	BIE	BIE	BIE	BIE	F		ABIF	F	BIF	BIF	BIF	BIF
		r/w	r/w	r/w	r/w	r/w	r/w	r		r	r	r	r	r	r

Bit 位	名称	描述
[31:24]	保留	
23	CKFAILIC	**清除 HXT 时钟失效中断** 软件置位。 0：无作用 1：清除 CKFAILIF
22	保留	
21	HRC14STABIC	**清除 HRC14 时钟稳定中断** 软件置位。 0：无作用 1：清除 HRC14STABIF
20	PLLSTABIC	**清除 PLL 时钟稳定中断** 软件置位。 0：无作用 1：清除 PLLSTABIF
19	HXTSTABIC	**清除 HXT 时钟稳定中断** 软件置位。 0：无作用 1：清除 HXTSTABIF
18	HRCSTABIC	**清除 HRC 时钟稳定中断** 软件置位。 0：无作用 1：清除 HRCSTABIF
17	LXTSTABIC	**清除 LXT 时钟稳定中断** 软件置位。 0：无作用 1：清除 LXTSTABIF
16	LRCSTABIC	**清除 LRC 时钟稳定中断** 软件置位。 0：无作用 1：清除 LRCSTABIF
[15:14]	保留	
13	HRC14STABIE	**HRC14 时钟稳定中断使能** 软件置位和清除。 0：禁止 HRC14 时钟稳定中断 1：使能 HRC14 时钟稳定中断
12	PLLSTABIE	**PLL 时钟稳定中断使能** 软件置位和清除。 0：禁止 PLL 时钟稳定中断 1：使能 PLL 时钟稳定中断

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

11	HXTSTABIE	**HXT 时钟稳定中断使能** 软件置位和清除。 0：禁止 HXT 时钟稳定中断 1：使能 HXT 时钟稳定中断
10	HRCSTABIE	**HRC 时钟稳定中断使能** 软件置位和清除。 0：禁止 HRC 时钟稳定中断 1：使能 HRC 时钟稳定中断
9	LXTSTABIE	**LXT 时钟稳定中断使能** 软件置位和清除。 0：禁止 LXT 时钟稳定中断 1：使能 LXT 时钟稳定中断
8	LRCSTABIE	**LRC 时钟稳定中断使能** 软件置位和清除。 0：禁止 LRC 时钟稳定中断 1：使能 LRC 时钟稳定中断
7	CKFAILIF	**HXT 时钟失效中断标志** 硬件置位；软件写 CKFAILIC 清除该位 0：无 HXT 时钟失效事件 1：发生 HXT 时钟失效事件
6	保留	
5	HRC14STABIF	**HRC14 时钟稳定中断标志** 当 HRC14STABIE=1，且通过置位 HRC14EN 打开 HRC14 时钟，硬件置位表示 HRC14 已稳定。如果是外设通过时钟请求打开 HRC14 时钟，则不会置位该位以及产生中断。软件写 HRC14STABIC 清除该位。 0：无 HRC14 时钟稳定中断 1：HRC14 时钟稳定中断
4	PLLSTABIF	**PLL 时钟稳定中断标志** PLL 稳定输出时钟且 PLLSTABIE=1 时，硬件置位；软件写 PLLSTABIC 清除该位。 0：无 PLL 时钟稳定中断 1：PLL 时钟稳定中断
3	HXTSTABIF	**HXT 时钟稳定中断标志** HXT 时钟稳定且 HXTSTABIE=1 时，硬件置位；软件写 HXTSTABIC 清除该位。 0：无 HXT 时钟稳定中断 1：HXT 时钟稳定中断
2	HRCSTABIF	**HRC 时钟稳定中断标志** 当 HRCSTABIE=1，且通过置位 HRCEN 打开 HRC 时钟，硬件置位表示 HRC 已稳定。如果是外设通过时钟请求打开 HRC 时钟，则不会置位该位以及产生中断。软件写 HRCSTABIC 清除该位。 0：无 HRC 时钟稳定中断 1：HRC 时钟稳定中断
1	LXTSTABIF	**LXT 时钟稳定中断标志**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		LXT 时钟稳定且 LXTSTABIE=1 时，硬件置位；软件写 LXTSTABIC 清除该位。 0：无 LXT 时钟稳定中断 1：LXT 时钟稳定中断
0	LRCSTABIF	**LRC 时钟稳定中断标志** LRC 时钟稳定且 LRCSTABIE=1 时，硬件置位；软件写 LRCSTABIC 清除该位。 0：无 LRC 时钟稳定中断 1：LRC 时钟稳定中断

5.3.5 RCU APB 复位寄存器 2（RCU_APB2RST ）

RCU_APB2RST (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	DBGRST	保留	保留	保留	TIM17RST	TIM16RST	TIM15RST
									r/w				r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	USART1RST	保留	SPI1RST	TIM1RST	保留	ADCRST	保留	USART8RST	USART7RST	USART6RST	保留	保留	保留	保留	SYSCFGRST
	r/w		r/w	r/w		r/w		r/w	r/w	r/w					r/w

Bit 位	名称	描述
[31:23]	保留	
22	DBGRST	**DBG 模块复位**软件置位和清除。 0：无作用 1：复位 DBG 模块
[21:19]	保留	
18	TIM17RST	**TIM17 模块复位** 软件置位和清除。 0：无作用 1：复位 TIM17 模块
17	TIM16RST	**TIM16 模块复位** 软件置位和清除。 0：无作用 1：复位 TIM16 模块
16	TIM15RST③	**TIM15 模块复位** 软件置位和清除。 0：无作用 1：复位 TIM15 模块
15	保留	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

14	USART1RST	**USART1 模块复位** 软件置位和清除。 0：无作用 1：复位 USART1 模块
13	保留	
12	SPI1RST	**SPI1 模块复位** 软件置位和清除。 0：无作用 1：复位 SPI1 模块
11	TIM1RST	**TIM1 模块复位** 软件置位和清除。 0：无作用 1：复位 TIM1 模块
10	保留	
9	ADCRST	**ADC 模块复位** 软件置位和清除。 0：无作用 1：复位 ADC 模块 注意：ADC 模块复位只会复位工作时钟下寄存器，APB 总线接口寄存器不会复位。
8	保留	
7	USART8RST②	**USART8 模块复位** 软件置位和清除。 0：无作用 1：复位 USART8 模块
6	USART7RST②	**USART7 模块复位** 软件置位和清除。 0：无作用 1：复位 USART7 模块
5	USART6RST②	**USART6 模块复位** 软件置位和清除。 0：无作用 1：复位 USART6 模块
[4:1]	保留	
0	SYSCFGRST	**SYSCFG 模块复位** 软件置位和清除。 0：无作用 1：复位 SYSCFG 模块

5.3.6　RCU APB 复位寄存器 1（RCU_APB1RST ）

RCU_APB1RST (偏移地址=0x010，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

保留	保留	保留	PMU RST	保留	保留	保留	保留	保留	I2C2 RST	I2C1 RST	保留	保留	保留	USA RT2R ST	保留
			r/w						r/w	r/w				r/w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	SPI2 RST	保留	保留	WW DTR ST	保留	保留	TIM1 4RST	保留	保留	保留	TIM6 RST	保留	保留	TIM3 RST	TIM2 RST
	r/w			r/w			r/w				r/w			r/w	r/w

Bit 位	名称	描述
[31:29]	保留	
28	PMURST	**PMU 模块复位** 软件置位和清除。 0：无作用 1：复位 PMU 模块
[27:23]	保留	
22	I2C2RST⑤	**I2C2 模块复位** 软件置位和清除。 0：无作用 1：复位 I2C2 模块
21	I2C1RST	**I2C1 模块复位** 软件置位和清除。 0：无作用 1：复位 I2C1 模块
[20:18]	保留	
17	USART2RST④	**USART2 模块复位** 软件置位和清除。 0：无作用 1：复位 USART2 模块
[16:15]	保留	
14	SPI2RST⑤	**SPI2 模块复位** 软件置位和清除。 0：无作用 1：复位 SPI2 模块
[13:12]	保留	
11	WWDTRST	**WWDT 模块复位** 软件置位和清除。 0：无作用 1：复位 WWDT 模块
[10:9]	保留	
8	TIM14RST	**TIM14 模块复位**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		软件置位和清除。 0：无作用 1：复位 TIM14 模块
[7:5]	保留	
4	TIM6RST③	**TIM6 模块复位** 软件置位和清除。 0：无作用 1：复位 TIM6 模块
[3:2]	保留	
1	TIM3RST	**TIM3 模块复位** 软件置位和清除。 0：无作用 1：复位 TIM3 模块
0	TIM2RST①	**TIM2 模块复位** 软件置位和清除。 0：无作用 1：复位 TIM2 模块 *注：此寄存器 CS32F03X-RA 版本无效，可读写*

注：
①：TIM2RST：F031x6、F031x8 有效
②：USART6/7/8RST：F031x6、F031x8、F03x-RA 有效
③：TIM6RST、TIM15RST：F030x6、F030x8、F031x6、F031x8、F03X-RA 有效
④：USART2RST：F030F6、F030x8、F031x8、F03X-RA、F035、F036、F036Q 有效
⑤：SPI2RST、I2CRST：F030x8、F031x8、F03X-RA 有效

5.3.7 RCU AHB 使能寄存器（RCU_AHBEN ）

RCU_AHBEN (偏移地址=0x014，复位值=0x00000014)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	PFEN	保留	保留	PCEN	PBEN	PAEN	保留
									r/w			r/w	r/w	r/w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	CRCEN	保留	FMCEN	保留	RMCEN	保留	DMAEN
									r/w		r/w		r/w		r/w

Bit 位	名称	描述
[31:23]	保留	
22	PFEN	**GPIOF 时钟使能** 软件置位和清除。 0：禁止 GPIOF 模块时钟 1：使能 GPIOF 模块时钟
[21:20]	保留	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

19	PCEN	**GPIOC 时钟使能** 软件置位和清除。 0：禁止 GPIOC 模块时钟 1：使能 GPIOC 模块时钟
18	PBEN	**GPIOB 时钟使能** 软件置位和清除。 0：禁止 GPIOB 模块时钟 1：使能 GPIOB 模块时钟
17	PAEN	**GPIOA 时钟使能** 软件置位和清除。 0：禁止 GPIOA 模块时钟 1：使能 GPIOA 模块时钟
[16:7]	保留	
6	CRCEN	**CRC 时钟使能** 软件置位和清除。 0：禁止 CRC 模块时钟 1：使能 CRC 模块时钟
5	保留	
4	FMCEN	**FMC 时钟使能** 软件置位和清除。 0：禁止 FMC 模块时钟 1：使能 FMC 模块时钟
3	保留	
2	RMCEN	**RMC 时钟使能** 软件置位和清除。 0：禁止 RMC 模块时钟 1：使能 RMC 模块时钟
1	保留	
0	DMAEN	**DMA 时钟使能** 软件置位和清除。 0：禁止 DMA 模块时钟 1：使能 DMA 模块时钟

5.3.8 RCU APB 使能寄存器 2（RCU_APB2EN ）

RCU_ APB2EN(偏移地址=0x018，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	DBGEN	保留	保留	保留	TIM17EN	TIM16EN	TIM15EN
									r/w				r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	USA	保留	SPI1	TIM1	保留	ADC	保留	USA	USA	USA	保留	保留	保留	保留	SYS

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

	RT1EN		EN	EN		EN		RT8EN	RT7EN	RT6EN					CFGEN
	r/w		r/w	r/w		r/w		r/w	r/w	r/w					r/w

Bit 位	名称	描述
[31:23]	保留	
22	DBGEN	**DBG 时钟使能** 软件置位和清除。 0：禁止模块时钟 1：使能模块时钟
[21:19]	保留	
18	TIM17EN	**TIM17 时钟使能** 软件置位和清除。 0：禁止模块时钟 1：使能模块时钟
17	TIM16EN	**TIM16 时钟使能** 软件置位和清除。 0：禁止模块时钟 1：使能模块时钟
16	TIM15EN	**TIM15 时钟使能** 软件置位和清除。 0：禁止模块时钟 1：使能模块时钟
15	保留	
14	USART1EN	**USART1 时钟使能** 软件置位和清除。 0：禁止模块时钟 1：使能模块时钟
13	保留	
12	SPI1EN	**SPI1 时钟使能** 软件置位和清除。 0：禁止 SPI1 模块时钟 1：使能 SPI1 模块时钟
11	TIM1EN	**TIM1 时钟使能** 软件置位和清除。 0：禁止 TIM1 模块时钟 1：使能 TIM1 模块时钟
10	保留	
9	ADCEN	**ADC 时钟使能** 软件置位和清除。 0：禁止 ADC 模块时钟 1：使能 ADC 模块时钟
8	保留	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

7	USART8EN	**USART8 时钟使能** 软件置位和清除。 0：禁止 USART8 模块时钟 1：使能 USART8 模块时钟
6	USART7EN	**USART7 时钟使能** 软件置位和清除。 0：禁止 USART7 模块时钟 1：使能 USART7 模块时钟
5	USART6EN	**USART6 时钟使能** 软件置位和清除。 0：禁止 USART6 模块时钟 1：使能 USART6 模块时钟
[4:1]	保留	
0	SYSCFGEN	**SYSCFG 时钟使能** 软件置位和清除。 0：禁止 SYSCFG 模块时钟 1：使能 SYSCFG 模块时钟

5.3.9 RCU APB 使能寄存器 1（RCU_APB1EN ）

RCU_APB1EN (偏移地址=0x01C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	PMUEN	保留	保留	保留	保留	保留	I2C2EN	I2C1EN	保留	保留	保留	USART2EN	保留
			r/w						r/w	r/w	r/w	r/w	r/w	r/w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	SPI2EN	保留	保留	WWDTEN	保留	保留	TIM14EN	保留	保留	保留	TIM6EN	保留	保留	TIM3EN	TIM2EN
	r/w			r/w			r/w			r/w	r/w			r/w	r/w

Bit 位	名称	描述
[31:29]	保留	
28	PMUEN	**PMU 时钟使能** 软件置位和清除。 0：禁止 PMU 模块时钟 1：使能 PMU 模块时钟
[27:23]	保留	
22	I2C2EN	**I2C2 时钟使能** 软件置位和清除。 0：禁止 I2C2 模块时钟

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1：使能 I2C2 模块时钟
21	I2C1EN	**I2C1 时钟使能** 软件置位和清除。 0：禁止 I2C1 模块时钟 1：使能 I2C1 模块时钟
[20:18]	保留	
17	USART2EN	**USART2 时钟使能** 软件置位和清除。 0：禁止 USART2 模块时钟 1：使能 USART2 模块时钟
[16:15]	保留	
14	SPI2EN	**SPI2 时钟使能** 软件置位和清除。 0：禁止 SPI2 模块时钟 1：使能 SPI2 模块时钟
[13:12]	保留	
11	WWDTEN	**WWDT 时钟使能** 软件置位和清除。 0：禁止 WWDT 模块时钟 1：使能 WWDT 模块时钟
[10:9]	保留	
8	TIM14EN	**TIM14 时钟使能** 软件置位和清除。 0：禁止 TIM14 模块时钟 1：使能 TIM14 模块时钟
[7:5]	保留	
4	TIM6EN	**TIM6 时钟使能** 软件置位和清除。 0：禁止 TIM6 模块时钟 1：使能 TIM6 模块时钟
[3:2]	保留	
1	TIM3EN	**TIM3 时钟使能** 软件置位和清除。 0：禁止 TIM3 模块时钟 1：使能 TIM3 模块时钟
0	TIM2EN	**TIM2 时钟使能** 软件置位和清除。 0：禁止 TIM2 模块时钟 1：使能 TIM2 模块时钟 *注：此寄存器 CS32F03X-RA 版本无效，可读写*

5.3.10 RCU VBAT 域控制寄存器（RCU_VBDC ）

RCU_VBDC (偏移地址=0x020，复位值=0x00000018)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	VBTRST
															r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCCLKEN	保留	保留	保留	保留	保留	RTCSRC[1:0]		保留	保留	LXTDRV[2:0]			LXTBYP	LXTSTAB	LXTEN
r/w						r/w	r/w				r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:17]	保留	
16	VBTRST	**VBAT 域复位** 0：无作用 1：复位整个 VBAT 域
15	RTCCLKEN	**RTC 时钟使能** 0：禁止 RTC 模块时钟 1：使能 RTC 模块时钟
[14:10]	保留	
[9:8]	RTCSRC	**RTC 时钟源** 软件配置该位选择 RTC 的时钟源。一次配置完成之后，除非发生 VBAT 域复位，否则软件无法再次改写。 00：RTC 无时钟 01：RTC 选择 LXT 10：RTC 选择 LRC 11：RTC 选择 HXT/32
[7:6]	保留	
[5:3]	LXTDRV	**软件配置该位调整 LXT 的驱动能力** VBAT 域复位会将该寄存器重置为默认值。 x00：低驱动能力 x01：中低驱动能力 010：中驱动能力 011：中高驱动能力 110：次高驱动能力 111：高驱动能力
2	LXTBYP	**LXT 旁路** 软件置位以旁路外部时钟的振荡器。该位只有在 LXT 关闭时才可写。 0：LXT 晶体振荡器未旁路 1：LXT 晶体振荡器被外部时钟旁路
1	LXTSTAB	**LXT 时钟稳定标志** 硬件置位和清除表示 LXT 时钟已稳定。LXTEN 被清除时，该位在 6 个 LXT 时钟周期之后被清除。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0：LXT 时钟未稳定 1：LXT 时钟已稳定
0	LXTEN	**LXT 时钟使能** 软件置位和清除。 0：禁止 LXT 时钟 1：使能 LXT 时钟

5.3.11 RCU 状态寄存器（RCU_STS ）

RCU_STS (偏移地址=0x024，复位值=0xXXX00000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPERSTF	WWDTRSTF	FWDTRSTF	SWRSTF	PORRSTF	NRSTF	OBURSTF	CRSTF	V15RSTF	REGERRRSTF	保留	保留	保留	保留	保留	保留
r	r	r	r	r	r	r	r/w1c	r	r						

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	LRCSTAB	LRCEN
														r	r/w

Bit 位	名称	描述
31	LPERSTF	**低功耗模式进入复位标志** 当芯片因为进入低功耗模式而产生复位时，硬件置位；软件写 CRSTF 清除该位。 0：无低功耗模式进入复位 1：发生低功耗模式进入复位
30	WWDTRSTF	**窗看门狗复位标志** 窗看门狗产生复位时硬件置位；软件写 CRSTF 清除该位。 0：无窗看门狗复位 1：发生窗看门狗复位
29	FWDTRSTF	**独立看门狗复位标志** 独立看门狗产生复位时硬件置位；软件写 CRSTF 清除该位。 0：无独立看门狗复位 1：发生独立看门狗复位
28	SWRSTF	**软件复位标志** 发生软件复位事件时，硬件置位；软件写 CRSTF 清除该位。 0：无软件复位 1：发生软件复位
27	PORRSTF	**上电/掉电复位标志** POR 或 PDR 复位时，硬件置位；软件写 CRSTF 清除该位。 0：无上电/掉电复位发生

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1：发生上电/掉电复位
26	NRSTF	**nRST 复位标志** nRST 复位时，硬件置位；软件写 CRSTF 清除该位。 0：无 nRST 复位 1：发生 nRST 复位
25	OBURSTF	**选项字节更新复位标志** 软件写 OBUPDATE 更新选项字节时，硬件置位；软件写 CRSTF 清除该位。 0：无选项字节更新事件 1：发生选项字节更新事件
24	CRSTF	**复位标志清除** 软件写清除所有的复位标志；读该位始终为 0。 0：无影响 1：清除复位标志
23	V15RSTF	**1.5V 域系统复位标志** 1.5V 电源域上电或下电复位时，硬件置位；软件写 CRSTF 清除该位。 0：1.5V 域无上电复位或下电复位 1：1.5V 域发生上电复位或下电复位
22	REGERRRSTF	**寄存器错误复位标志** 当芯片内部寄存器的值发生错误时，硬件置位；软件写 CRSTF 清除该位。 0：寄存器值正常，无错误 1：寄存器值异常，发生错误
[21:2]	保留	
1	LRCSTAB	**LRC 时钟稳定标志** 硬件置位和清除，表示 LRC 时钟已稳定。LRCEN 被清除时，该位在 3 个 LRC 时钟周期之后被清除。 0：LRC 时钟未稳定 1：LRC 时钟已稳定
0	LRCEN	**LRC 时钟使能** 软件置位和清除。 0：禁止 LRC 时钟 1：使能 LRC 时钟

5.3.12 RCU AHB 复位寄存器（RCU_AHBRST ）

RCU_AHBRST (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	PFRST	保留	保留	PCRST	PBRST	PARST	保留
									r/w	r/w	r/w	r/w	r/w	r/w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

Bit 位	名称	描述
[31:23]	保留	
22	PFRST	**GPIOF 复位** 软件置位和清除。 0：无作用 1：复位 GPIOF 模块
[21:20]	保留	
19	PCRST	**GPIOC 复位** 软件置位和清除。 0：无作用 1：复位 GPIOC 模块
18	PBRST	**GPIOB 复位** 软件置位和清除。 0：无作用 1：复位 GPIOB 模块
17	PARST	**GPIOA 复位** 软件置位和清除。 0：无作用 1：复位 GPIOA 模块
[16:0]	保留	

5.3.13 RCU 时钟配置寄存器 2（RCU_CFG2 ）

RCU_CFG2 (偏移地址=0x02C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	PLLPDIV[3:0]			
												r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:4]	保留	
[3:0]	PLLPDIV	**PLL 输入时钟预分频** 当 PLL 输入时钟源为 HXT 时，软件配置该位选择输入时钟源的预分频系数。该位只有在 PLL 未使能时才可写入。 0000：PLL 输入时钟为 HXT 不分频 0001：PLL 输入时钟为 HXT/2 0010：PLL 输入时钟为 HXT/3 0011：PLL 输入时钟为 HXT/4 0100：PLL 输入时钟为 HXT/5 0101：PLL 输入时钟为 HXT/6

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0110：PLL 输入时钟为 HXT/7 0111：PLL 输入时钟为 HXT/8 1000：PLL 输入时钟为 HXT/9 1001：PLL 输入时钟为 HXT/10 1010：PLL 输入时钟为 HXT/11 1011：PLL 输入时钟为 HXT/12 1100：PLL 输入时钟为 HXT/13 1101：PLL 输入时钟为 HXT/14 1110：PLL 输入时钟为 HXT/15 1111：PLL 输入时钟为 HXT/16 *注：PLLPDIV[0]与 PLLHXTPDIV 为同一寄存器。*

5.3.14 RCU 时钟配置寄存器 3（RCU_CFG3 ）

RCU_CFG3 (偏移地址=0x030，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	I2C1 SEL	保留	保留	USART1 SEL[1:0]	
											r/w			r/w	r/w

Bit 位	名称	描述
[31:5]	保留	
4	I2C1SEL	**I2C1 时钟源** 软件置位或清除，选择 I2C1 的工作时钟。 0：HRC 作为时钟源 1：系统时钟 SYSCLK 作为时钟源
[3:2]	保留	
[1:0]	USART1SEL	**USART1 时钟源** 软件置位或清除，选择 USART1 的工作时钟。 00：PCLK 作为时钟源 01：系统时钟 SYSCLK 作为时钟源 10：LXT 作为时钟源 11：HRC 作为时钟源

5.3.15 RCU 控制寄存器（RCU_CTR2 ）

RCU_CTR2 (偏移地址=0x034，复位值=0xXX00XX80)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HRC14CALIB[7:0]								HRC14TRIM[4:0]					ADC DISH RC14	HRC 14ST AB	HRC 14EN
r	r	r	r	r	r	r	r	r/w	r/w	r/w	r/w	r/w	r/w	r	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:8]	HRC14CALIB	**HRC14 校准值** 该位在启动时自动初始化加载。软件可以通过改变 HRC14TRIM 的值来调整该位。
[7:3]	HRC14TRIM	**HRC14 用户调整值** 该位允许额外的用户调整值增加到 HRC14CALIB 上，用来适应调整电压和温度对 HRC14 频率的影响。默认值时 0x10，将 HRC14 调整到 1%精度范围内，调整的步长约为 50KHz。
2	ADCDISHRC14	**禁止 ADC 使能 HRC14 请求** 该位置位时，ADC 无法通过时钟请求打开 HRC14 时钟。软件置位和清除。 0：ADC 可以通过时钟请求打开 HRC14 1：ADC 无法通过时钟请求打开 HRC14
1	HRC14STAB	**HRC14 时钟稳定** 在 HRC14 时钟稳定时，硬件置位。该位在 HRC14EN 被清除的 6 个时钟周期后拉低。当 HRC14EN=0，外设通过时钟请求使能时钟时，该位不会被置位。 0：HRC14 未稳定 1：HRC14 已稳定
0	HRC14EN	**HRC14 时钟使能** 软件置位或清除。 0：禁止 HRC14 1：使能 HRC14

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

6 通用 IO(GPIO)

6.1 概述

6.1.1 简介

芯片提供 39 个通用 IO 引脚来实现输入、输出、外设复用和模拟功能，分别是 PA0~PA15，PB0~PB15，PC13~PC15，PF0、PF1、PF6 和 PF7。每个 GPIO 端口都有相应的控制和配置寄存器来满足特定的应用需求。

6.1.2 功能概览

- 输入、输出、模拟功能选择
- 施密特触发器输入开关控制
- 每个 IO 口支持弱上拉、下拉功能
- 推挽输出和开漏输出
- 多功能复用输入输出
- PB3~PB10、PA15 支持防倒灌功能
- 输出原子操作
- GPIOA、GPIOB 支持配置锁定功能

6.2 模块操作

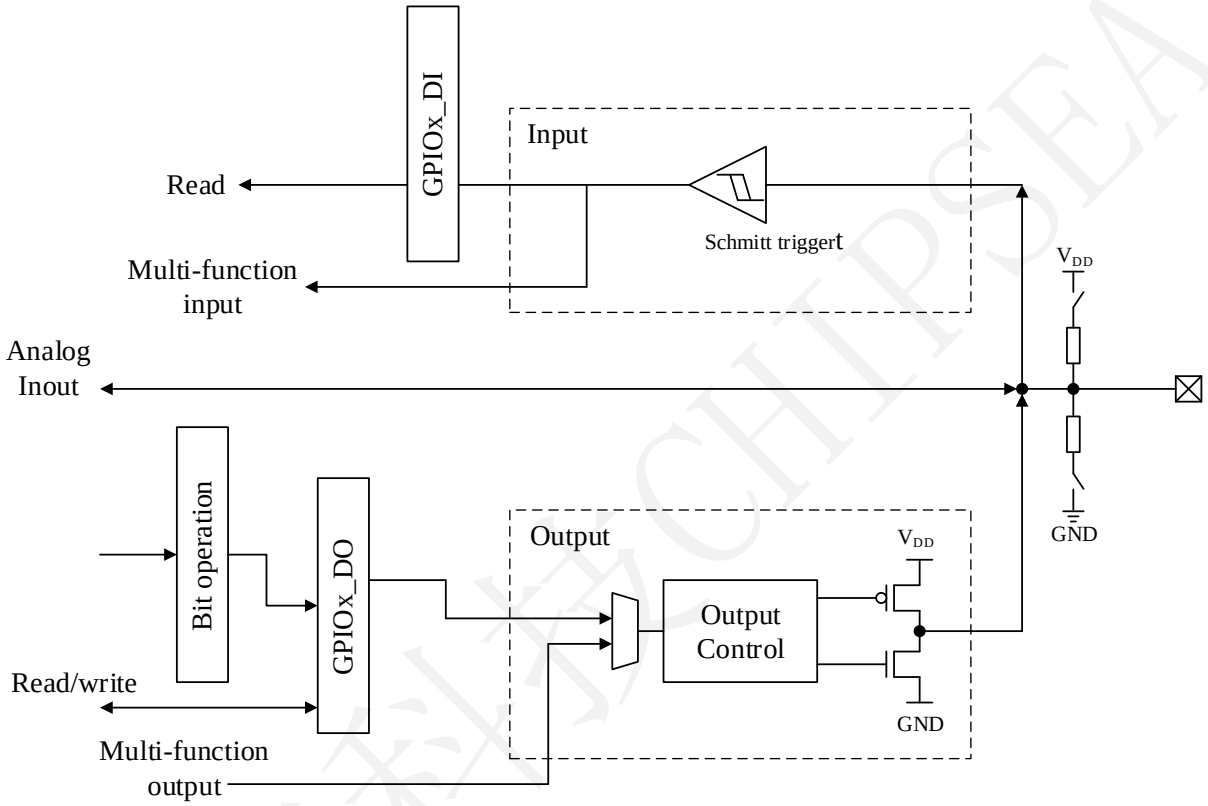
软件可独立配置每个 GPIO 口为多种工作模式：

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 浮空输入
- 上拉输入
- 下拉输入
- 模拟功能
- 带上拉或下拉的通用推挽输出
- 带上拉或下拉的通用开漏输出
- 带上拉或下拉的多功能复用推挽输出
- 带上拉或下拉的多功能复用开漏输出

图 10 IO 端口基本结构



复位释放之后，除 DEBUG 口（PA13、PA14）外，其他口都处于浮空输入状态。PA13 为带上拉的多功能复用输入输出口；PA14 为带下拉的多功能输入口。

引脚配置为输出时，GPIOx_DO 寄存器写入的数据以推挽或开漏的方式可以发送到端口上。端口上的值每个周期都会锁存到 GPIOx_DI 寄存器中。

每个端口都有一个弱上拉电阻和一个弱下拉电阻，通过 GPIOx_PUPDR 寄存器打开或关闭。

6.2.1 GPIO 控制配置

每个 GPIO 都有 4 个 32 位控制寄存器用来配置 16 个 IO 口，分别是 GPIOx_PFR、GPIOx_PODENR、GPIOx_POSR 和 GPIOx_PUPDR。GPIOx_PFR 用来选择 IO 口的功能，包括输入功能、输出功能、多功能复用和模拟功能。GPIOx_PODENR 用来选择推挽输出还是开漏输出。GPIOx_POSR 用来选择输出的速度，包括低速、中速和高速三种。GPIOx_PUPDR 用来选择上拉或下拉方式。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

每个 GPIO 都有两个 16 位的数据寄存器，分别是 GPIOx_IDR 和 GPIOx_ODR。GPIOx_ODR 寄存器存储待发送到 IO 口的数据，软件可读可写。GPIOx_IDR 寄存器，在非模拟功能时，用来存储 IO 口的状态值，只可读。

软件除了写 GPIOx_DO 寄存器输出数据外，还可以通过写 GPIOx_SCR 置一/清零 GPIOx_DO 或通过写 GPIOx_CLRR 清除 GPIOx_DO 寄存器。对于 GPIOx_DO 中的每一位 DOi，GPIOx_SCR 寄存器都有两个控制位与它对应，分别是 BCi 和 BSi。它们都是单次作用，不会锁定 DOi 的值。BSi 位写 1 置位 DOi；BCi 位写 1 清除 DOi；向 BCi 和 BSi 写 0 无作用。当 BCi 和 BSi 同时写 1 时，BSi 具有更高的优先级。对于 GPIOx_DO 中的每一位 DOi，GPIOx_CLRR 寄存器都有一个清除位 BCLRi 与之对应，单次作用，不会锁定 DOi 的值。BCLRi 位写 1 清除 DOi；向 BCLRi 写 0 无作用。

6.2.2 GPIO 端口锁定功能

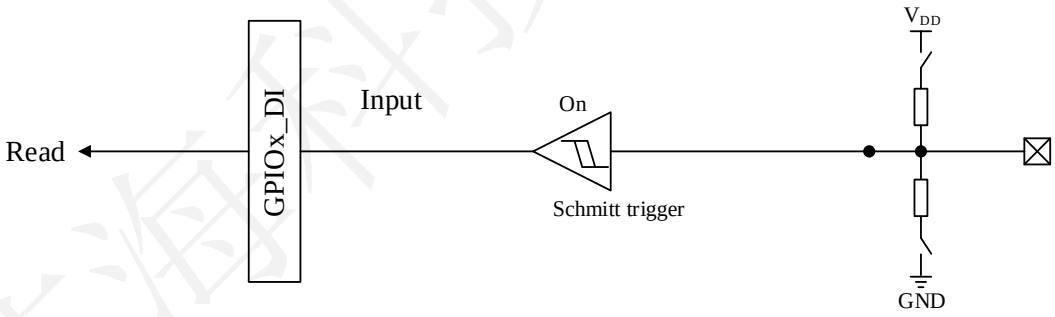
为了保护 GPIO 口的控制配置，GPIOA 和 GPIOB 的配置具有锁定功能。被锁定的寄存器包括 GPIOx_PFR、GPIOx_PODENR、GPIOx_POSR、GPIOx_PUPDR、GPIOx_MFSELL 和 GPIOx_MFSELH。GPIOx_LOCK 寄存器只能 32 位读写。GPIOx_LOCK 发生特定的读写入序列后，LOCKK 被置位。当 LOCKi 置位时，相应 IO 口的配置被锁定，除了 MCU 复位和外设复位，无法改写。

6.2.3 输入模式

当 IO 口配置为输入模式时：

- 输出禁止。
- 施密特触发器输入打开。
- 由 GPIOx_PUPDR 配置上拉、下拉的打开或关闭。
- 软件通过读 GPIOx_DI 寄存器获取引脚的状态值。

图 11 通用 IO 输入结构



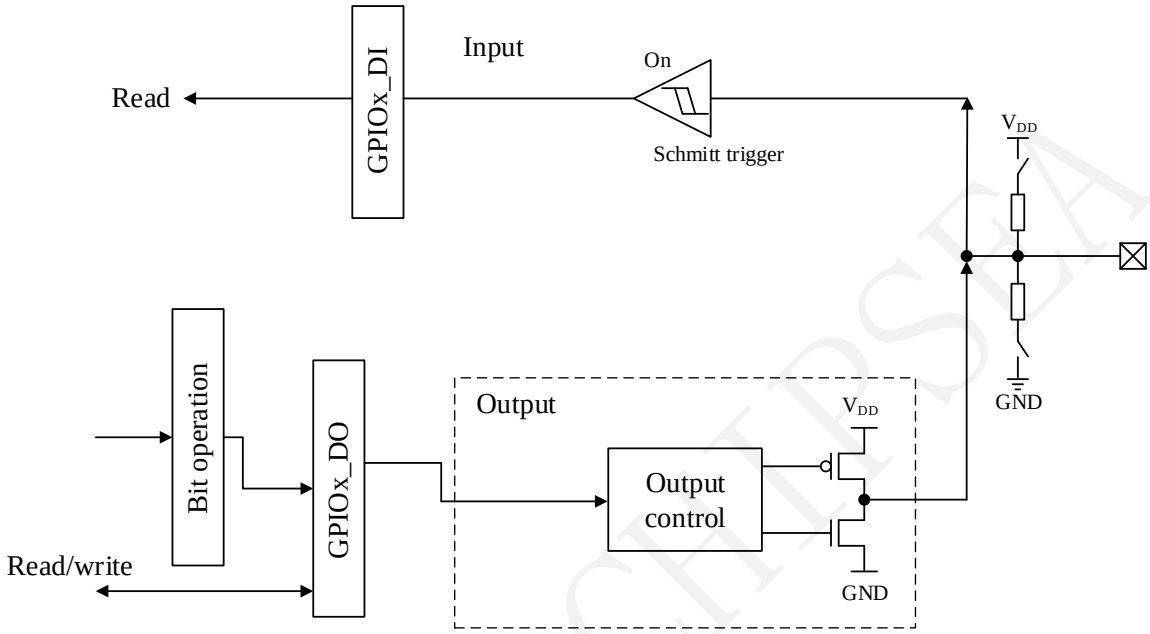
6.2.4 输出模式

当 IO 口配置为输出模式时：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 输出打开，配置成推挽模式或开漏模式。
- 施密特触发器输入打开。
- 由 GPIOx_PUPDR 配置上拉、下拉的打开或关闭。
- 软件可通过读 GPIOx_DI 寄存器获取引脚的状态值。

图 12 复用配置结构



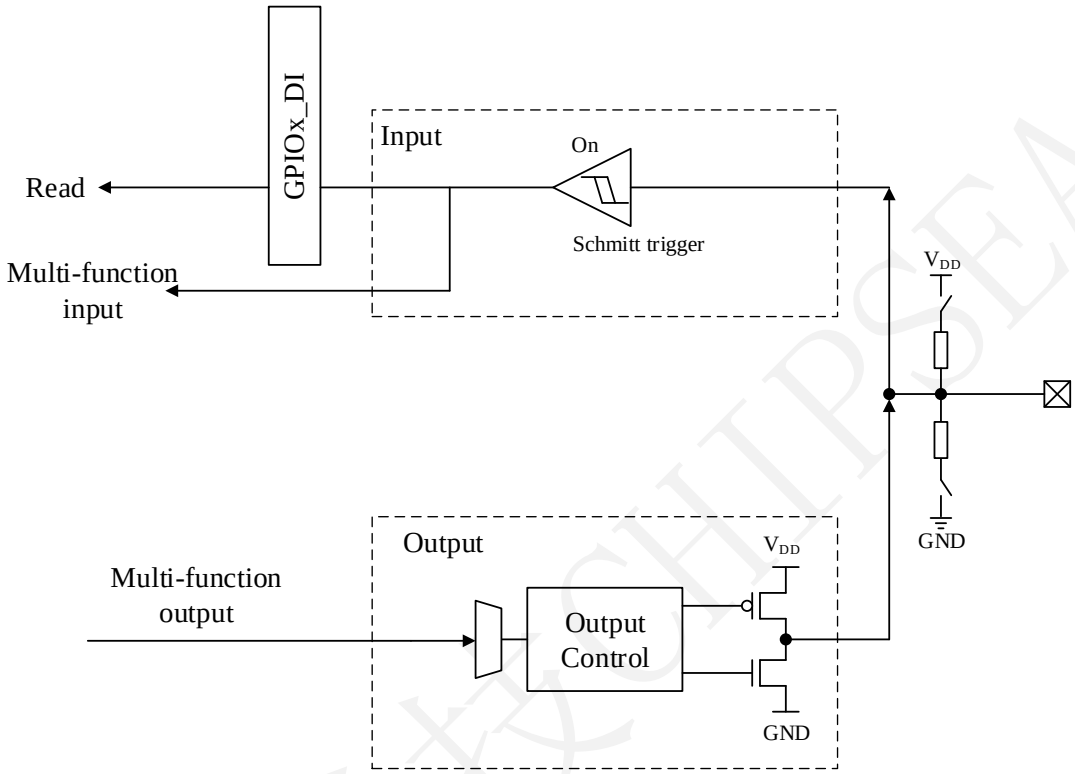
6.2.5 多功能复用模式

当 IO 口配置为多功能复用模式时：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 输出打开，配置成推挽模式或开漏模式，由外设驱动输出使能和数据。
- 施密特触发器输入打开。
- 由 GPIOx_PUPDR 配置上拉、下拉的打开或关闭。
- 软件通过读 GPIOx_DI 寄存器获取引脚的状态值。

图 13 IO 多功能复用结构



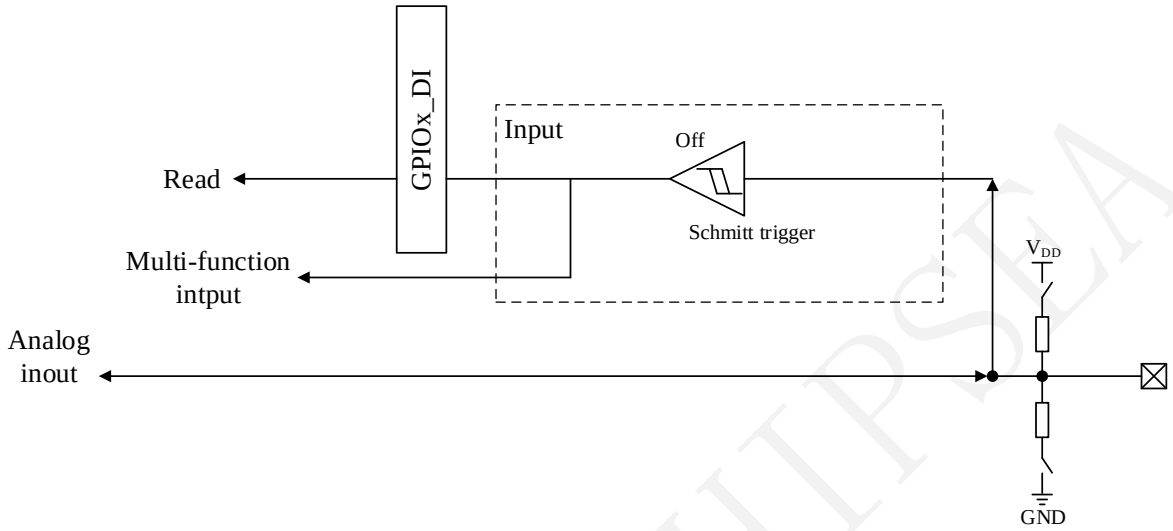
6.2.6　模拟模式

当 IO 口配置为模拟功能时：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 输出关闭。
- 施密特触发器输入关闭，触发器输出固定为 0.
- 硬件强制关闭上拉和下拉。
- GPIOx_DI 寄存器的值保持为 0。

图 14 模拟功能结构



6.2.7 输入阈值

普通 GPIO 口输入阈值按照 VIH/VIL 为 0.7VDD/0.3VDD 进行设计。CS32F03X-RA 版本增加了输入阈值选择，可以配置输入电压为 VDD 或者 1.8V/1.2V，如果配置为 VDD，则和上面描述一样，如果配置为 1.8V/1.2V，则可以识别 1.8V 和 1.2V 输入。此功能主要用于和 1.8V/1.2V 的 I2C 设备进行通信。输入阈值配置寄存器参考 SYSCFG 章节的 SYSCFG_GPIOA 和 SYSCFG_GPIOB。

注：输入阈值选择仅 CS32F03X-RA 版本支持，其他版本无此功能。

6.2.8 特殊功能

PC14 和 PC15 可以作为外部低速时钟口。当 LXTEN=1 时，PC14 和 PC15 的所有 GPIO 配置都被屏蔽。当 LXTBYP=1 时，只有 PC14 的 GPIO 配置被屏蔽。

6.3 PF0 和 PF1 可以作为外部高速时钟口。当 HXTEN=1 时，PF0 和 PF1 的所有 GPIO 配置都被屏蔽。当 HXTBYP=1 时，只有 PF0 的 GPIO 配置被屏蔽。

PC13、PC14 和 PC15 由 VBAT 域供电，当进入掉电模式时，可以通过 RTC 配置相应功能。

寄存器

6.3.1 寄存器概览

表 15 GPIO 寄存器概览

名称	偏移地址	描述	复位值
GPIOA_PFR	0x000	GPIOA 端口功能寄存器	0x28000000
GPIOx_PFR (x = B, C, F)	0x000	GPIOx 端口功能寄存器	0x00000000
GPIOx_PODENR (x = A, B, C, F)	0x004	GPIOx 端口输出模式寄存器	0x00000000

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

GPIOA_POSR	0x008	GPIOA 端口输出速度寄存器	0x0C000000
GPIOx_POSR (x = B, C, F)	0x008	GPIOx 端口输出速度寄存器	0x00000000
GPIOA_PUPDR	0x00C	GPIOA 端口上拉/下拉寄存器	0x24000000
GPIOx_PUPDR (x = B, C, F)	0x00C	GPIOx 端口上拉/下拉寄存器	0x00000000
GPIOx_DI (x = A, B, C, F)	0x010	GPIOx 端口输入数据寄存器	0x0000XXXX
GPIOx_DO (x = A, B, C, F)	0x014	GPIOx 端口输出数据寄存器	0x00000000
GPIOx_SCR (x = A, B, C, F)	0x018	GPIOx 端口置位/清除寄存器	0x00000000
GPIOx_LOCK (x = A, B)	0x01C	GPIOx 端口锁定寄存器	0x00000000
GPIOx_MFSELL (x = A, B, C, F)	0x020	GPIOx 多功能选择低寄存器	0x00000000
GPIOx_MFSELH (x = A, B, C, F)	0x024	GPIOx 多功能选择高寄存器	0x00000000
GPIOx_CLRR (x = A, B, C, F)	0x028	GPIOx 端口复位寄存器	0x00000000

6.3.2 GPIOx 端口功能寄存器（GPIOx_PFR ）

GPIOx_PFR (偏移地址=0x000，GPIOA 复位值=0x28000000，其他复位值等于 0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FUNC15[1:0]		FUNC14[1:0]		FUNC13[1:0]		FUNC12[1:0]		FUNC11[1:0]		FUNC10[1:0]		FUNC9[1:0]		FUNC8[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FUNC7[1:0]		FUNC6[1:0]		FUNC5[1:0]		FUNC4[1:0]		FUNC3[1:0]		FUNC2[1:0]		FUNC1[1:0]		FUNC0[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[2i+1:2i]	FUNCi	**端口 i 功能配置位**（i = 0 ..15） 软件配置该位选择端口的功能。 00：输入功能 01：通用输出功能 10：多功能复用 11：模拟功能

6.3.3 GPIOx 端口输出模式寄存器（GPIOx_PODENR）

GPIOx_PODENR (偏移地址=0x004，复位值=0x00000000)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ODEN15	ODEN14	ODEN13	ODEN12	ODEN11	ODEN10	ODEN9	ODEN8	ODEN7	ODEN6	ODEN5	ODEN4	ODEN3	ODEN2	ODEN1	ODEN0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	ODENi	**端口 i 输出模式配置位**（i = 0 ..15） 软件配置该位选择端口的输出模式。 0：推挽输出 1：开漏输出

6.3.4 GPIOx 端口输出速度寄存器（GPIOx_POSR ）

GPIOx_POSR (偏移地址=0x008，GPIOA 复位值=0x0C000000，其他复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OS15[1:0]		OS14[1:0]		OS13[1:0]		OS12[1:0]		OS11[1:0]		OS10[1:0]		OS9[1:0]		OS8[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OS7[1:0]		OS6[1:0]		OS5[1:0]		OS4[1:0]		OS3[1:0]		OS2[1:0]		OS1[1:0]		OS0[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[2i+1:2i]	FUNCi	端口 i 输出速度（i = 0 ..15） 软件配置该位选择端口的输出速度。 x0：低速 01：中速 11：高速

6.3.5 GPIOx 端口上拉/下拉寄存器（GPIOx_PUPDR ）

GPIOx_PUPDR (偏移地址=0x00C，GPIOA 复位值=0x24000000 ，其他复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PUPD15[1:0]		PUPD14[1:0]		PUPD13[1:0]		PUPD12[1:0]		PUPD11[1:0]		PUPD10[1:0]		PUPD9[1:0]		PUPD8[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

PUPD7[1:0]		PUPD6[1:0]		PUPD5[1:0]		PUPD4[1:0]		PUPD3[1:0]		PUPD2[1:0]		PUPD1[1:0]		PUPD0[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[2i+1:2i]	FUNCi	**端口 i 上拉和下拉配置**（i = 0 ..15） 软件配置该位打开端口的上拉或下拉功能。 00：上拉关闭、下拉关闭 01：打开上拉 10：打开下拉 11：保留

6.3.6 GPIOx 端口输入数据寄存器（GPIOx_DI）

GPIOx_DI (偏移地址=0x010，复位值=0x0000XXXX)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8	DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	DIi	端口 i 输入数据寄存器（i = 0 ..15）

6.3.7 GPIOx 端口输出数据寄存器（GPIOx_DO）

GPIOx_DO (偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DO 15	DO 14	DO 13	DO 12	DO 11	DO 10	DO9	DO8	DO7	DO6	DO5	DO4	DO3	DO2	DO1	DO0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	DOi	**端口 i 输出数据寄存器（i = 0 ..15）** **该位软件置位或清除。**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

6.3.8　GPIOx 端口置一/清零寄存器（GPIOx_SCR）

GPIOx_SCR (偏移地址=0x018，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0
W	w	w	w	w	w	w	w	w	w	w	w	w	w	w	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit 位	名称	描述
[31:16]	BCi	端口 i 输出清除（i = 0 ..15） 0：无作用 1：清除对应的 DOi 寄存器
[15:0]	BSi	端口 i 输出置位（i = 0 ..15） ，当 BCi 和 BSi 同时写 1 时，BSi 的优先级更高。 0：无作用 1：置位对应的 DOi 寄存器

6.3.9　GPIOx 端口锁定寄存器（GPIOx_LOCK）

GPIOx_LOCK (偏移地址=0x01C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	LOCKK
															r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK15	LOCK14	LOCK13	LOCK12	LOCK11	LOCK10	LOCK9	LOCK8	LOCK7	LOCK6	LOCK5	LOCK4	LOCK3	LOCK2	LOCK1	LOCK0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:17]	保留	
16	LOCKK	**锁定序列码** 该位可读，只能由锁定序列改写成 1，MCU 或外设复位清除。 写入锁定序列为： 写：“LOCKK=1” + LOCK[15:0] 写：“LOCKK=0” + LOCK[15:0] 写：“LOCKK=1” + LOCK[15:0]

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		读； 0：端口配置锁定无效 1：端口配置锁定生效 *注：在写入序列过程中，任何不符合序列要求的写入都会使得锁定序列重新开始，并且 LOCK[15:0] 必须保持不变。*
[15:0]	LOCKi	**端口 i 锁定位**（i = 0 ..15） 该位可读，只有当 LOCKK=0 时，才可写。 0：端口配置未锁定 1：端口配置已锁定

6.3.10 GPIOx 多功能选择低寄存器（GPIOx_MFSELL）

GPIOx_MFSELL (偏移地址=0x020，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MFSELL7[3:0]				MFSELL6[3:0]				MFSELL5[3:0]				MFSELL4[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MFSELL3[3:0]				MFSELL2[3:0]				MFSELL1[3:0]				MFSELL0[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	MFSELLi	**端口 i 多功能选择寄存器**（i = 0 ..7） 软件置位和清除该寄存器。 0000：MF0 0001：MF1 0010：MF2 0011：MF3 0100：MF4 0101：MF5 0110：MF6 0111：MF7 其他：保留

6.3.11 GPIOx 多功能选择高寄存器（GPIOx_MFSELH）

GPIOx_MFSELH (偏移地址=0x024，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MFSELH15[3:0]				MFSELH14[3:0]				MFSELH13[3:0]				MFSELH12[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

MFSELH11[3:0]				MFSELH10[3:0]				MFSELH9[3:0]				MFSELH8[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	MFSELHi	**端口 i 多功能选择寄存器**（i = 8 ..15） 软件置位和清除该寄存器。 0000：MF0 0001：MF1 0010：MF2 0011：MF3 0100：MF4 0101：MF5 0110：MF6 0111：MF7 其他：保留

6.3.12 GPIOx 端口复位寄存器（GPIOx_CLRR）

GPIOx_CLRR (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCLR15	BCLR14	BCLR13	BCLR12	BCLR11	BCLR10	BCLR9	BCLR8	BCLR7	BCLR6	BCLR5	BCLR4	BCLR3	BCLR2	BCLR1	BCLR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	BCLRi	**端口 i 输出清除**（i = 0 ..15） 0：无作用 1：清除对应的 DOi 寄存器

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

7　系统配置控制器 (SYSCFG)

概述

7.1.1　简介

芯片内置一组配置寄存器，用来改变或控制系统功能。

7.1.2　功能概览

7.1

- 控制打开或关闭 I2C 复用 IO 口的超快速模式
- 重映射 DMA 触发源
- 重映射存储器到代码起始区域
- 管理连接到 GPIO 口的外部中断
- 管理系统可靠性
- GPIOA 和 GPIOB 输入阈值电压配置

注：GPIOA/GPIOB 输入阈值电压配置仅 CS32F032-RA 版本支持。

寄存器

7.2 **7.2.1　寄存器概览**

表 16 SYSCFG 寄存器概览

名称	偏移地址	描述	复位值
SYSCFG_RMAPCFG	0x000	SYSCFG 重映射配置寄存器	0x0000000X
SYSCFG_EXTISRC1	0x008	SYSCFG 外部中断源选择寄存器 1	0x00000000
SYSCFG_EXTISRC2	0x00C	SYSCFG 外部中断源选择寄存器 2	0x00000000
SYSCFG_EXTISRC3	0x010	SYSCFG 外部中断源选择寄存器 3	0x00000000
SYSCFG_EXTISRC4	0x014	SYSCFG 外部中断源选择寄存器 4	0x00000000
SYSCFG_ERRLOCK	0x018	SYSCFG 错误和定时器刹车锁定寄存器	0x00000000
SYSCFG_GPIOA	0x1C	GPIOA 输入输出电压配置寄存器	0x00000000
SYSCFG_GPIOB	0x20	GPIOB 输入输出电压配置寄存器	0x00000000

7.2.2　SYSCFG 重映射配置寄存器（SYSCFG_RMAPCFG ）

SYSCFG_RMAPCFG (偏移地址=0x000，复位值=0x0000000X)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	I2C_FMP EN_PA10	I2C_FMP EN_PA9	保留	保留	I2C_FMP EN_PB9	I2C_FMP EN_PB8	I2C_FMP EN_PB7	I2C_FMP EN_PB6
								r/w	r/w			r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	TIM17_D	TIM16_D	USART1_	USART1_	ADC_DM	保留	保留	保留	保留	保留	保留	MEM_RMAP[1:0]	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

			MA_CHRMAP	MA_CHRMAP	RX_DMA_CHRMAP	TX_DMA_CHRMAP	A_CHRMAP								
			r/w	r/w	r/w	r/w	r/w							r/w	r/w

Bit 位	名称	描述
[31:24]	保留	
[23:22]	I2C_FMP_EN_PAx	**超快速模式驱动能力使能位** 软件置位或清除，分别打开 PA10 和 PA9 的超快速模式。 0：标准模式 1：打开 PAx 超快速模式
[21:20]	保留	
[19:16]	I2C_FMP_EN_PBx	**超快速模式驱动能力使能位** 软件置位或清除，分别打开 PB9、PB8、PB7 和 PB6 的超快速模式。 0：标准模式 1：打开 PBx 超快速模式
[15:13]	保留	
12	TIM17_DMA_CHRMAP	**TIM17 DMA 请求通道重映射** 软件置位或清除。 0：TIM17_CH1 和 TIM17_UP 请求映射在 DMA 通道 1 1：TIM17_CH1 和 TIM17_UP 请求映射在 DMA 通道 2
11	TIM16_DMA_CHRMAP	**TIM16 DMA 请求通道重映射** 软件置位或清除。 0：TIM16_CH1 和 TIM16_UP 请求映射在 DMA 通道 3 1：TIM16_CH1 和 TIM16_UP 请求映射在 DMA 通道 4
10	USART1_RX_DMA_CHRMAP	**USART1 接收 DMA 请求通道重映射** 软件置位或清除。 0：USART1 接收数据 DMA 请求映射在 DMA 通道 3 1：USART1 接收数据 DMA 请求映射在 DMA 通道 5
9	USART1_TX_DMA_CH_RMAP	**USART1 发送 DMA 请求通道重映射** 软件置位或清除。 0：USART1 发送数据 DMA 请求映射在 DMA 通道 2 1：USART1 发送数据 DMA 请求映射在 DMA 通道 4
8	ADC_DMA_CHRMAP	**ADC DMA 请求通道重映射** 软件置位或清除。 0：ADC DMA 请求映射在 DMA 通道 1 1：ADC DMA 请求映射在 DMA 通道 2
[7:2]	保留	
[1:0]	MEM_RMAP	**存储器映射** 软件配置该位，选择映射到地址 0x00000000 的存储器。复

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		位后，该位的值由 BOOT0 脚和选项字节的 nBOOT1 位确定。 x0：Flash 程序存储区映射到 0x00000000 01：系统存储区映射到 0x00000000 11：SRAM 映射到 0x00000000

7.2.3 SYSCFG 外部中断源选择寄存器 1（SYSCFG_EXTISRC1）

SYSCFG_EXTISRC1 (偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI_SEL3[3:0]				EXTI_SEL2[3:0]				EXTI_SEL1[3:0]				EXTI_SEL0[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	EXTI_SELi	**EXTIi 配置位**（i＝0、1、2、3） 软件配置该位选择 EXTI 外部中断的输入源。 x000：PA[i] x001：PB[i] x010：PC[i] x101：PF[i]

7.2.4 SYSCFG 外部中断源选择寄存器 2（SYSCFG_EXTISRC2）

SYSCFG_EXTISRC2 (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI_SEL7[3:0]				EXTI_SEL6[3:0]				EXTI_SEL5[3:0]				EXTI_SEL4[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	EXTI_SELi	**EXTIi 配置位**（i＝4、5、6、7） 软件配置该位选择 EXTI 外部中断的输入源。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		x000：PA[i] x001：PB[i] x010：PC[i] x101：PF[i]

7.2.5　SYSCFG 外部中断源选择寄存器 3（SYSCFG_EXTISRC3）

SYSCFG_EXTISRC3 (偏移地址=0x010，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI_SEL11[3:0]				EXTI_SEL10[3:0]				EXTI_SEL9[3:0]				EXTI_SEL8[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	EXTI_SELi	**EXTIi 配置位**（i = 8、9、10、11） 软件配置该位选择 EXTI 外部中断的输入源。 x000：PA[i] x001：PB[i] x010：PC[i] x101：PF[i]

7.2.6　SYSCFG 外部中断源选择寄存器 4（SYSCFG_EXTISRC4）

SYSCFG_EXTISRC4 (偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI_SEL15[3:0]				EXTI_SEL14[3:0]				EXTI_SEL13[3:0]				EXTI_SEL12[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	EXTI_SELi	**EXTIi 配置位**（i = 12、13、14、15） 软件配置该位选择 EXTI 外部中断的输入源。 x000：PA[i] x001：PB[i]

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		x010：PC[i] x101：PF[i]

7.2.7　SYSCFG 错误和定时刹车锁定寄存器（SYSCFG_ERRLOCK）

SYSCFG_ERRLOCK (偏移地址=0x018，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	SRAM_PRTY_ERR	保留	保留	保留	保留	保留	LVD_TIMBRK_LOCK	SRAM_PRTY_TIMBRK_LOCK	LOCKUP_TIMBRK_LOCK
							r/w1c						r/w	r/w	r/w

Bit 位	名称	描述
[31:9]	保留	
8	SRAM_PRTY_ERR	**SRAM 校验错误标志位** 当发生 SRAM 数据校验错误，硬件置位该位。软件写“1”清除。 0：未发生 SRAM 校验错误 1：发生 SRAM 校验错误
[7:3]	保留	
2	LVD_TIMBRK_LOCK	**LVD 锁定使能** 该位使能 LVD 连接到 TIM 的刹车输入，并锁定 LVDEN 和 LVDSEL 的配置。 软件置位该位，系统复位清除。 0：LVD 中断未连接到 TIM1/15/16/17 的刹车输入。LVDEN 和 LVDSEL[2:0]可软件配置。 1：LVD 中断连接到 TIM1/15/16/17 的刹车输入。LVDEN 和 LVDSEL[2:0]只可读不可写。
1	SRAM_PRTY_TIMBRK_LOCK	**SRAM 校验错误锁定使能** 该位使能 SRAM 校验错误连接到 TIM 的刹车输入。 软件置位该位，系统复位清除。 0：SRAM 校验错误未连接到 TIM1/15/16/17 的的刹车输入。 1：SRAM 校验错误连接到 TIM1/15/16/17 的的刹车输入。
0	LOCKUP_TIMBRK_LOCK	**Cortex –M0 LOCKUP 使能** 该位使能 Cortex –M0 LOCKUP 连接到 TIM 的刹车输入。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		软件置位该位，系统复位清除。 0：Cortex –M0 LOCKUP 未连接到 TIM1/15/16/17 的的刹车输入。 1：Cortex –M0 LOCKUP 连接到 TIM1/15/16/17 的的刹车输入。

7.2.8　SYSCFG GPIOA 输入输出电压配置寄存器（SYSCFG_GPIOA）

注：此寄存器仅 CS32F03X-RA 版本有，其他版本配置无效

SYSCFG_GPIOA (偏移地址=0x01C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	PA10_VTH		PA9_VTH		保留	保留
		r/w	r/w							r/w	r/w	r/w	r/w		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

Bit 位	名称	描述
[31:9]	保留	
[27:22]	保留	
[21:20]	PA10_VTH	PA10 口 IO 输入通信电压选择 00：VDD 01：1.8V/1.2V 1x：保留
[19:18]	PA9_VTH	PA9 口 IO 输入通信电压选择 00：VDD 01：1.8V/1.2V 1x：保留
[17:0]	保留	

7.2.9　SYSCFG GPIOB 输入输出电压配置寄存器（SYSCFG_GPIOB）

注：此寄存器仅 CS32F03X-RA 版本有，其他版本配置无效

SYSCFG_GPIOA (偏移地址=0x020，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
												PB9_VTH		PB8_VTH	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PB7_VTH		PB6_VTH		保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

r/w	r/w	r/w	r/w												

Bit 位	名称	描述
[31:20]	保留	
[19:18]	PB9_VTH	PB9 口 IO 输入通信电压选择 00：VDD 01：1.8V/1.2V 1x：保留
[17:16]	PB8_ VTH	PB8 口 IO 输入通信电压选择 00：VDD 01：1.8V/1.2V 1x：保留
[15:14]	PB7_VTH	PB7 口 IO 输入通信电压选择 00：VDD 01：1.8V/1.2V 1x：保留
[13:12]	PB6_ VTH	PB6 口 IO 输入通信电压选择 00：VDD 01：1.8V/1.2V 1x：保留
[11:0]	保留	

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

8 DMA 控制器

概述

8.1.1 简介

直接内存存取（DMA）用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。无须 CPU 干预，数据都可以通过 DMA 进行快速地传输。这就为其他操作保留了 CPU 资源。

8.1 DMA 控制器有高达 5 个通道，每一个都专用于管理一个或更多外设的存储器访问请求。有一个仲裁器来协调各个 DMA 请求的优先权。

8.1.2 功能概览

- 5 个独立的可配置通道（请求）
- 每个通道都直接连接专用的硬件 DMA 请求，每个通道都同样支持软件触发。这些配置通过软件完成。
- 在 DMA 通道中请求的优先级可以通过软件编程设置（包括最高、高、中等和低），优先权相同时由硬件决定（请求 1 优先于请求 2，以此类推通道号越小优先级越高）。
- 独立数据源和目标数据传输宽度（字节、半字、全字），模拟打包和拆包的过程。源地址和目标地址必须按数据传输宽度对齐。
- 支持循环传输模式
- 3 种事件标志（DMA 传输半完成、DMA 传输完成和 DMA 传输出错），对每个通道来讲，这 3 个事件标志逻辑或成为一个单独的中断请求。
- 存储器和存储器之间的传输
- 外设到存储器和存储器到外设，
- Flash、SRAM、APB 和 AHB 外设均可作为访问的源和目标
- 可编程的数据传输数目：最大为 65535

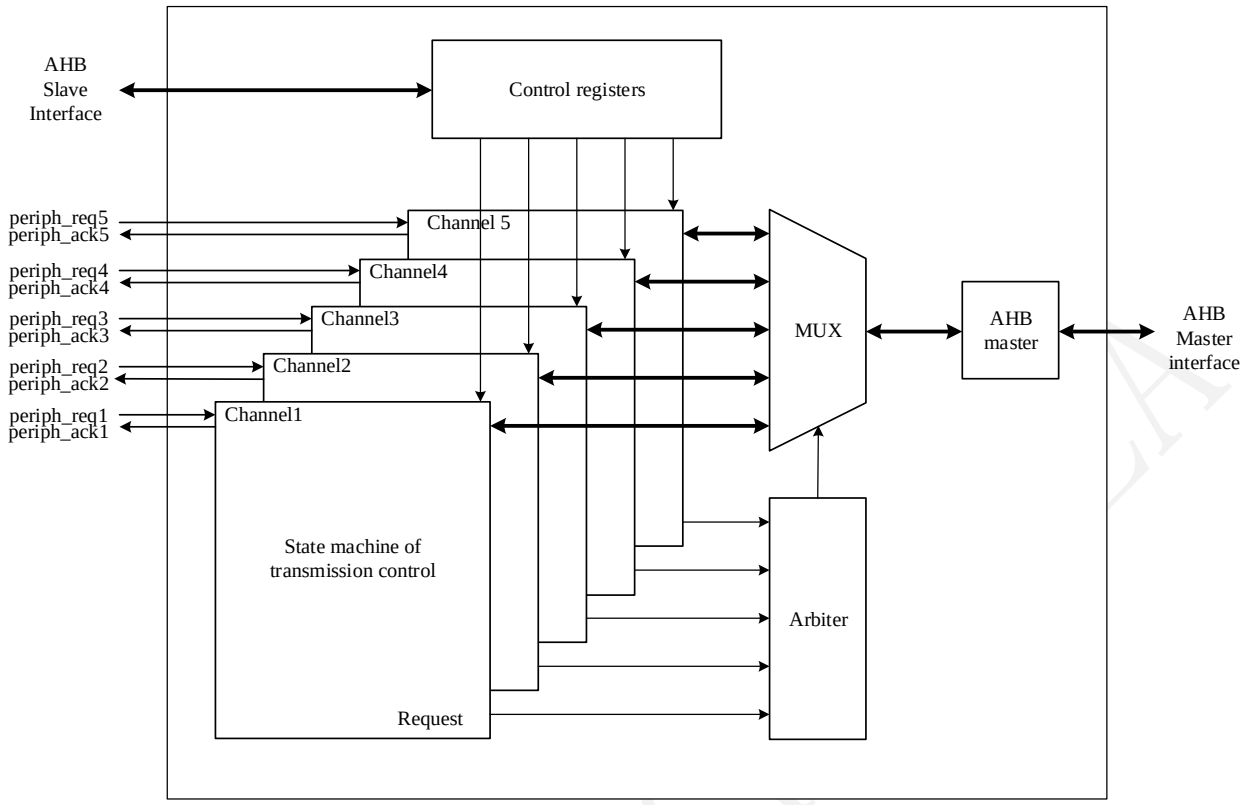
8.2

模块操作

DMA 模块框图如下图所示：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 15 DMA 的框图



DMA 控制器和 CPU 内核共享系统总线，执行直接存储器数据传输。当 CPU 和 DMA 同时访问相同的目标（RAM 或外设）时，DMA 请求会暂停 CPU 访问系统总线达若干个周期，总线仲裁器执行循环调度，以确保 CPU 至少可以得到一半的系统总线带宽（存储器和外设）。

8.2.1 DMA 处理

在外设向 DMA 控制器发送请求信号后， DMA 控制器根据通道的优先权处理请求。 当 DMA 控制器开始访问发出请求的外设时， DMA 控制器立即发送给它一个应答信号。 当外设从 DMA 控制器得到应答信号时， 立即释放它的请求。 一旦外设释放了这个请求，DMA 控制器同时撤销应答信号。 如果有更多的请求时， 外设可以启动下一个请求。

总之，每次的 DMA 传输由 3 组操作组成：

- 从外设数据寄存器或者从当前外设 / 存储器地址寄存器指示的存储器地址取数据， 第一次传输时的开始地址是 DMA_CHxPA 或 DMA_CHxMA 寄存器指定的外设基地址或存储器单元。
- 向外设数据寄存器或者从当前外设 / 存储器地址寄存器指示的存储器地址存数据， 第一次传输时的开始地址是 DMA_CHxPA 或 DMA_CHxMA 寄存器指定的外设基地址或存储器单元。
- 对 DMA_CHxNUM 寄存器执行一次递减操作， DMA_CHxNUM 寄存器存放着待搬运数据的数量

8.2.2 仲裁器

仲裁器根据 DMA 传输通道号和优先级来决定各通道的访问优先级：

- 软件：可通过 DMA_CHxCTR 寄存器配置每个通道的优先级， 优先级分 4 个等级：

— 最高优先级
— 高优先级
— 中等优先级

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

— 低优先级

- 通道号： 如果 2 个请求有相同的软件优先级，则较低编号的通道比较高编号的通道有较高的优先权。举个例子，通道 2 优先于通道 4。

8.2.3 DMA 通道

每个通道都可以在外设寄存器的固定地址和存储器地址之间进行 DMA 传输。传输的数据是可配置的（最大量达到 65535）。每次传输之后相应的计数寄存器都做一次递减操作， 直到计数为 0 。

可编程的数据位宽

外设和存储器的数据位宽可以通过 DMA_CHxCTR 寄存器中的 PWDH 和 MWDH 位来配置。

增量指针

根据设置 DMA_CHxCTR 寄存器中的 PAGM 和 MAGM 位，外设和存储器的指针在每次传输 后可以有选择地完成自动增量。当开启增量模式时，下一个要传输的地址将是前一个地址加上增量值 1、2 或 4，增量值取决与所选的数据宽度。第一个传输的地址是存放在 DMA_CHxPA/DMA_CHxMA 寄存器中的。在传输过程中，这些寄存器保持它们初始数值，当前传输地址不能被软件获得。

当通道配置于非循环模式，传输结束后（即被传输数据量已经到 0）将不再产生 DMA 请求。为了将新的被传输数据重新加载到 DMA_CHxNUM 寄存器中，DMA 通道必须被关闭。

注：如果禁用了 DMA 通道，则不会重置 DMA 寄存器。DMA 通道寄存器（DMA_CHxCTR、DMA_CHxPA 和 DMA_CHxMA）保留在通道配置阶段编程的初始值。

在循环模式下，在最后一次传输后，DMA_CHxNUM 寄存器将自动重新加载初始编程值。当前的内部地址寄存器使用 DMA_CHxPA/DMA_CHxMA 寄存器中的基址值重新加载。

通道配置程序

应遵循以下顺序配置 DMA 通道 X（其中 X 是通道号）：

1. 在 DMA_CHxPA 寄存器中设置外设寄存器地址。在外设起搬运请求之后，数据将从该地址搬运到存储器或从存储器搬运到该地址。
2. 在 DMA_CHxMA 寄存器中设置存储器地址。在外设起搬运请求后，数据将被写入内存或从内存中读取。
3. 配置要在 DMA_CHxNUM 寄存器中传输的数据总数。在每个外设事件之后，该值将递减。
4. 使用 DMA_CHxCTR 寄存器中的 PRIL[1:0]位配置通道优先级
5. 配置数据传输方向、循环模式、外设和内存增量模式、外设和内存数据大小，以及在半传输和/或完全传输后在 DMA_CHxCTR 寄存器中进行中断。
6. 通过设置 DMA_CHxCTR 寄存器中的 CEN 位来激活通道。

一旦启动了 DMA 通道， 它即可响应连接到该道道上的外设的 DMA 请求，当传输一半的数据后，传输半完成标志 (HLFIF) 被置 1， 当设置了允许传输半完成中断位 (HLFIE) 时， 将产生一个半传输完成的中断请求。 当传输完成时， 传输完成标志 (CMPIF) 被置 1， 当设置了传输完成中断使能位(CMPIE)时， 将产生一个传输完成的中断请求。

循环模式

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

循环模式可用于处理循环缓冲区和连续数据流（例如，ADC 扫描模式）。可以使用 DMA_CHxCTR 寄存器中的 CIRM 位启用此功能。当启动了循环模式，一组的数据传输完成时，计数寄存器将会自动地被恢复成配置该通道时设置的初值， DMA 传输将会循环进行。

存储器到存储器模式

DMA 通道也可以在不被外设请求触发的情况下工作，此模式称为存储器到存储器模式。如果设置了 DMA_CHxCTR 寄存器中的 M2MM 位，则通过设置 DMA_CHxCTR 寄存器中的 CEN 位，通道在软件启用后立即启动传输。一旦 DMA_CHxNUM 寄存器达到零，传输就会停止。存储器到存储器模式不能与循环模式同时使用。

8.2.4 可编程数据宽度、数据对齐和数据大小端

当 PWDH 和 MWDH 不相等时，DMA 执行一些数据对齐，如表 17 中所述。

表 17 可编程数据宽度和大小端操作 (当位 PAGM = MAGM = 1)

源端位宽	目标端位宽	传输数量	源内容: 地址/数据	传输操作	目标内容: 地址/数据
8	8	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: READ B0[7:0] @0x0 then WRITE B0[7:0] @0x0 2: READ B1[7:0] @0x1 then WRITE B1[7:0] @0x1 3: READ B2[7:0] @0x2 then WRITE B2[7:0] @0x2 4: READ B3[7:0] @0x3 then WRITE B3[7:0] @0x3	@0x0 / B0 @0x1 /B1 @0x2 / B2 @0x3 /B3
8	16	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: READ B0[7:0] @0x0 then WRITE 00B0[15:0] @0x0 2: READ B1[7:0] @0x1 then WRITE 00B1[15:0] @0x2 3: READ B2[7:0] @0x2 then WRITE 00B2[15:0] @0x4 4: READ B3[7:0] @0x3 then WRITE 00B3[15:0] @0x6	@0x0 / 00B0 @0x2 / 00B1 @0x4 / 00B2 @0x6 / 00B3
8	32	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: READ B0[7:0] @0x0 then WRITE 000000B0[31:0] @0x0 2: READ B1[7:0] @0x1 then WRITE 000000B1[31:0] @0x4 3: READ B2[7:0] @0x2 then WRITE 000000B2[31:0] @0x8 4: READ B3[7:0] @0x3 then WRITE 000000B3[31:0] @0xC	@0x0 / 000000B0 @0x4 / 000000B1 @0x8 / 000000B2 @0xC / 000000B3
16	8	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1: READ B1B0[15:0] @0x0 then WRITE B0[7:0] @0x0 2: READ B3B2[15:0] @0x2 then WRITE B2[7:0] @0x1 3: READ B5B4[15:0] @0x4 then WRITE B4[7:0] @0x2 4: READ B7B6[15:0] @0x6 then WRITE B6[7:0] @0x3	@0x0 / B0 @0x1 / B2 @0x2 / B4 @0x3 / B6
16	16	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1: READ B1B0[15:0] @0x0 then WRITE B1B0[15:0] @0x0 2: READ B3B2[15:0] @0x2 then WRITE B3B2[15:0] @0x2 3: READ B5B4[15:0] @0x4 then WRITE B5B4[15:0] @0x4 4: READ B7B6[15:0] @0x6 then WRITE B7B6[15:0] @0x6	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6
16	32	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1: READ B1B0[15:0] @0x0 then WRITE 0000B1B0[31:0] @0x0 2: READ B3B2[15:0] @0x2 then WRITE 0000B3B2[31:0] @0x4 3: READ B5B4[15:0] @0x4 then WRITE 0000B5B4[31:0] @0x8 4: READ B7B6[15:0] @0x6 then WRITE 0000B7B6[31:0] @0xC	@0x0 / 0000B1B0 @0x4 / 0000B3B2 @0x8 / 0000B5B4 @0xC / 0000B7B6
32	8	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1: READ B3B2B1B0[31:0] @0x0 then WRITE B0[7:0] @0x0 2: READ B7B6B5B4[31:0] @0x4 then WRITE B4[7:0] @0x1 3: READ BBBAB9B8[31:0] @0x8 then WRITE B8[7:0] @0x2 4: READ BFBEBDBC[31:0] @0xC then WRITE BC[7:0] @0x3	@0x0 / B0 @0x1 / B4 @0x2 / B8 @0x3 / BC
32	16	4	@0x0 / B3B2B1B0	1: READ B3B2B1B0[31:0] @0x0 then WRITE B1B0[15:0] @0x0	@0x0 / B1B0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

			@0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	2: READ B7B6B5B4[31:0] @0x4 then WRITE B5B4[15:0] @0x2 3: READ BBBAB9B8[31:0] @0x8 then WRITE B9B8[15:0] @0x4 4: READ BFBEBDBC[31:0] @0xC then WRITE BDBC[15:0] @0x6	@0x2 / B5B4 @0x4 / B9B8 @0x6 / BDBC
32	32	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1: READ B3B2B1B0[31:0] @0x0 then WRITE B3B2B1B0[31:0] @0x0 2: READ B7B6B5B4[31:0] @0x4 then WRITE B7B6B5B4[31:0] @0x4 3: READ BBBAB9B8[31:0] @0x8 then WRITE BBBAB9B8[31:0] @0x8 4: READ BFBEBDBC[31:0] @0xC then WRITE BFBEBDBC[31:0] @0xC	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC

寻址一个不支持字节或半字写的 AHB 外设

当 DMA 模块在 AHB 总线上开始一个 字节或半字写操作时，会将数据复制到未使用的字节/字上。因此，如果 DMA 以字节或半字写入不支持字节或半字写操作的 AHB 设备时（即 HSIZE 不适于该模块）不会发生错误， DMA 将按照下面两个例子写入 32 位 HWDATA 数据：

- 当 HSIZE= 半字时，写入半字‘0xABCD’，DMA 将设置 HWDATA 总线为‘0xABCDABCD’。
- 当 HSIZE= 字节时，写入字节‘0xAB’，DMA 将设置 HWDATA 总线为‘0xABABABAB’。

假定 AHB/APB 总线桥是一个 AHB 的 32 位从设备，它不处理 HSIZE 参数，它将按照下述方式把任何 AHB 上的字节或半字按 32 位传送到 APB 上：

- 一个 AHB 上对地址 0x0(或 0x1、 0x2 或 0x3) 的写字节数据’0xB0’操作， 将转换到 APB 上对地址 0x0 的写字数据’0xB0B0B0B0’操作。
- 一个 AHB 上对地址 0x0(或 0x2) 的写半字数据’0xB1B0’操作， 将转换到 APB 上对地址 0x0 的写字数据’0xB1B0B1B0’操作。

例如， 如果要写入 APB 后备寄存器（与 32 位地址对齐的 16 位寄存器）， 需要配置存储器数据源宽度 (MWDH) 为 16 位， 外设目标数据宽度 (PWDH) 为 32 位。

8.2.5 错误管理

对保留的地址区域的读写， 将会产生 DMA 传输错误。当 DMA 读写操作发生 DMA 传输错误时， 硬件会自动地清除发生错误的通道所对应的通道配置寄存器 (DMA_CHxCTR) 的 CEN 位，该通道操作被停止。此时， 在 DMA_STS 寄存器中对应该通道的传输错误中断标志位 (ERRIF)将被置位， 如果在 DMA_CHxCTR 寄存器中设置了传输错误中断使能位， 则将产生中断。

8.2.6 DMA 中断

每个 DMA 通道都可以在 DMA 传输过半、 传输完成和传输错误时产生中断。 为应用的灵活性考虑，通过设置寄存器的不同位来打开这些中断。

对于每个 DMA 通道，可以在传输半完成、传输完成或传输错误时产生中断。只要对应的传输中断使能位有效。

表 18 DMA 中断请求

中断事件	事件标志	使能控制位
传输半完成	HLFIF	HLFIE
传输完成	CMPIF	CMPIE
传输错误	ERRIF	ERRIE

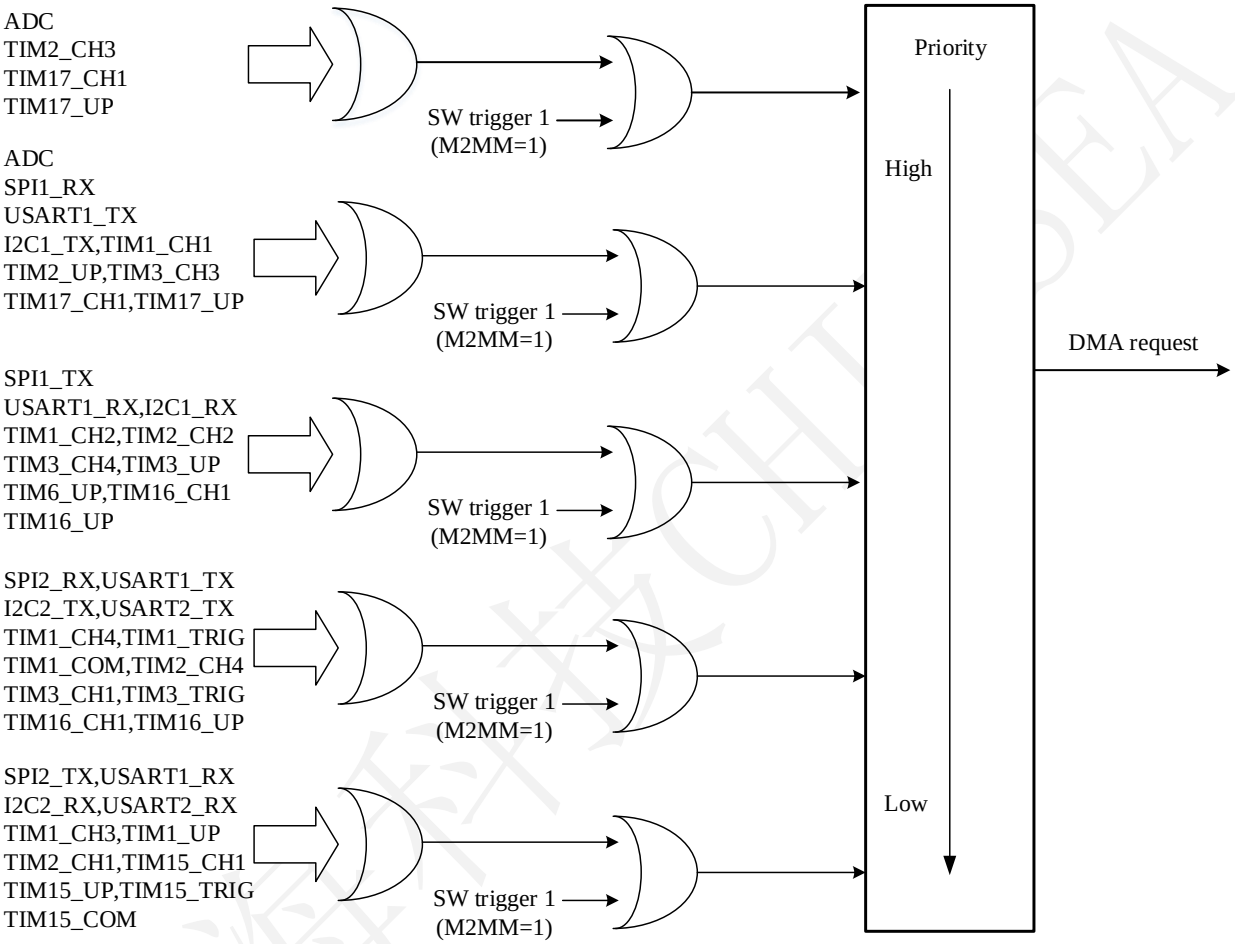
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

8.2.7 DMA 请求映射

DMA 控制器

外设（TIMx，ADC ，SPIx，I2Cx，和 USARTx）的硬件请求简单地进行逻辑 OR 运算后进入 DMA。这就意味着同一刻只能允许一个 DMA 请求进入 DMA 控制器。外设的 DMA 请求，可以通过设置相应外设寄存器中的控制位，被独立地开启或关闭。

图 16 DMA 请求映射框图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

表 19 各个通道 DMA 请求一览表

外设	通道 1	通道 2	通道 3	通道 4	通道 5
ADC	ADC(1)	ADC(2)	–	–	–
SPI	–	SPI1_RX	SPI1_TX	SPI2_RX	SPI2_TX
USART	–	USART1_TX(1)	USART1_RX(1)	USART1_TX(1) USART2_TX	USART1_RX(2) USART2_RX
I2C	–	I2C1_TX	I2C1_RX	I2C2_TX	I2C2_RX
TIM1	–	TIM1_CH1	TIM1_CH2	TIM1_CH4 TIM1_TRIG TIM1_COM	TIM1_CH3 TIM1_UP
TIM2	TIM2_CH3	TIM2_UP	TIM2_CH2	TIM2_CH4	TIM2_CH1
TIM3	–	TIM3_CH3	TIM3_CH4 TIM3_UP	TIM3_CH1 TIM3_TRIG	–
TIM6	–	–	TIM6_UP	–	–
TIM15	–	–	–	–	TIM15_CH1 TIM15_UP TIM15_TRIG TIM15_COM
TIM16	–	–	TIM16_CH1(1) TIM16_UP(1)	TIM16_CH1(2) TIM16_UP(2)	–
TIM17	TIM17_CH1(1) TIM17_UP(1)	TIM17_CH1(2) TIM17_UP(2)	–	–	–

1. 只有在 SYSCFG_RMAPCFG 寄存器相应的重映射位清 0 时该 DMA 请求映射到这个 DAM 通道。
2. 只有在 SYSCFG_RMAPCFG 寄存器相应的重映射位置位时该 DMA 请求映射到这个 DMA 通道。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

DMA 寄存器

8.3.1 寄存器概览

表 20　DMA 寄存器概览

名称	偏移地址	描述	复位值
DMA_STS	0x000	DMA 中断状态寄存器	0x00000000
DMA_INTFC	0x004	DMA 中断标志清除寄存器	0x00000000
DMA_CHxCTR	0x008 + 0d20 × (通道号 - 1)	DMA 通道 x 控制寄存器	0x00000000
DMA_CHxNUM	0x00C + 0d020 × (通道号 - 1)	DMA 通道 x 传输数据个数寄存器	0x00000000
DMA_CHxPA	0x010 + 0d020 × (通道号 - 1)	DMA 通道 x 外设地址寄存器	0x00000000
DMA_CHxMA	0x014 + 0d020 × (通道号 - 1)	DMA 通道 x 存储器地址寄存器	0x00000000

8.3.2 DMA 中断状态寄存器 （DMA_STS）

DMA_STS （偏移地址=0x000，复位值=0x00000000）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	ERRIF5	HLFIF5	CMPIF5	GIF5
												r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERRIF4	HLFIF4	CMPIF4	GIF4	ERRIF3	HLFIF3	CMPIF3	GIF3	ERRIF2	HLFIF2	CMPIF2	GIF2	ERRIF1	HLFIF1	CMPIF1	GIF1
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[31:20]	保留	
19,15 11，7，3	ERRIFx	**通道 x 传输错误标志位**（x=1..5） 该位由硬件设置 通过软件将 1 写入 DMA_INTC 寄存器中的相应位来清除。 0：通道 x 无传输错误（TE） 1：通道 x 上发生传输错误（TE）
18，14 10，6，2	HLFIFx	**通道 x 半完成标志位**（x=1..5） 该位由硬件设置 通过软件将 1 写入 DMA_INTC 寄存器中的相应位来清除。 0：通道 x 上无半传输（HT）事件 1：半传输（HT）事件发生在通道 x 上

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

17，13 9，5，1	CMPIFx	**通道 x 传输完成标志位**（x=1..5） 该位由硬件设置。 通过软件将 1 写入 DMA_INTC 寄存器中的相应位来清除。 0：通道 x 上没有传输完成（TC）事件 1：在通道 x 上发生传输完成（TC）事件
16，12 8，4，0	GIFx	**通道 x 全局中断标志位**（x=1..5） 该位由硬件设置 通过软件将 1 写入 DMA_INTC 寄存器中的相应位来清除。 0：x 频道无 TE、HT 或 TC 事件 1：在通道 x 上发生 TE、HT 或 TC 事件

8.3.3 DMA 中断标志清除寄存器 （DMA_INTFC）

DMA_INTFC（偏移地址=0x004，复位值=0x00000000）

31	30	29	28	27	26		25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留		保留	保留	保留	保留	保留	保留	ERRIFC5	HLFIFC5	CMPIFC5	GIFC5
													w	w	w	w
15	14	13	12	11	10		9	8	7	6	5	4	3	2	1	0
ERRIFC4	HLFIFC4	CMPIFC4	GIFC4	ERRIFC3	HLFIFC3		CMPIFC3	GIFC3	ERRIFC2	HLFIFC2	CMPIFC2	GIFC2	ERRIFC1	HLFIFC1	CMPIFC1	GIFC1
w	w	w	w	w	w		w	w	w	w	w	w	w	w	w	w

Bit 位	名称	描述
[31:20]	保留	
19，15 11，7，3	ERRIFCx	**通道 x 传输错误标志清除**（x=1..5） 该位由软件设置。 0：没有效果 1：清除 DMA_STS 寄存器中相应的 HLFIF 标志
18，14 10，6，2	HLFIFCx	**通道 x 传输半完成标志清除**（x=1..5） 该位由软件设置。 0：没有效果 1：清除 DMA_STS 寄存器中相应的 HLFIF 标志
17，13 9，5，1	CMPIFCx	**通道 x 传输完全标志清除**（x=1..5） 该位由软件设置 0：没有效果 1：清除 DMA_STS 寄存器中相应的 CMPIF 标志
16，12 8，4，0	GIFCx	**通道 x 全局中断标志清除**（x=1..5） 该位由软件设置。 0：没有效果 1：清除 DMA_STS 寄存器中的 GIF、ERRIF、HLFIF 和 CMPIF 标志

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

8.3.4 DMA 通道 X 控制寄存器（ DMA_CHxCTR） （x = 1..5, x 为通道号）

DMA_CHxCTR（偏移地址= 0x008 + 0d020 × （通道号 - 1），复位值=0x00000000）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	M2MM	PRIL[1:0]		MWDH[1:0]		PWDH[1:0]		MAGM	PAGM	CIRM	DIR	ERRIE	HLFIE	CMPIE	CEN
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:15]	保留	
14	M2MM	**存储器到存储器模式** 该位由软件设置和清除。 0：存储器到存储器模式已禁用 1：存储器到存储器模式已启用
[13:12]	PRIL	**通道优先级水平** 这些位由软件设置和清除。 00：低 01：中 10：高 11：特高
[11:10]	MWDH	**存储器位宽** 这些位由软件设置和清除。 00：8 位 01：16 位 10：32 位 11：保留
[9:8]	PWDH	**外设位宽** 这些位由软件设置和清除。 00：8 位 01：16 位 10：32 位 11：保留
7	MAGM	**存储器地址产生模式** 该位由软件设置和清除。 0：存储器增量模式已禁用 1：存储器增量模式已启用
6	PAGM	**外设地址产生模式** 该位由软件设置和清除。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0：外围增量模式已禁用 1：外围增量模式已启用
5	CIRM	**循环模式** 该位由软件设置和清除。 0：禁用循环模式 1：已启用循环模式
4	DIR	**数据传输方向** 该位由软件设置和清除。 0：从外设读取 1：从存储器读取
3	ERRIE	**传输错误中断使能** 该位由软件设置和清除。 0：TE 中断被禁用 1：TE 中断已启用
2	HLFIE	**半传输完成中断使能** 该位由软件设置和清除。 0：关闭 HT 中断 1：已启用 HT 中断
1	CMPIE	**传输完成中断使能** 该位由软件设置和清除。 0：禁用 TC 中断 1：TC 中断已启用
0	CEN	**通道使能** 该位由软件设置和清除。 0：通道已禁用 1：通道已启用

8.3.5 DMA 通道 x 传输数据个数寄存器 （DMA_CHxNUM)）(x = 1..5, x 为通道号)

DMA_CHxNUM（偏移地址= 0x00C + 0d020 × （通道号 - 1)，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NUM[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	NUM	**传输数据的个数** 要传输的数据数（0 到 65535）。此寄存器只能在通道被禁用时写入。一旦通道被启用，这个寄存器是只读的，指示要传输的剩余字节。这寄存器在每一个 DMA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		传输后的减 1。一旦完成了传输，该寄存器可以保持为 0，或者能被之前编程过的值自动重载如果在循环模式中对通道进行配置。 如果此寄存器为零，则无论通道是否启用，都无法提供任何处理。

8.3.6 DMA 通道 x 外设地址寄存器 （DMA_CHxPA)）(x = 1..5, x 为通道号)

DMA_CHxPA (偏移地址= 0x010 + 0d020 × (通道号 - 1)，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PADR [31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PADR[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	PADR	**外设地址** 外部数据寄存器的基址，数据将从该寄存器读/写到该寄存器。 当 PWDH 为 01（16 位）时，忽略 PADR[0]位。访问自动与半个字节的地址对齐。 当 PWDH 是 10（32 位），PADR[1：0]被忽略。接入是自动对齐一个字节的地址。

8.3.7 DMA 通道 x 存储器地址寄存器(DMA_CHxMA) (x = 1..5, x 为通道号)

通道启用后，不得写入此寄存器。

DMA_CHxMA (偏移地址= 0x014 + 0d020 × (通道号 - 1)，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MADR[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MADR [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	MADR	**存储器地址** 从中读取/写入数据的存储器区域的基址。 当 MWDH 为 01（16 位）时，忽略 MADR[0]位。访问自动与半个字节的地址对齐。 当 MWDH 为 10（32 位）时，忽略 MADR[1:0]位。访问自动与一个字节的地址对齐。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

9　扩展中断/事件控制器（EXTI）

概述

9.1.1　简介

扩展中断/事件控制器管理芯片外部和内部异步事件（Events）/中断(Interrupts)，产生发向 CPU 中断控制器（NVIC）的事件请求和功耗管理单元（PMU）的唤醒请求。EXTI 支持高达 32 个中断/事件线，包括 23 个内部中断/事件线和 9 个外部中断/事件线。

9.1

每个外部中断/事件线的有效触发沿都可以通过寄存器单独配置；内部中断固定为上升沿有效。中断可以被一直悬起（Pending），芯片设计实现了一个状态寄存器用来指示外部中断的悬起状态和中断源。事件设计成一个单脉冲，用来触发唤醒内核。对于内部中断，悬起（Pending）状态位设计实现在其它模块中。每个中断/事件都可被独立的屏蔽，内部中断/事件被特殊设计成只有在深度睡眠模式下才会采样。控制器允许通过写特定的寄存器人工模拟触发产生相应的事件和中断。

9.1.2　功能概览

- 支持高达 32 个事件/中断请求
- 每个事件/中断线可独立屏蔽
- 内部线只在深度睡眠模式下有效
- 软件产生中断/事件请求

模块操作

9.2

9.2.1　嵌套向量中断控制器（NVIC）

Cortex- M0 内部集成了嵌套向量中断控制器（NVIC），具有 32 个可屏蔽中断，4 种可编程的中断优先级。NVIC 和处理器核紧密相连，实现低延迟的中断处理和高效处理晚到的中断。

表 21 中断向量表

向量号	优先级	优先级类型	名称	地址
-	-	-	保留	0x00000000
-	-3	固定	复位	0x00000004
-	-2	固定	不可屏蔽中断 NMI	0x00000008
-	-1	固定	HardFault	0x0000000C
-	3	可配置	SVCall	0x0000002C
-	5	可配置	PendSV	0x00000038
-	6	可配置	SysTick	0x0000003C
0	7	可配置	窗看门狗中断	0x00000040
1	8	可配置	LVD 中断和线 16	0x00000044
2	9	可配置	RTC 全局中断和线 17、19	0x00000048
3	10	可配置	Flash 全局中断	0x0000004C
4	11	可配置	RCU 时钟稳定中断	0x00000050
5	12	可配置	线 0、1	0x00000054
6	13	可配置	线 2、3	0x00000058
7	14	可配置	线 4~15	0x0000005C
8	15	可配置	保留	0x00000060

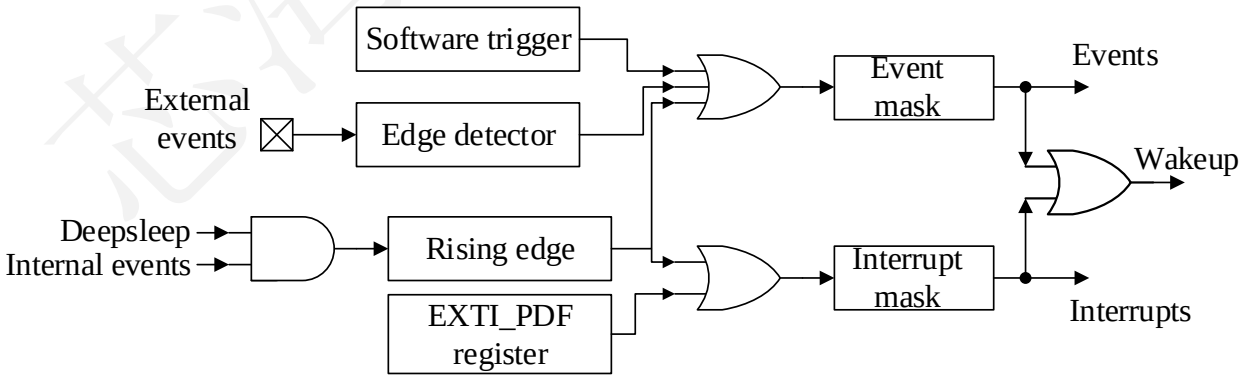
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

向量号	优先级	优先级类型	名称	地址
9	16	可配置	DMA 通道 1 全局中断	0x00000064
10	17	可配置	DMA 通道 2 和 3 全局中断	0x00000068
11	18	可配置	DMA 通道 4 和 5 全局中断	0x0000006C
12	19	可配置	ADC 全局中断	0x00000070
13	20	可配置	TIM1 刹车、更新、触发和通信中断	0x00000074
14	21	可配置	TIM1 捕获、比较中断	0x00000078
15	22	可配置	TIM2 全局中断 （*CS32F03X-RA 版本无此中断*）	0x0000007C
16	23	可配置	TIM3 全局中断	0x00000080
17	24	可配置	TIM6 全局中断	0x00000084
18	25	可配置	保留	0x00000088
19	26	可配置	TIM14 全局中断	0x0000008C
20	27	可配置	TIM15 全局中断	0x00000090
21	28	可配置	TIM16 全局中断	0x00000094
22	29	可配置	TIM17 全局中断	0x00000098
23	30	可配置	I2C1 全局中断和线 23	0x0000009C
24	31	可配置	I2C2 全局中断	0x000000A0
25	32	可配置	SPI1 全局中断	0x000000A4
26	33	可配置	SPI2 全局中断	0x000000A8
27	34	可配置	USART1 全局中断和线 25	0x000000AC
28	35	可配置	USART2 全局中断	0x000000B0
29	36	可配置	USART6、7、8 全局中断	0x000000B4
30	37	可配置	保留	0x000000B8
31	38	可配置	保留	0x000000BC

9.2.2　扩展中断和事件控制器（EXTI）

扩展中断和事件控制器结构如图 17 所示。

图 17 EXTI 功能框图

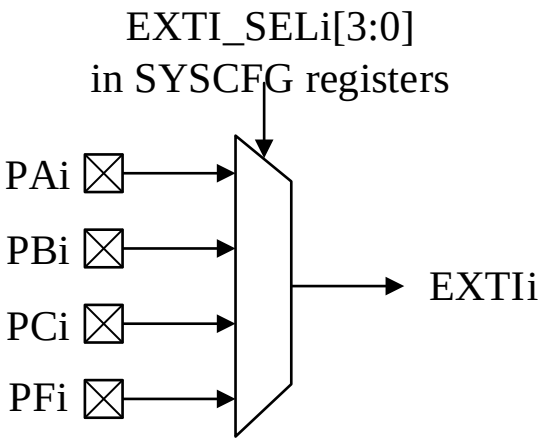


内部和外部中断/事件**线连接**

16 个外部中断/事件线（EXTI0～EXTI15）连接到 GPIO 口，它们的映射关系如图 18 所示。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 18 外部线映射图



EXTI16 ~EXTI31 的连接关系如下：

- EXTI16 连接到 LVD 输出。
- EXTI17 连接到 RTC 闹钟事件。
- EXTI19 连接到 RTC 篡改事件和时间戳。
- EXTI23 连接到 I2C1 唤醒事件。
- EXTI25 连接到 USART1 唤醒事件。
- EXTI18、EXTI20~EXTI22、EXTI24、EXTI26~EXTI31 线未使用，内部保持为低电平。

外部中断

配置中断使能寄存器（EXTI_INTEN）寄存器相应使能位，当外部中断/事件线上出现 EXTI_RTEN 和 EXTI_FTEN 配置的跳变沿时，置位悬起寄存器中对应的悬起位并产生中断请求。

内部中断

默认情况下，内部中断在中断使能寄存器（EXTI_INTEN）中使能，且永远是上升沿有效。

事件

配置 EXTI_EVTEN 寄存器，当外部中断线上出现 EXTI_RTEN 和 EXTI_FTEN 配置的跳变沿时，产生事件请求，但是不会置位悬起位。

对于外部中断/事件线，可以通过软件写 EXTI_SWTIEN 寄存器产生中断/事件请求。

内部中断/事件线的中断和事件只有当系统处于深度睡眠模式才会触发。

芯片可以通过外部事件和内部事件唤醒内核（WFE），唤醒事件可以由如下两种方式产生：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1、 内核的系统控制寄存器中 SEVONPEND 置位，使能外设的中断，但是不使能 NVIC 中对应的使能位。当从 WFE 唤醒后，需要清除外设中断状态位以及 IRQ 通道悬起位。

2、 配置一个外部或内部 EXTI 线为事件模式。当内核从 WFE 唤醒时，因为事件线的对应悬起位没有被置位，所以不需要清除外设中断状态位以及 IRQ 通道悬起位。

寄存器

9.3.1 寄存器概览

表 22 EXTI 寄存器概览

9.3

名称	偏移地址	描述	复位值
EXTI_INTEN	0x000	EXTI 中断使能寄存器	0x0FF40000
EXTI_EVTEN	0x004	EXTI 事件使能寄存器	0x00000000
EXTI_RTEN	0x008	EXTI 上升沿触发使能寄存器	0x00000000
EXTI_FTEN	0x00C	EXTI 下降沿触发使能寄存器	0x00000000
EXTI_SWTIEN	0x010	EXTI 软件触发中断/事件使能寄存器	0x00000000
EXTI_PDF	0x014	EXTI 悬起寄存器	0x00000000

9.3.2 EXTI 中断使能寄存器（EXTI_INTEN ）

EXTI_INTEN (偏移地址=0x000，复位值=0x0FF40000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INTEN31	INTEN30	INTEN29	INTEN28	INTEN27	INTEN26	INTEN25	INTEN24	INTEN23	INTEN22	INTEN21	INTEN20	INTEN19	INTEN18	INTEN17	INTEN16
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTEN15	INTEN14	INTEN13	INTEN12	INTEN11	INTEN10	INTEN9	INTEN8	INTEN7	INTEN6	INTEN5	INTEN4	INTEN3	INTEN2	INTEN1	INTEN0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	INTENi	**中断线 i 使能**（i =0 ..31） 0：中断线 i 不使能 1：中断线 i 使能

9.3.3 EXTI 事件使能寄存器（EXTI_EVTEN ）

EXTI_EVTEN (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EVTEN31	EVTEN30	EVTEN29	EVTEN28	EVTEN27	EVTEN26	EVTEN25	EVTEN24	EVTEN23	EVTEN22	EVTEN21	EVTEN20	EVTEN19	EVTEN18	EVTEN17	EVTEN16
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EVT EN15	EVT EN14	EVT EN13	EVT EN12	EVT EN11	EVT EN10	EVT EN9	EVT EN8	EVT EN7	EVT EN6	EVT EN5	EVT EN4	EVT EN3	EVT EN2	EVT EN1	EVT EN0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	EVTENi	**事件线 i 使能**（i =0 ..31） 0：事件线 i 不使能 1：事件线 i 使能

9.3.4　EXTI 上升沿触发使能寄存器（EXTI_RTEN ）

EXTI_RTEN (偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTEN31	保留	保留	保留	保留	保留	保留	保留	保留	RTEN22	RTEN21	RTEN20	RTEN19	保留	RTEN17	RTEN16
r/w									r/w	r/w	r/w	r/w		r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTEN15	RTEN14	RTEN13	RTEN12	RTEN11	RTEN10	RTEN9	RTEN8	RTEN7	RTEN6	RTEN5	RTEN4	RTEN3	RTEN2	RTEN1	RTEN0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
31	RTEN31	**线 31 上升沿触发使能位** 0：禁止线 31 上升沿触发 1：使能线 31 上升沿触发
[30:23]	保留	
[22:19]	RTENi	**线 i 上升沿触发使能位**（i = 19 ..22） 0：禁止线 i 上升沿触发 1：使能线 i 上升沿触发
18	保留	
[17:0]	RTENi	**线 i 上升沿触发使能位**（i = 0 ..17） 0：禁止线 i 上升沿触发 1：使能线 i 上升沿触发

9.3.5　EXTI 下降沿触发使能寄存器（EXTI_FTEN ）

EXTI_FTEN (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FTEN31	保留	保留	保留	保留	保留	保留	保留	保留	FTEN22	FTEN21	FTEN20	FTEN19	保留	FTEN17	FTEN16

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

r/w									r/w	r/w	r/w	r/w		r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FTEN15	FTEN14	FTEN13	FTEN12	FTEN11	FTEN10	FTEN9	FTEN8	FTEN7	FTEN6	FTEN5	FTEN4	FTEN3	FTEN2	FTEN1	FTEN0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
31	FTEN31	**线 31 下降沿触发使能位** 0：禁止线 31 下降沿触发 1：使能线 31 下降沿触发
[30:23]	保留	
[22:19]	FTENi	**线 i 下降沿触发使能位**（i = 19 ..22） 0：禁止线 i 下降沿触发 1：使能线 i 下降沿触发
18	保留	
[17:0]	FTENi	**线 i 下降沿触发使能位**（i = 0 ..17） 0：禁止线 i 下降沿触发 1：使能线 i 下降沿触发

9.3.6　EXTI 软件触发中断/事件使能寄存器（EXTI_SWTIEN ）

EXTI_SWTIEN (偏移地址=0x010，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SWTIEN31	保留	保留	保留	保留	保留	保留	保留	保留	SWTIEN22	SWTIEN21	SWTIEN20	SWTIEN19	保留	SWTIEN17	SWTIEN16
r/w									r/w	r/w	r/w	r/w		r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWTIEN15	SWTIEN14	SWTIEN13	SWTIEN12	SWTIEN11	SWTIEN10	SWTIEN9	SWTIEN8	SWTIEN7	SWTIEN6	SWTIEN5	SWTIEN4	SWTIEN3	SWTIEN2	SWTIEN1	SWTIEN0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
31	SWTIEN31	**线 31 软件触发中断/事件使能位** 0：禁止线 31 软件触发中断/事件 1：使能线 31 软件触发中断/事件
[30:23]	保留	
[22:19]	SWTIENi	**线 31 软件触发中断/事件使能位**（i = 19 ..22） 0：禁止线 i 软件触发中断/事件 1：使能线 i 软件触发中断/事件
18	保留	
[17:0]	SWTIENi	**线 31 软件触发中断/事件使能位**（i = 0 ..17）

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0：禁止线 i 软件触发中断/事件 1：使能线 i 软件触发中断/事件

9.3.7　EXTI 悬起寄存器（EXTI_PDF ）

EXTI_PDF (偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PDF31	保留	保留	保留	保留	保留	保留	保留	保留	PDF22	PDF21	PDF20	PDF19	保留	PDF17	PDF16
r/w									r/w	r/w	r/w	r/w		r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDF15	PDF14	PDF13	PDF12	PDF11	PDF10	PDF9	PDF8	PDF7	PDF6	PDF5	PDF4	PDF3	PDF2	PDF1	PDF0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
31	PDF31	**线 31 悬起中断标志位** 0：禁止线 31 悬起中断标志位 1：使能线 31 悬起中断标志位
[30:23]	保留	
[22:19]	PDFi	**线 i 悬起中断标志位**（i = 19 ..22） 0：禁止线 i 悬起中断标志位 1：使能线 i 悬起中断标志位
18	保留	
[17:0]	PDFi	**线 i 悬起中断标志位**（i = 0 ..17） 0：禁止线 i 悬起中断标志位 1：使能线 i 悬起中断标志位

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

10 CRC 计算单元 (CRC)

概述

10.1.1 简介

CRC 技术被广泛应用于数据传输和数据存储一致性的检查。CRC 计算单元根据特定的多项式计算 8 位、16 位或 32 位的 CRC 校验码。

10.1

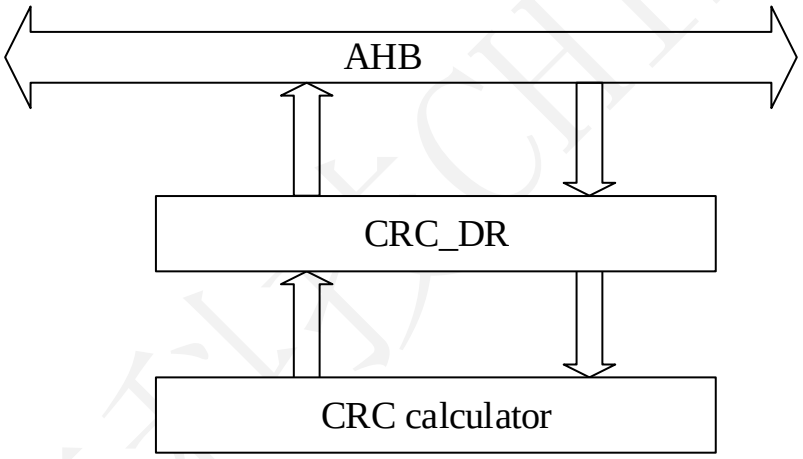
10.1.2 功能概览

- 以太网标准的 CRC-32 多项式：0x04C11DB7。
- 数据长度：8、16、32。
- CRC 初始值可配置。
- 32 位数据寄存器用于输入和输出。
- 输入输出数据翻转选择。

模块操作

10.2

图 19 CRC 单元



在 CRC 计算单元所有寄存器中，CRC_DATA 支持字、右对齐半字和右对齐字节读写，其它寄存器只支持 32 位读写。

软件读 CRC_DATA 寄存器，得到的是上一次 CRC 计算的结果。软件向 CRC_DATA 寄存器中写入新数据，新数据会和原有的 CRC 值做计算，得到最新的 CRC 值，存储在 CRC_DATA 中。。

计算不同长度的数据需要不同的时钟周期。完成 1 个 32 位数据的计算需要 4 个 AHB 时钟；完成 1 个 16 位数据的计算需要 2 个 AHB 周期；完成 1 个 8 位的数据计算需要 1 个 AHB 周期。对于特定字节数的计算，可以动态调整数据长度，以减小写入的次数。如当需要计算 5 个字节时，可以分为 1 次 32 位写和 1 次 8 位写。

通过 CRC_CTR 寄存器中的 DINREVMOD[1:0]位的配置选择输入数据的翻转方式，如当输入的数据为 0x12345678，

- DINREVMOD = 01：0x412C6A1E
- DINREVMOD = 10：0x2C411E6A
- DINREVMOD = 11：0x1E6A2C41

通过配置 CRC_CTR 寄存器中的 DOREVEN 位选择输出数据是否翻转。如当输出数据位 0x12345678 时，翻转输出的数据为 0x1E6A2C41。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

通过写 CRC_CTR 寄存器的 RST 位可以将 CRC_INITCFG 寄存器中的初始值更新到 CRC_DATA 中。

寄存器

10.3.1 寄存器概览

表 23　CRC 寄存器概览

名称	偏移地址	描述	复位值
CRC_DATA	0x000	CRC 数据寄存器	0xFFFFFFFF
CRC_FREDATA	0x004	CRC 独立数据寄存器	0x00000000
CRC_CTR	0x008	CRC 控制寄存器	0x00000000
CRC_INITCFG	0x010	CRC 初始值配置寄存器	0xFFFFFFFF
CRC_POL	0x014	CRC 多项式寄存器	0x04C11DB7

10.3

10.3.2 CRC 数据寄存器（CRC_DATA ）

CRC_DATA (偏移地址=0x000，复位值=0xFFFFFFFF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	DATA	**数据寄存器** 软件向该寄存器写入新的数据用来计算。读该寄存器返回的是上一次 CRC 计算的结果。如果数据长度不足 32 位，则低位有效。

10.3.3 CRC 独立数据寄存器（CRC_FREDATA ）

CRC_FREDATA (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	FREDATA[7:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:8]	保留	
[7:0]	FREDATA	**独立数据寄存器**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		软件可读可写。 该位用来临时存储一个字节。软件写 CRC_CTR 的 RST 位无法复位该寄存器。

10.3.4 CRC 控制寄存器（CRC_CTR ）

CRC_FREDATA (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	DOREVEN	DINREVMOD[1:0]		保留	保留	保留	保留	RST
								r/w	r/w	r/w					r/w

Bit 位	名称	描述
[31:8]	保留	
7	DOREVEN	**输出数据翻转使能** 软件读写该位。 0：输出数据不翻转 1：输出数据翻转
[6:5]	DINREVMOD	**输入数据翻转模式** 软件读写该位。 00：不翻转 01：按字节翻转 10：按半字翻转 11：按字翻转
[4:1]	保留	
0	RST	**复位** 软件置位该位复位 CRC 计算单元，硬件自动清除。复位时，将 CRC_INITCFG 的值更新到数据寄存器中。

10.3.5 CRC 初始值配置寄存器（CRC_INITCFG ）

CRC_INITCFG (偏移地址=0x010，复位值=0xFFFFFFFF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INITCFG[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

INITCFG[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	INITCFG	**CRC 初始值** 软件可读可写，用来配置 CRC 的初始值。

10.3.6 CRC 多项式寄存器（CRC_POL ）

CRC_POL (偏移地址=0x014，复位值=0x04C11DB7)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
POL[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POL[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[31:0]	POL	**多项式寄存器** 该寄存器存储 CRC 多项式，软件只可读。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

11 模拟数字转换器 (ADC)

概述

11.1.1 简介

12 位模拟数字转换器属于逐次逼近型（SAR）模拟数字转换器，可处理 10 个外部源信号和 3 个内部源信号。多通道的 A/D 转换模块能够执行在单次模式、连续模式、扫描模式和非连续模式。模拟数字转换
11.1器的结果被储存在一个左对齐或者是右对齐的 16 位数据寄存器。

模拟看门狗的特性允许应用程序检测超出用户定义的最高和最低阈值的输入电压。

高效的低功耗模式，允许在低频下工作，以实现更低的功耗。

11.1.2 ADC 主要特性

- 高性能
  - 12 位, 10 位, 8 位或 6 位的可配置分辨率
  - ADC 转换时间：12 位分辨率需要 1 微秒(在 1MHz 情况下)，10 位分辨率需要 0.93 微秒的转换时间，更快的转换速度需要牺牲分辨率
  - 自校准
  - 可编程采样时间
  - 数据对齐
  - 支持 DMA
- 低功耗
  - 应用程序可以降低 PCLK 频率以实现低功耗，同时能够保持最佳的 ADC 性能
  - 等待模式：在使用低频 PCLK 的应用程序中防止 ADC 溢出
  - 自动关闭模式: 在有效转换阶段之外，ADC 会自动断电以降低 ADC 的耗电
- 模拟输入通道
  - 10 个外部模拟输入
  - 1 个内部温度传感器检测通道(V_{SENSE})
  - 1 个内部参考电压检测通道(V_{REFINT})
  - 1 个 VBAT 引脚电池电压检测通道
- 开始转换能被以下方式启动：
  - 通过软件
  - 通过可配置极性的硬件触发器(从 TIM1, TIM2, TIM3 和 TIM15 来的内部事件)
- 转换模式
  - 可以转换单个通道或扫描一组通道
  - 单次模式每次触发转换一次所选输入
  - 连续模式连续转换所选输入
  - 非连续模式
11.2
- 在采样结束、转换结束、转换群组转换结束时，以及模拟看门狗或溢出事件时生成中断
- 模拟看门狗
- ADC 电源要求: 2.4 V to 5.5V
- ADC 输入范围: VSSA ≤ VIN ≤ VDDA

模块操作

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

11.2.1 ADC 引脚和内部信号

表 24 ADC 内部信号

内部信号名称	信号类型	描述
TRGx	输入	ADC 转换触发器
V_{SENSE}	输入	内部温度传感器的输出电压
V_{REFINT}	输入	内部参考电压的输出电压
$V_{BAT}/2$	输入	VBAT 引脚输入电压除 2

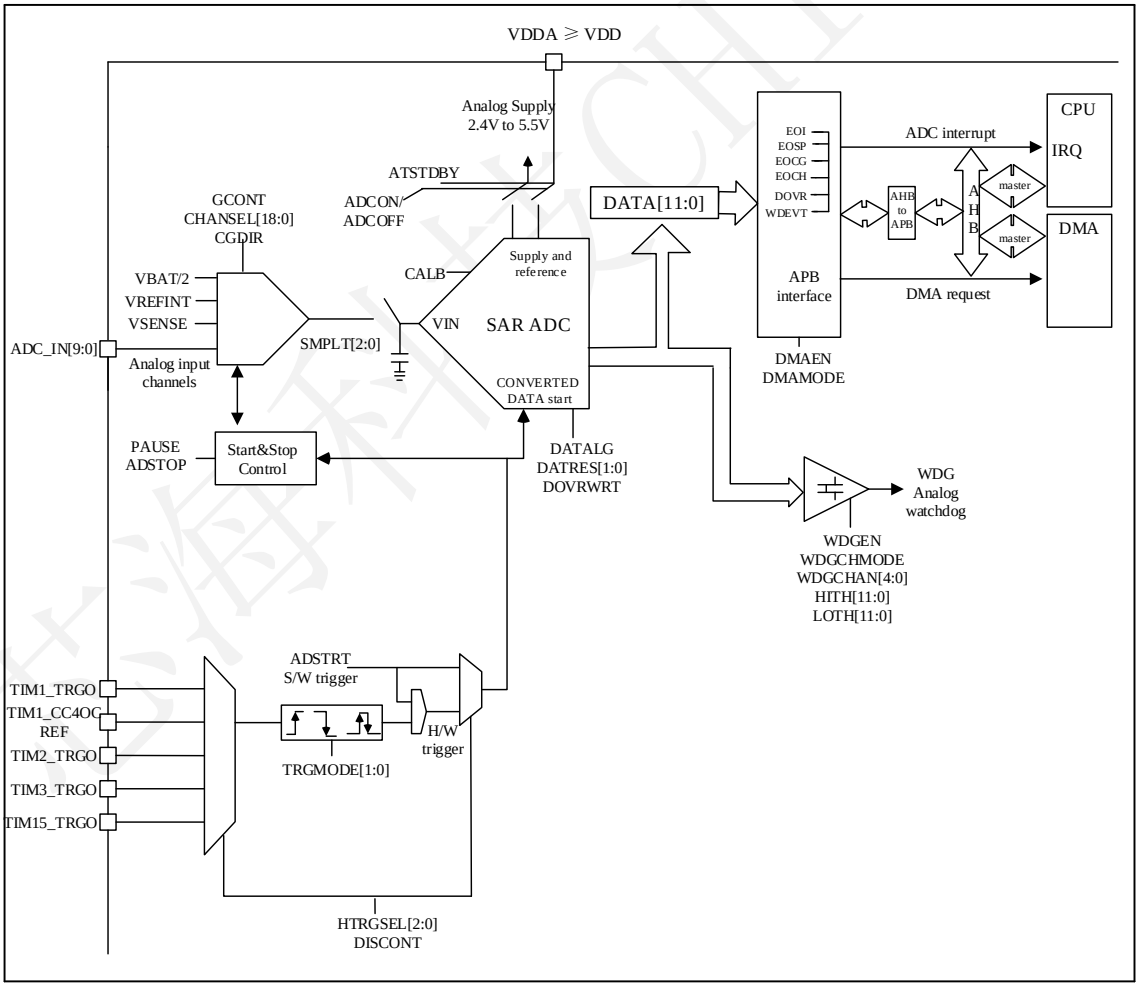
表 25 ADC 管脚

名称	信号类型	描述
VDDA	输入模拟电源	模拟电源和 ADC 的有源参考电压，VDDA ≥ VDD
VSSA	输入模拟地	模拟电源地必须处于 VSS 电位
ADC_IN[9:0]	输入模拟信号	10 个模拟输入通道

11.2.2 基本功能

图 20 给出了 ADC 框图，表 25 给出了 ADC 管脚描述。

图 20 ADC 模块框图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

校准 (CALB)

ADC 具有校准功能。在该过程中，ADC 计算一个校准系数，该系数应用于 ADC 内部，直到下一次 ADC 电源关闭为止。在校准过程中，应用程序不得使用 ADC，必须等待其完成。校准应在 A/D 转换开始之前进行，以消除由于工艺变化而引起的各芯片之间的偏移误差。

通过软件设置位 CALB=1，启动校准。校准只能在禁用 ADC 时启动（当 ADCON=0 时）。在整个校准阶段，CALB 位保持在 1。一旦校准完成，它就会被硬件清除。在此之后，可以从 ADC_OUTDAT 寄存器（从第 6 位到第 0 位）读取校准系数。

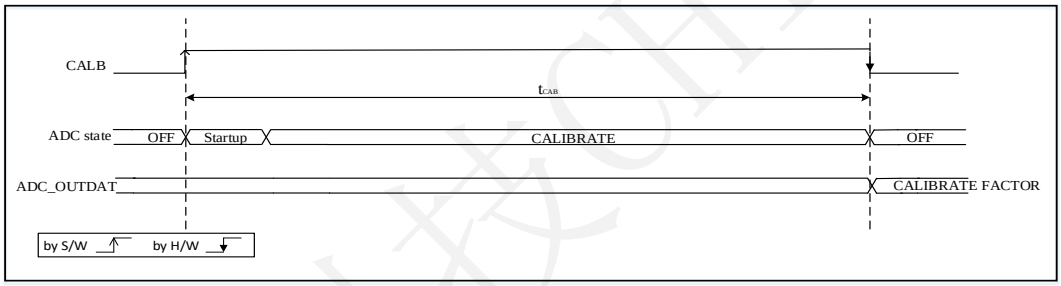
如果 ADC 处于关闭状态（ADCON=0），则保持内部模拟校准。当 ADC 工作条件发生变化（VDDA 变化是导致 ADC 偏移量变化的主要因素，温度变化是次要因素）时，建议重新校准。

每次 ADC 掉电时（例如当产品进入掉电模式时），校准系数都会丢失。

软件校准程序

1. 确保 ADCON=0 和 DMAEN=0
2. 设置 CALB=1
3. 等待 CALB=0
4. 校准系数可从 ADC_OUTDAT 的[6:0]位读取。

图 21 ADC 校准



ADC 开关控制 (ADCON, ADCOFF, EOI)

在 MCU 上电时，关闭 ADC 并将其置于断电模式（ADCON=0）。 如图 22 所示，在开始转换之前，ADC 需要 t_{STAB} 的稳定时间。

两个控制位用于开启或关闭 ADC：

- 设置 ADCON=1 以开启 ADC。一旦 ADC 准备好运行，就会置位 EOI 标志。
- 设置 ADCOFF=1 以关闭 ADC 并将 ADC 置于断电模式。一旦 ADC 完全关闭，硬件就会自动清除 ADCON 和 ADCOFF 位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

可以通过设置 ADSTRT=1 或者外部触发事件（触发使能），开始转换。

按照以下步骤开启 ADC：

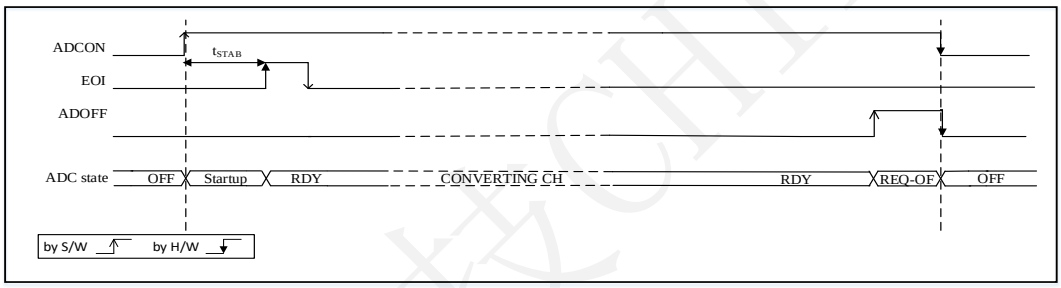
1. 清除 EOI 位。
2. 在 ADC_CTR 寄存器中设置 ADCON=1。
3. 等待 EOI=1，然后设置 ADCON=1（EOI 位在 ADC 启动时间 t_{STAB} 之后置位），可以通过置位 ADC_INTEN 寄存器中的 EOIIE 位启用中断来处理。

按照以下步骤来关闭 ADC：

1. 检查 ADC_CTR 寄存器中的 ADSTRT=0 以确保没有转换在进行。如果需要，可以通过置位 ADC_CTR 寄存器中的 ADSTOP 位来停止任何正在进行的转换，并等待该位为 0。
2. 在 ADC_CTR 寄存器中设置 ADCOFF=1。
3. 如果应用需要，可以等待 ADC_CTR 寄存器中的 ADCON=0，确保 ADC 被完全关闭(一旦 ADCON=0，ADCOFF 将自动复位)。
4. 通过向 ADC_STAT 寄存器的 EOI 位写 1 清除该位（可选择）

注意：当 CALB=1 时，以及在硬件清除 CALB 位后的四个 ADC 时钟周期内（校准结束），不能设置 ADCON 位。

图 22 开启或关闭 ADC

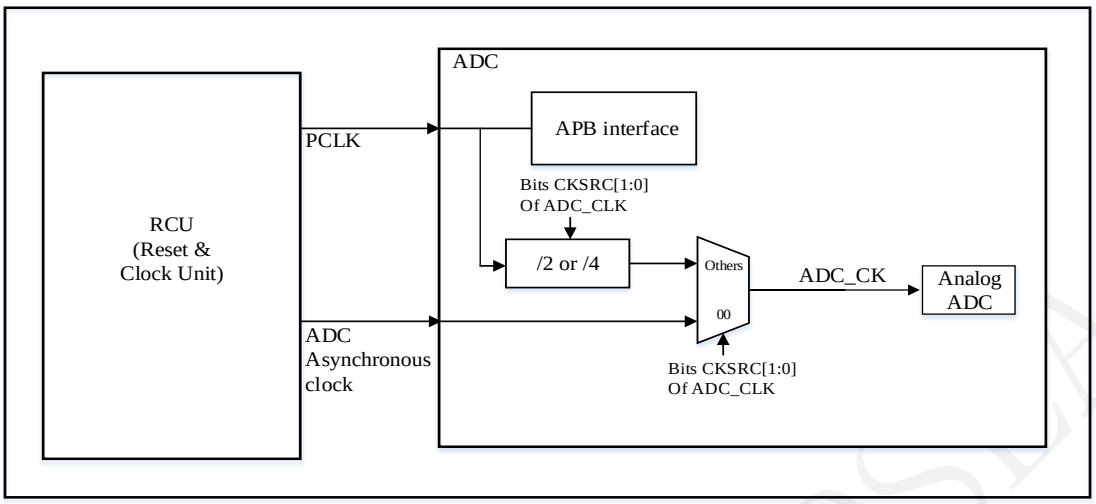


ADC 时钟 (CKSRC)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

ADC 具有双时钟域结构，因此可以向 ADC 提供独立于 PCLK 的异步工作时钟。

图 23 ADC 时钟方案



模拟 ADC 的输入时钟 ADC_CK 可以在两个不同的时钟源之间选择。

1. ADC 时钟可以是 HRC14(ADC 异步时钟)，是独立于 PCLK 的异步时钟。要选择此方案，必须重置 ADC_CLK 寄存器的 CKSRC[1:0]位。
2. ADC 时钟可由 ADC 总线接口的 APB 时钟生成，根据 CKSRC[1:0]位选择分频因子（2 或 4）。要选择此方案，ADC_CLK 寄存器的 CKSRC[1:0]位必须与“00”不同。

时钟源 1 的优势在于：无论选择什么 APB 时钟方案，都可以达到最大 ADC 时钟频率 。

时钟源 2 具有绕过时钟域同步的优点。当 ADC 由 TIM 触发且应用要求精确触发 ADC 的情况下，则需要选择时钟源 2（否则，两个时钟域之间的同步会增加触发瞬间的不确定性）。

表 26 触发器和转换开始之间的延迟

ADC 时钟源	CKSRC[1:0]	触发事件与开始转换之间的延迟
HRC14	00	延迟不确定（抖动）
PCLK 二分频	01	延迟确定（没有抖动）且等于 2.75 倍 ADC 时钟周期
PCLK 四分频	10	延迟确定（没有抖动）且等于 2.625 倍 ADC 时钟周期

配置 ADC

只有在开启了 ADC 且没有 ADC 断电的挂起请求的情况下（ADCON=1 和 ADCOFF=0），软件才能写入 ADC_CTR 寄存器中的 ADSTRT 和 ADCOFF 位。

对于在 ADC_INTEN、ADC_CFG、ADC_CLK、ADC_SMPLR、ADC_WDTH、ADC_CHANSEL 和 ADC_INNCHEN 寄存器中的其他控制位，只有在 ADC 处于开启状态（ADCON=1），并且没有正在进行的转换（ADSTRT=0）时，软件才能配置这些控制位。只有在 ADC 已开启（可能正在转换），并且没有 ADC 断电的挂起请求（ADSTRT=1 和 ADCOFF=0）时，软件才能写入 ADC_CTR 寄存器中的 ADSTOP 位。

注：没有硬件保护来阻止软件进行上述规则中禁止的写操作。如果出现了禁止的写进程，ADC 将进入一个未定义的状态，可能出现错误的结果。在这种情况下，要恢复正确的操作，ADC 必须被关闭（ADCON=0 且 ADC_CTR 寄存器中的所有位清零）。

通道选择 (CHANSEL, CGDIR)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

ADC 采样通道包括：

- 10 个 GPIO 引脚模拟输入 (ADC_IN0~ADC_IN9)
- 3 个内部的模拟输入(温度传感器 ADC_IN16、内部参考电压 ADC_IN17、 V_{BAT} 通道 ADC_IN18)
- 6 个通道固定接地(ADC_IN10~ADC_IN15)

可以转换单个通道或者自动扫描一组通道。

需要在 ADC_CHANSEL 转换通道选择寄存器中配置转换的通道群组。每一个模拟输入通道都有一个专用的选择位(CHANSEL0~CHANSEL18)。

通道的扫描顺序可通过配置 ADC_CFG 寄存器中的 CGDIR 位控制：

- CGDIR=0:正向扫描通道 0 到通道 18 。
- CGDIR=1:反向扫描通道 18 到通道 0。

温度传感器, V_{REFINT} 和 V_{BAT} 内部通道

温度传感器被连接到通道 ADC_IN16；内部参考电压 V_{REFINT} 被连接到通道 ADC_IN17；V_{BAT} 通道被连接到通道 ADC_IN18。

可编程采样时间 (SMPLT)

在开始转换之前，ADC 必须在被测电压源和 ADC 的嵌入式采样电容之间建立直接连接。这个采样时间必须足够用于输入电压源向采样保持电容充电到输入电压水准。

采样时间可编程，允许根据输入电压源的输入电阻来调整转换速度。

ADC 对输入电压采样个数能在 ADC_SMPLR 寄存器中的 SMPLT[2:0]修改。这个可编程的采样时间对于所有通道都是一样的。如果应用程序需要，软件可以在每次转换之间更改和调整此采样时间。

总的转换时间计算公式如下：

$$t_{CONV} = \text{采样时间} + 12.5 \text{ x ADC 时钟周期}$$

例如，在 ADC_CK = 14 MHz 并且一个采样时间相当于 1.5 个 ADC 时钟周期:

$$t_{CONV} = 1.5 + 12.5 = 14 \text{ x ADC 时钟周期} = 1\ \mu s$$

ADC 通过设置 EOSP 标志来指示采样阶段的结束。

单次转换模式 (GCONT=0)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

在单次转换模式中，ADC 执行单个转换群组，将所有通道转换一次。当 ADC_CFG 寄存器中 GCONT=0 时这个模式被选中 。

转换被以下任一方式启动：

- 在 ADC_CTR 寄存器中置位 ADSTRT。
- 硬件触发事件 。

在群组内部，每次转换结束之后：

- 被转换的数据被存储在 16 位的 ADC_OUTDAT 寄存器中。
- EOCH(通道转换结束)标志被置位。
- 如果置位 EOCIE 位，将会产生一个中断请求。

在所有的转换群组结束以后:

- EOCG(转换群组转换结束)标志被置位 。
- 如果置位 EOGIE 位，将会产生一个中断请求。

然后在新的外部触发事件发生或者 ADSTRT 被再次置位之前，ADC 停止转换。

注：要转换单个通道，将群组长度设置成 1。

连续转换模式 (GCONT=1)

在连续转换模式下，当一个硬件或者软件触发事件出现，ADC 执行一组转换，转换所有通道一次，然后自动重新启动并连续执行相同的转换群组。当 ADC_CFG 寄存器中的 GCONT=1 时，这种模式被选中。

转换被以下任一方式启动：

- 置位 ADC_CTR 寄存器中的 ADSTRT 位。
- 硬件触发事件。

在群组内部，每个通道转换结束之后：

- 被转换的数据被存储在 16 位的 ADC_OUTDAT 寄存器中 。
- EOCH(转换结束)标志被置位。
- 如果置位 EOCIE 位，将会产生一个中断请求。

在所有转换群组完成以后:

- EOCG (转换群组转换结束)标志被置位 。
- 如果置位 EOGIE 位，将会产生一个中断请求。

然后，一个新的群组立即重新启动并且 ADC 连续重复转换群组。

注 1：要转换单个通道，将群组长度设置成 1。不可能同时启用非连续模式和连续模式：禁止同时设置 DISCONT=1 和 GCONT=1。

*注 2：GCONT=1 时，不能使用自动待机模式(*ATSTDBY*)。*

启动转换 (ADSTRT)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

软件通过设置 ADSTRT=1 启动 ADC 转换。

当 ADSTRT 被置位，转换：

- 如果 TRGMODE=00(软件触发)，立即启动 。
- 如果 TRGMODE ≠ 00，等待所选硬件事件的下一个有效沿。

ADSTRT 位也被用于指示当前是否正在进行 ADC 操作。ADSTRT=0 时，ADC 处于空闲状态，表示可以重新配置 ADC。

ADSTRT 位由硬件清除：

- 在单次模式软件触发情况下(GCONT=0, TRGMODE=00)
  - 在转换群组的任何结尾(EOCG=1)
- 在非连续模式软件触发情况下(GCONT=0, DISCONT=1, TRGMODE=00)
  - 通道转换结束时(EOCH=1)
- 在所有情况下(GCONT=x, TRGMODE=XX)
  - 软件置位 ADSTOP

说明: 在连续模式下(GCONT=1)，当 EOCG 标志置位时 ADSTRT 位不会被硬件清除，因为群组会自动重新启动。在单次模式且硬件触发情况下(GCONT=0 且 TRGMODE = 01)，EOCG 标志被置位时，ADSTRT 不会被硬件清除。这就避免了软件需要再次置位 ADSTRT，并且确保不会错过下一个触发事件。

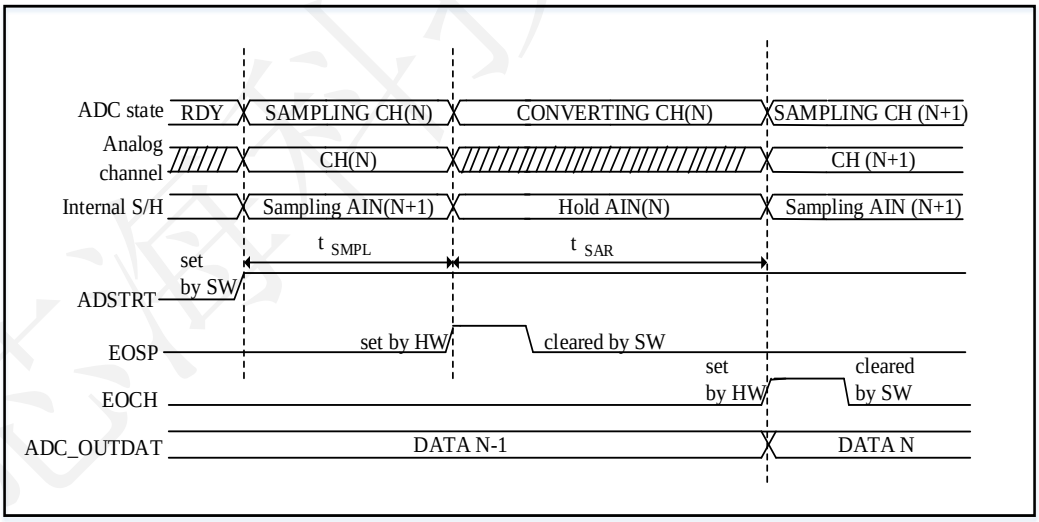
时序参数

从开始转换到转换结束所用的时间是配置的采样时间加上根据数据分辨率逐次近似的时间之和：

$t_{ADC} = t_{SMPL} + t_{SAR} = [1.5\ _{|min} + 12.5\ _{|12bit}] \times t_{ADC_CK}$

$t_{ADC} = t_{SMPL} + t_{SAR} = 107.1\ ns\ _{|min} + 892.8\ ns\ _{|12bit} = 1\ \mu s\ _{|min}\ (f_{ADC_CK} = 14\ MHz)$

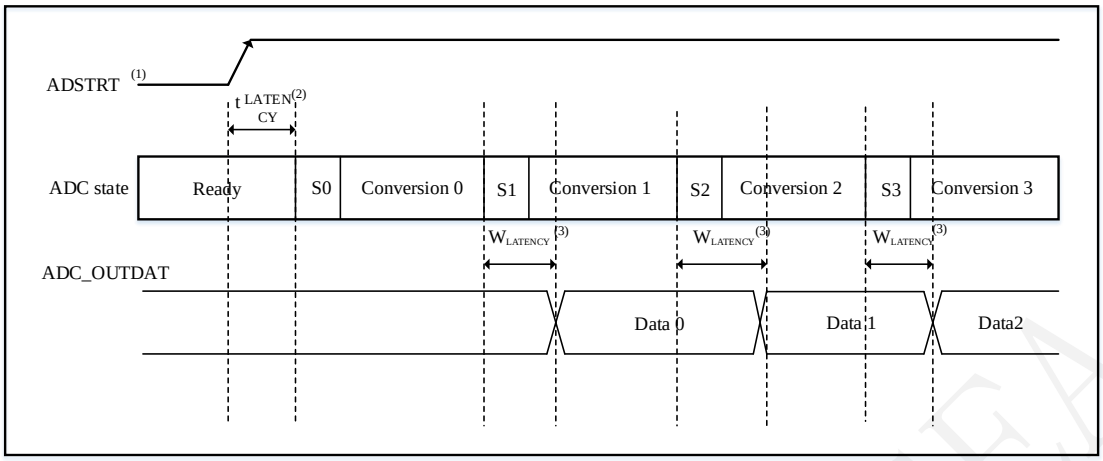
图 24 模数转换时间



t_{SMPL} 由 SMPLT[2:0]配置；t_{SAR} 由 DATRES[2:0]配置。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 25 ADC 转换时间



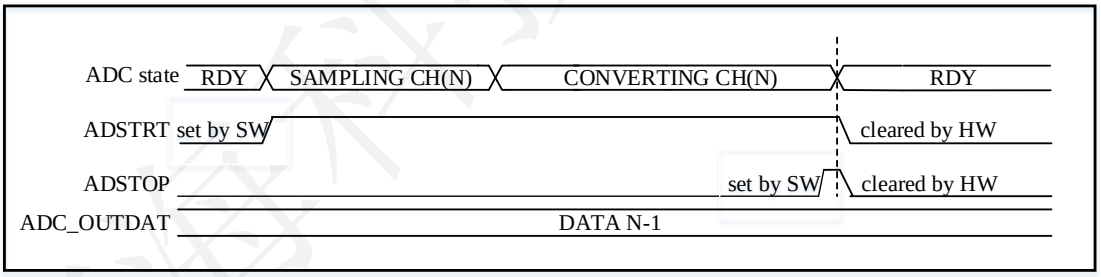
1. TRGMODE =00 或者 TRGMODE ≠ 00
2.触发延迟
3. ADC 寄存器写入延迟

停止正在进行的转换 (ADSTOP)

软件能通过在 ADC_CTR 寄存器中设置 ADSTOP=1 来停止任何正在进行的转换。这将重置 ADC，并且 ADC 将处于空闲状态，为新的操作做好准备。当 ADSTOP 位被软件置位，任何正在进行的转换都将中止，生成的结果将被丢弃（ADC_OUTDAT 寄存器不会被当前转换所更新）。扫描群组也将中止并重置（重启 ADC 将重新启动新的群组）。

一旦停止操作完成，ADSTOP 和 ADSTRT 位都将被硬件清除，并且在开始新的转换之前软件必须等到 ADSTRT=0。

图 26 停止正在进行的转换



11.2.3 外部触发和触发极性的转换 (HTRGSEL, TRGMODE)

一次转换或一次转换群组可以由软件或外部事件（例如 TIM 捕获）触发。如果 TRGMODE[1:0]控制位不等于“00”，则外部事件能够触发具有所选优先级的转换。一旦软件设置 ADSTRT=1，触发器的选择就会生效。

在转换过程中发生的任何硬件触发都将被忽略。如果位 ADSTRT=0,任何硬件触发都将被忽略。

表 27 提供了 TRGMODE[1:0]值和触发极性之间的联系 。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

表 27 配置的触发器极性

触发边沿	TRGMODE[1:0]
禁用触发检测	00
检测上升沿	01
检测下降沿	10
检测上升和下降沿	11

说明: 只有当 ADC 没有正在转换时(ADSTRT= 0)，才可以改变外部触发的极性。

HTRGSEL[2:0] 控制位用于硬件触发源选择。 表 28 给出了常规转换可能的外部触发。

可以通过置位 ADC_CTR 寄存器中的 ADSTRT 位来产生软件触发事件。

表 28 外部触发器

名字	触发源	HTRGSEL[2:0]
TRG0	TIM1_TRGO	000
TRG1	TIM1_CH4OCREF	001
TRG2	TIM2_TRGO	010
TRG3	TIM3_TRGO	011
TRG4	TIM15_TRGO	100
TRG5	Reserved	101
TRG6	Reserved	110
TRG7	Reserved	111

说明: 只有当 ADC 没有正在转换时(ADSTRT= 0)，才可以改变触发源选择。

非连续模式 (DISCONT)

例子：

DISCONT=1，被转换的通道 = 0, 1, 5, 10

- 第一个触发: 通道 0 被转换同时产生 EOCH 事件
- 第二个触发: 通道 1 被转换同时产生 EOCH 事件
- 第三个触发: 通道 5 被转换同时产生 EOCH 事件
- 第四个触发: 通道 10 被转换同时产生 EOCH 事件和 EOCG 事件
- 第五个触发: 通道 0 被转换同时产生 EOCH 事件
- 第六个触发: 通道 1 被转换同时产生 EOCH 事件
- ...

DISCONT=0，被转换的通道 = 0, 1, 5, 10

- 第一个触发:完成群组转换：通道 0，1，5 和 10。每一个通道转换完成时产生一个 EOCH 事件并且最后一个转换完成的同时产生 EOCG 事件。
- 任何后续触发事件都将重新启动整个群组

说明:不能同时开启非连续模式和连续模式：同时设置 DISCONT=1 和 GCONT=1 是禁止的。

可编程分辨率 (DATRES) - 快速转换模式

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

可以通过降低 ADC 分辨率来获得更快的转换时间(t_{SAR})。

通过设置 ADC_CFG 寄存器中的 DATRES[1:0]位，可以配置分辨率为 12,10,8 或者 6。在不需要高的数据分辨率情况下，分辨率越低转换时间越短。

只有当 ADCON 位被重置时，DATRES[1:0] 位才能被改变。

转换的结果总是 12bit 位宽的，没有使用的 LSB 位回读为 0。较低的分辨率减少了逐次逼近所需的转换时间，如表 29 所示。

表 29 t_{SAR} 时间取决于分辨率

DATRES[1:0]	t_{SAR}（ADC 时钟周期	t_{SAR} （ns） f_{ADC}=14MHz	t_{SMPL}(min）（ADC 时钟周期）	t_{CONV}（ADC 时钟周期）（min.t_{SMPL}）	t_{CONV} f_{ADC}=14MHz
12	12.5	893ns	1.5	14	1000ns
10	11.5	821ns	1.5	13	928ns
8	9.5	678ns	1.5	11	785ns
6	7.5	535ns	1.5	9	643ns

转换结束，采样结束 (EOCH, EOSP 标志)

ADC 会产生通道转换结束事件（EOCH）

新的转换数据结果存放在 ADC_OUTDAT 寄存器中的同时，ADC_STAT 寄存器中的 EOCH 标志置位。如果 ADC_INTEN 寄存器中的 EOCIE 被置位，将会产生一个中断。EOCH 标志能被软件写 1 或者读取 ADC_OUTDAT 寄存器清除。

ADC 通过置位 ADC_STAT 寄存器中的 EOSP 标志来指示采样阶段结束。EOSP 标志能被软件写 1 清除。如果 ADC_INTEN 寄存器中 EOSPIE 被置位，将产生一个中断。

这些中断的目的是使处理与转换同步。通常，可以在转换阶段修改转换通道，以便在下次采样开始前指定下一个转换通道，减少配置时间。

说明: 由于采样结束和转换结束之间时间较短, 建议使用轮询和 WFE 指令而不是中断和 WFI 指令。

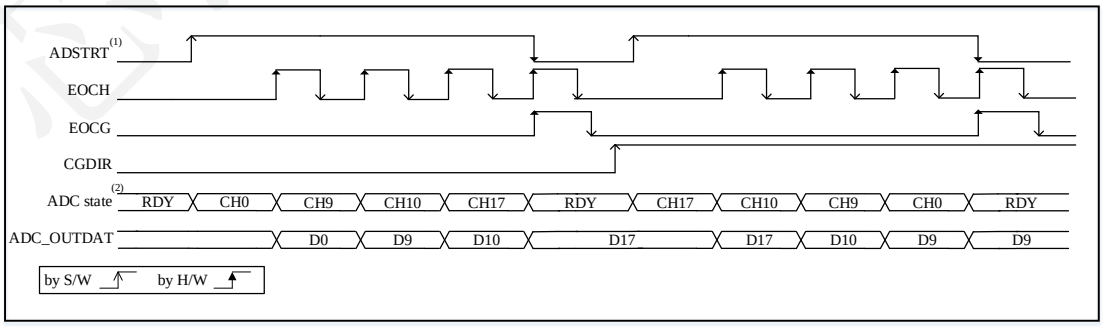
转换群组转换结束 (EOCG 标志)

ADC 会产生转换群组转换结束事件（EOCG）。

最后一个转换群组数据结果存放在 ADC_OUTDAT 寄存器中的同时， ADC_STAT 寄存器中的 EOCG 标志置位。如果 ADC_INTEN 寄存器中的 EOGIE 被置位，将会产生一个中断。EOCG 标志能被软件写 1 清除。

时序图示例 (单次/连续模式　硬件/软件触发)

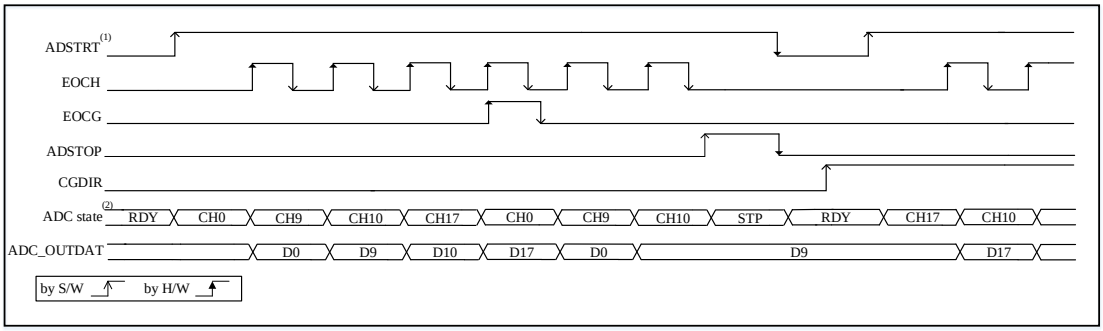
图 27 群组的单次转换，软件触发



1. TRGMODE=00, GCONT=0
2. CHANSEL=0x20601, PAUSE=0, ATSTDBY=0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

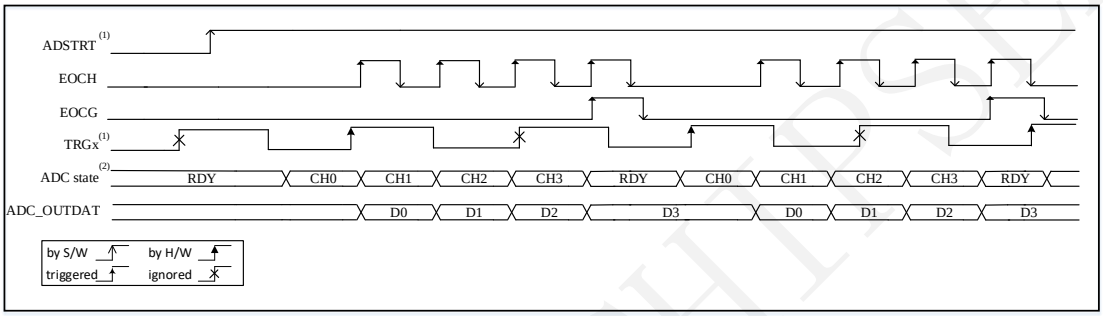
图 28 群组的连续转换，软件触发



1. TRGMODE=00, GCONT=1,

2. CHANSEL=0x20601, PAUSE=0, ATSTDBY=0

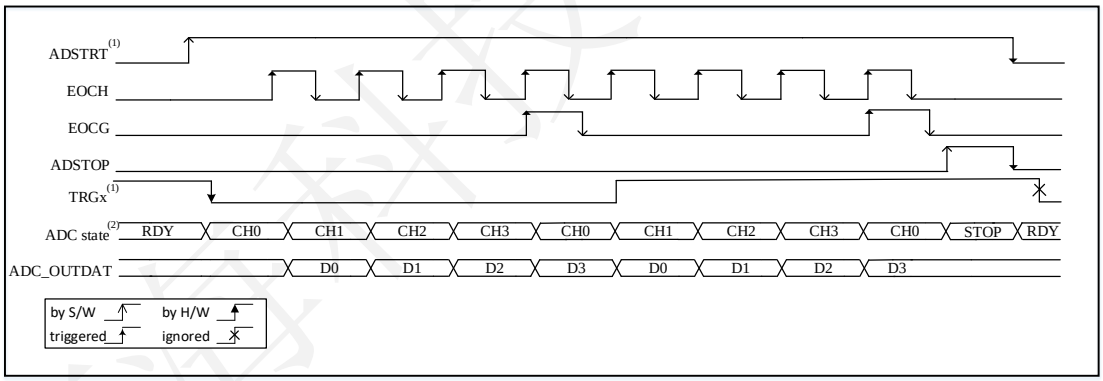
图 29 群组的单次转换，硬件触发



1. HTRGSEL=TRGx (超频), TRGMODE=01 (上升沿), GCONT=0

2. CHANSEL =0xF, CGDIR=0, PAUSE=0, ATSTDBY=0

图 30 群组的连续转换，硬件触发



1. HTRGSEL=TRGx, TRGMODE=10 (上升沿), GCONT=1

2. CHANSEL =0xF, CGDIR=0, PAUSE=0, ATSTDBY=0

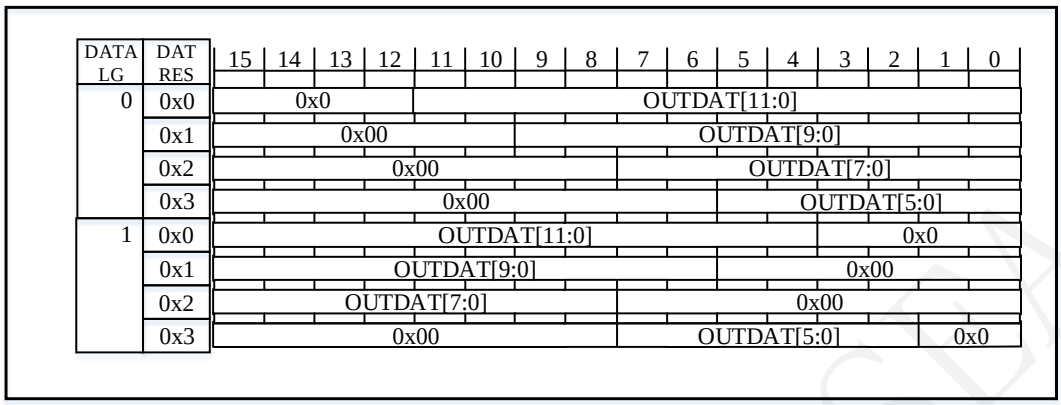
11.2.4 数据管理

输出数据寄存器和数据对齐 (ADC_OUTDAT, DATALG)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

每次转换结束（EOCH 事件），转换数据的结果被存储在 16bit 位宽的 ADC_OUTDAT 寄存器中。ADC_OUTDAT 的数据格式取决于配置的对齐方式和分辨率。转换后，ADC_CFG 寄存器中的 DATALG 位选择数据对齐方式。数据支持右对齐（DATALG=0）或者左对齐（DATALG=1），如图 31 所示

图 31 数据对齐与分辨率



ADC 溢出 (DOVR, DOVRWRT)

若转换好的数据没有被 CPU 或者 DMA 及时读取，新的转换数据就已经有效时，硬件会置位溢出标志（DOVR），来指示一个数据溢出事件。

新的转换完成时，如果 EOCH 标志还是为“1”，ADC_STAT 寄存器中的 DOVR 标志就会置位。如果 ADC_INTEN 寄存器中 DOVRIE 位被置位，将会生成一个中断。

当溢出条件发生时，ADC 将继续运行并且继续转换，除非软件决定停止并重置这个群组转换，可以通过置位 ADC_CTR 寄存器中的 ADSTOP 位来停止 ADC 转换。

DOVR 标志通过软件写 1 清除。

发生溢出事件时，数据是被保持还是覆盖，可以通过 ADC_CFG 寄存器中的 DOVRWRT 位进行编程。

- DOVRWRT=0

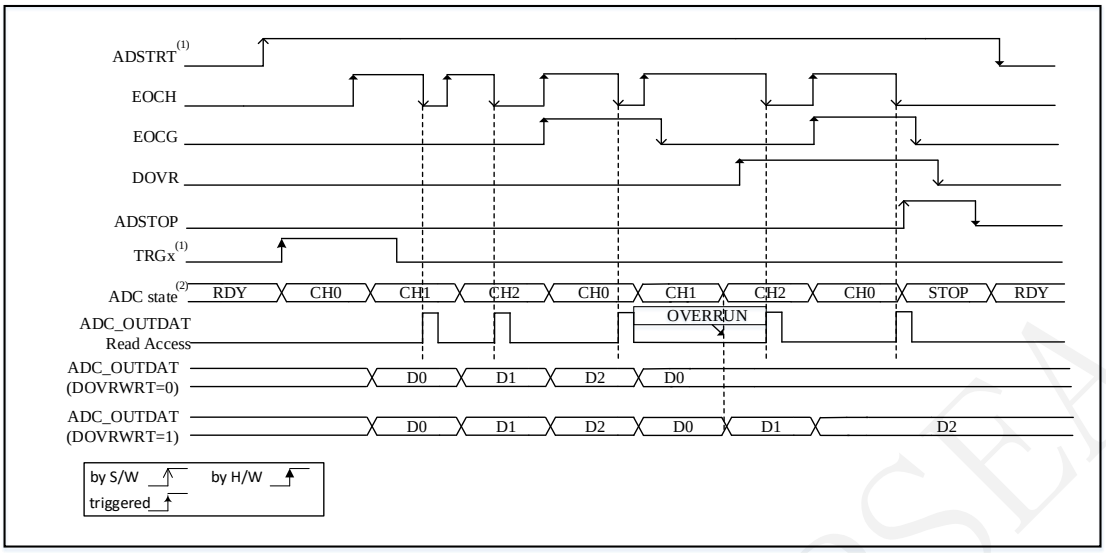
– 溢出事件可防止数据寄存器被覆盖：旧的数据被保留，新的转换结果被抛弃。如果 DOVR 保持为 1，可以继续执行转换但数据结果会被抛弃。

- DOVRWRT=1

– 数据寄存器被最后一次转换结果覆盖并且上一个未读数据丢失。如果 DOVR 保持为 1，可以继续执行转换并且 ADC_OUTDAT 总是保存最近一次转换的数据。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 32 溢出示例(DOVR)



不使用 DMA 传输群组的转换数据

如果转换足够慢，转换群组能被软件处理。在这种情况下，软件必须使用 EOCH 标志及其关联的中断来处理每一个数据结果。当每次转换结束时，ADC_STAT 寄存器中的 EOCH 位被置位，并且 ADC_OUTDAT 寄存器能被读取。ADC_CFG 寄存器中的 DOVRWRT 位可配置为 0 来管理溢出事件。

不使用 DMA 且无溢出时传输转换数据

存在转换一个或多个通道且不用每次转换结果都要读取的应用。在这种情况下，DOVRWRT 位必须被配置为 1 并且软件应忽略 DOVR 标志。当 DOVRWRT=1 时，溢出事件不会阻止 ADC 继续转换，并且 ADC_OUTDAT 寄存器始终为最新的转换数据。

使用 DMA 传输转换数据

由于所有通道的转换结果数据都存储在同一个数据寄存器中，因此在转换多个通道时使用 DMA 会更有效。这将避免存储在 ADC_OUTDAT 寄存器的数据结果丢失。

当 DMA 模式开启时（ADC_CFG 寄存器中的 DMAEN 位设置为 1），每次转换结束时都会产生一个 DMA 请求。这样就允许将转换后的数据从 ADC_OUTDAT 寄存器传输到软件指定的目标地址中。

说明:ADC_CFG 寄存器中的 DMAEN 位必须在 ADC 校准阶段之后设置。

尽管如此，如果因为 DMA 不能及时处理 DMA 传输请求而发生溢出（DOVR=1），则 ADC 将停止生成 DMA 请求，并且新转换对应的数据不会由 DMA 传输。这意味着所有传输到 RAM 中的数据都是有效的。 根据 DOVRWRT 位的配置，数据保持或被覆盖。 DMA 传输请求被阻止，直到软件清除 DOVR 位。

根据程序需求，可以配置 ADC_CFG 寄存器中的 DMAMODE 位，使用两种不同的 DMA 模式：

- DMA 单次模式(DMAMODE=0)

  当 DMA 编程用于传输固定长度的数据时，可选择该模式。

- DMA 循环模式(DMAMODE=1)

  当 DMA 编程为循环模式或者双缓冲模式时，可选择该模式。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

DMA 单次模式 (DMAMODE=0)

在这种模式下，ADC 每次转换完成时，产生一次 DMA 请求。一旦达到最后一次 DMA 传输时，停止产生 DMA 请求。

当 DMA 传输完成时：

- ADC_OUTDAT 寄存器中的内容被冻结。
- 任何正在进行的转换都将中止并且结果丢弃。
- 不向 DMA 控制器发出新的 DMA 请求。如果仍有 ADC 转换启动，这将避免产生溢出错误。
- 扫描群组被停止和重置。
- DMA 被停止。

DMA 循环模式 (DMAMODE=1)

在这种模式下，即使 DMA 已经完成最后一次 DMA 传输，ADC 也会在每次转换的数据有效时，产生一次 DMA 请求。这就允许将 DMA 配置为循环模式，来处理连续的模拟输入数据流。

11.2.5 低功耗特性

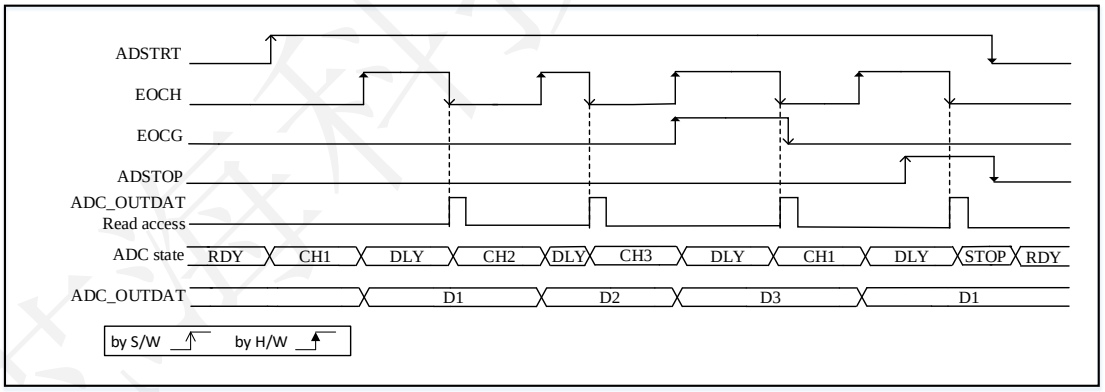
转换暂停模式

转换暂停模式可用于简化软件，并优化低频时钟下应用程序的性能，这种情况下，可能会出现 ADC 溢出的风险。

当 ADC_CFG 寄存器中的 PAUSE 位被设置为 1 时，只有在处理了以前的数据（ADC_OUTDAT 寄存器被读取或 EOCH 位被清除），新的转换才能开始。这是一种自动调整 ADC 速度以适应系统读取 ADC 数据速度的方法。

说明: 在转换过程中或者在读取访问之前的暂停时间内，发生的任何硬件触发都将被忽略。

图 33 转换暂停模式 (连续模式，软件触发)



1. TRGMODE=00, GCONT=1
2. CHANSEL=0x3, CGDIR=0, PAUSE=1, ATSTDBY=0

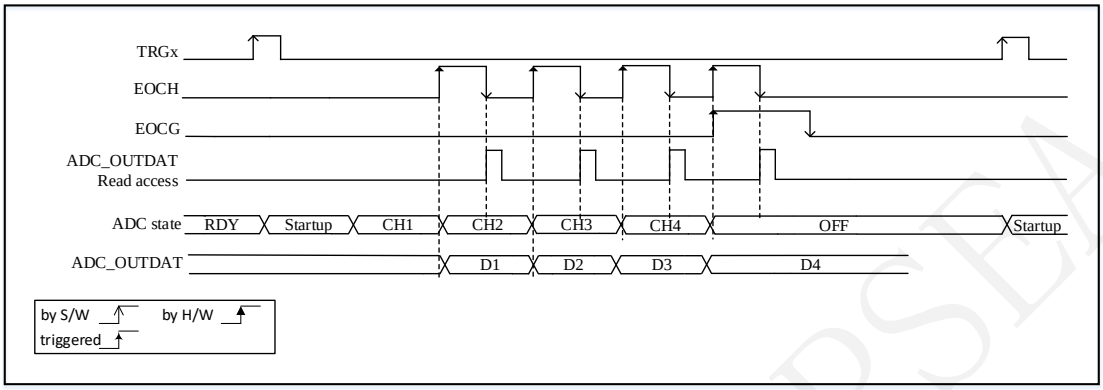
自动待机模式 (ATSTDBY)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

ADC 具有自动电源管理功能，称为自动待机模式，通过设置 ADC_CFG 寄存器中的 ATSTDBY=1 启用。当 ATSTDBY=1 时，在不转换时，ADC 处于断电状态，当转换开始（通过软件或者硬件触发）时自动唤醒。启动时间自动插入到启动转换的触发事件和采样之间。转换群组完成后，ADC 自动进入待机模式。

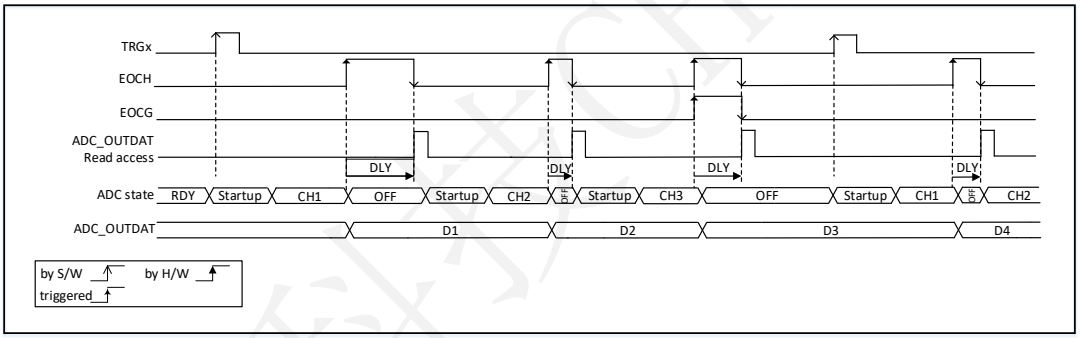
自动待机模式可以动态降低应用的功耗，这适用于相对较少的转换或转换请求的时间间隔足够长（例如低频的硬件触发）的应用。

图 34 PAUSE=0, ATSTDBY=1 时的行为



1. HTRGSEL=TRGx, TRGMODE=01 (上升沿), GCONT=x, ADSTRT=1, CHANSEL=0xF, CGDIR=0, PAUSE=1, ATSTDBY=1

图 35 PAUSE=1, ATSTDBY=1 时的行为



1. HTRGSEL=TRGx, TRGMODE=01 (上升沿), GCONT=x, ADSTRT=1, CHANSEL=0xF, CGDIR=0, PAUSE=1, ATSTDBY=1

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

对于频率较低的应用，自动待机模式可以与转换暂停模式（PAUSE=1）结合使用。如果在暂停阶段自动关闭 ADC 电源，并在应用读取 ADC_OUTDAT 寄存器时立即重启，这样的组合可以大大降低功耗。ADC 接口可以自动开关 HRC14 以节省功耗。

11.2.6 模拟看门狗 (WDGEN, WDGCHMODE, WDGCHAN,HITH/LOTH, WDEVT)

通过置位 ADC_CFG 寄存器中的 WDGEN 位可以启动模拟看门狗功能。它用来监控被选中的单个通道或所有使能的通道，是否在配置的电压范围内，如图 36 所示。

如果 ADC 转换的模拟电压低于低阈值或者高于高阈值，则模拟看门狗状态 WDEVT 位置位，可以通过置位 ADC_INTEN 寄存器中的 WDEVTIE 位来产生中断，WDEVT 标志通过软件写 1 清除。阈值在具有 12 位有效数据的 HITH 和 LOTH 寄存器中配置。

注意：模拟看门狗会监测选定通道的结果，和 ADC_OUTDAT 是否更新无关。

当转换的数据分辨率小于 12 位（由 DATRES[1:0]位配置）时，编程阈值的 LSB 必须保持清零，因为内部转换数据的比较总是按左对齐全 12 位的方式执行。

表 30 描述了在所有可能的分辨率下比较是如何执行的。

表 30 模拟看门狗比较

分辨率位 DATRES[1:0]	模拟看门狗的比较		备注
	左对齐的原始数据 (1)	阈值	
00: 12-bit	DATA[11:0]	LOTH[11:0]和 HITH[11:0]	-
01: 10-bit	DATA[11:2],00	LOTH[11:0]和 HITH [11:0]	用户必须将 LOTH[1:0]和 HITH[1:0]配置为“00”
10: 8-bit	DATA[11:4],0000	LOTH[11:0]和 HITH [11:0]	用户必须将 LOTH[3:0]和 HITH[3:0]配置为“0000”
11: 6-bit	DATA[11:6],000000	LOTH[11:0]和 HITH [11:0]	用户必须将 LOTH[5:0]和 HITH[5:0]配置为“000000”

1. 在进行任何对齐计算之前，对原始转换数据执行看门狗比较。

表 31 模拟看门狗通道选择展示了如何配置 ADC_CFG 寄存器中的 WDGCHMODE 和 WDGEN 位，以便在一个或多个通道上启用模拟看门狗。

图 36 模拟看门狗守卫区

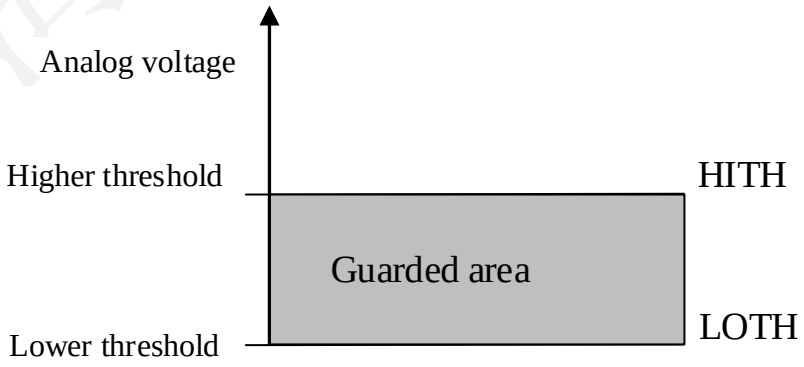


表 31 模拟看门狗通道选择

被模拟看门狗守卫的通道	WDGCHMODE 位	WDGEN 位
无	x	0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

所有通道	0	1
单通道 (1)	1	1

1. 由 WDGCHAN[4:0]位配置选择

11.2.7 温度传感器和内部参考电压

温度传感器可以用来测量器件的结温度（TJ）。温度传感器在内部连接于 ADC_IN16 输入通道，可用于转换传感器的输出电压为一个数值。温度传感器的采样时间必须大于数据手册中所标识的最小值 $T_{sample-temp}$。在不使用的情况下，传感器可以置于断电模式。

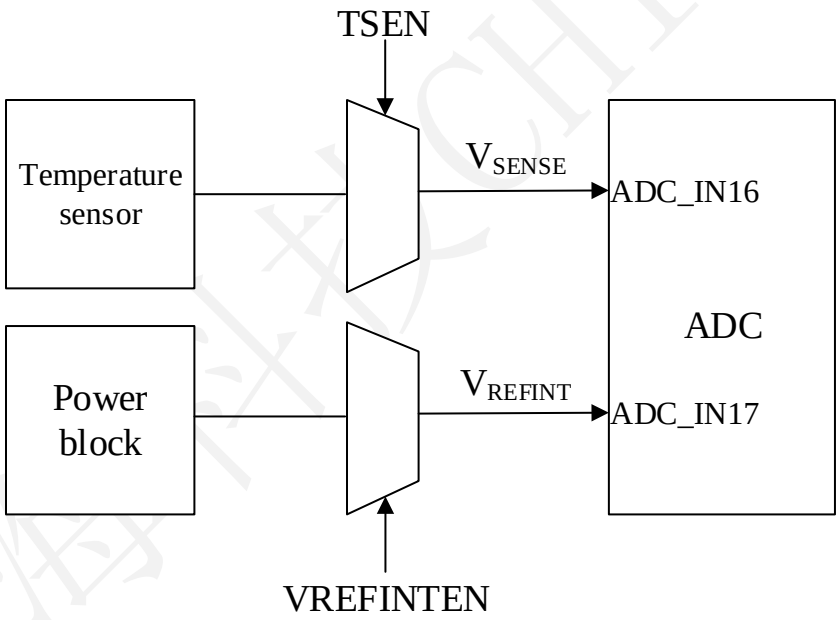
温度传感器的输出电压随着温度线性变化，但是由于工艺不同，芯片与芯片之间可能有较大的差异。为了增强温度传感器的精度（特别是绝对温度的测量），在生产测试期间，芯海分别测量每颗芯片的校准值并存储到系统存储区内。

内部参考电压（V_{REFINT}）为 ADC 提供稳定的输出电压。V_{REFINT} 连接到 ADC_IN17 输入通道。在生产测试中， 芯海测量每颗芯片 V_{REFINT} 的精确电压，并将其存储到系统存储区内。

图 37 为温度传感器和内部参考电压与 ADC 之间的连接框图。

必须置位 TSEN 位来启用 ADC_IN16（温度传感器）；必须置位 VREFINTEN 位来启用 ADC_IN17(V_{REFINT})。

图 37 温度传感器和 V_{REFINT} 通道框图



读取温度

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1. 选择 ADC_IN16 输入通道。
2. 选择合适的采样时间（$T_{sample-temp}$）。
3. 置位 ADC_INNCHEN 寄存器中的 TSEN 位，把温度传感器从断电模式中唤醒并且等待温度传感器的建立时间($T_{start-temp}$) 。
4. 通过置位 ADC_CTR 寄存器中的 ADSTRT 来启动 ADC 转换（或者被外部触发启动）。
5. 读取 ADC_OUTDAT 寄存器的数据
6. 使用以下公式：

$$\text{Temperature(in℃)} = \frac{110℃-30℃}{\text{TEMP110_CAL}-\text{TEMP30_CAL}} \times (\text{TS_DATA} - \text{TEMP30_CAL}) + 30℃$$

其中：

- TEMP110_CAL 是在 110°C 下获得的温度传感器校准值。
- TEMP30_CAL 是在 30°C 下获得的温度传感器校准值。
- TS_DATA 是由 ADC 转换得到的实际温度传感器的输出值。

说明:传感器从断电模式下唤醒到能正确输出 V_{SENSE} 的值需要一个建立时间，ADC 上电后启动也需要一个建立时间，为了减少延迟，ADCON 和 TSEN 位应被同时设置。

使用内部参考电压计算实际的 VDDA 电压

芯片的 VDDA 电源电压可能会发生变化或者不能被准确知道。在 VDDA=3.3V 条件下，内部参考电压(V_{REFINT})的校准数据在制造过程中被获取，可以用来计算实际的 VDDA 电压。

下列公式给出了芯片的真实 VDDA 电压：

$$V_{DDA} = \frac{3.3V \times \text{VREFINT_CAL}}{\text{VREFINT_DATA}}$$

其中：

- VREFINT_CAL 是 V_{REFINT} 的校准值
- VREFINT_DATA 是 ADC 转换的实际 V_{REFINT} 输出值

将 ADC 相对电源的测量值转换为绝对电压值

ADC 根据模拟电源电压和被测通道电压的比值，输出一个相对数值。

对于大多数应用来说，需要将此比率转换为独立于 VDDA 的电压。对于知道 VDDA 电压值，且 ADC 的转换值是右对齐的应用来说，可以通过下面公式计算绝对值：

$$V_{CHANNELx} = \frac{V_{DDA}}{\text{FULL_SCALE}} \times \text{ADC_DATA}_x$$

对于 VDDA 电压值不确定的应用来说，使用下面的公式：

$$V_{CHANNELx} = \frac{3.3V \times \text{VREFINT_CAL} \times \text{ADC_DATA}_x}{\text{VREFINT_DATA} \times \text{FULL_SCALE}}$$

其中：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- VREFINT_CAL 是 V_{REFINT} 的校准值
- ADC_DATA_x 是（右对齐）通道 x 被 ADC 所测量的值
- VREFINT_DATA 是 ADC 转换的实际 VREFINT 输出值。
- FULL_SCALE 是 ADC 输出的最大数字值。例如在 12 位分辨率情况下，最大值为 2^{12} - 1=4095 或者在 8 位分辨率情况下，最大值为 2^8 - 1=255。

说明: 如果使用 12 位右对齐以外的输出格式进行 ADC 测量，所有参数必须先转换成一个兼容格式，然后才能计算。

11.2.8 电池电压监测

注： CS32F03X-RA 版本无电池电压监测功能

置位 ADC_INNCHEN 寄存器中的 VBATMEN 位，允许应用监测 VBAT 引脚的电池电压。因为 VBAT 电压可能高于 V_{DDA}，为了确保 ADC 的正确操作，VBAT 内部连接于一个二分压电路。当 VBATMEN 被置位时，这个桥将 $V_{BAT}/2$ 连接于 ADC_IN18 输入通道。因此，转换后的数字值是 V_{BAT} 的一半。为了避免电池的不必要消耗，建议在需要 ADC 转换时再开启二分压电路。

11.2.9 ADC 中断

中断产生条件：

- ADC 上电后，ADC 初始化完成时（EOI 标志）
- 通道转换结束时 (EOCH 标志)
- 转换群组转换结束时(EOCG 标志)
- 模拟看门狗事件出现时(WDEVT 标志)
- 采样阶段结束时(EOSP 标志)
- ADC 数据溢出时(DOVR 标志)

具有单独的中断使能位，可灵活使用。

表 32 ADC 中断

中断事件	事件标志	启用控制位
ADC 初始化完成	EOI	EOIIE
通道转换结束	EOCH	EOCIE
转换群组转换结束	EOCG	EOGIE
模拟看门狗事件	WDEVT	WDEVTIE
采样阶段结束	EOSP	EOSPIE
ADC 数据溢出	DOVR	DOVRIE

11.3

寄存器

11.3.1 寄存器概览

表 33 ADC 寄存器概览

名称	偏移地址	描述	复位值
ADC_STAT	0x000	ADC 状态寄存器	0x00000000
ADC_INTEN	0x004	ADC 中断使能寄存器	0x00000000
ADC_CTR	0x008	ADC 通用控制寄存器	0x00000000
ADC_CFG	0x00C	ADC 配置寄存器	0x00000000
ADC_CLK	0x010	ADC 时钟源寄存器	0x00000000
ADC_SMPLR	0x014	ADC 采样时间寄存器	0x00000000
ADC_WDTH	0x020	ADC 看门狗阈值寄存器	0x0FFF0000

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

ADC_CHANSEL	0x028	ADC 转换通道选择寄存器	0x00000000
ADC_OUTDAT	0x040	ADC 转换输出数据寄存器	0x00000000
ADC_INNCHEN	0x308	ADC 内部通道使能寄存器	0x00000000

11.3.2 ADC 状态寄存器 (ADC_STAT)

ADC_STAT (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	WDEVT	保留	保留	DOVR	EOCG	EOCH	EOSP	EOI
								r/w1c			r/w1c	r/w1c	r/w1c	r/w1c	r/w1c

Bit 位	名称	描述
[31:8]	保留	
7	WDEVT	**模拟看门狗事件标志** 当转换后的电压与在 LOTH 和 HITH 寄存器中编程的值交叉时，该位由硬件置位。通过软件写入 1 清除。 0: 未发生模拟看门狗事件（或标志事件已被软件确认和清除） 1: 发生模拟看门狗事件
[6:5]	保留	
4	DOVR	**ADC 数据溢出标志** 当发生溢出时，该位由硬件置位，这意味着在 EOCH 标志置位的情况下，新的转换已经完成。通过软件写 1 清除。 0: 未发生溢出（或标志事件已被软件确认和清除） 1: 发生溢出
3	EOCG	**转换群组转换结束标志** 该位由硬件在 CHANSEL 位选择的群组通道转换结束时置位。通过软件写 1 清除。 0: 转换群组未完成（或标志事件已被软件确认和清除） 1: 转换群组完成
2	EOCH	**通道转换结束标志** 当一个新的数据结果在 ADC_OUTDAT 寄存器中可用时，该位由硬件在每个通道转换结束时置位。通过软件写 1 或读取 ADC_OUTDAT 寄存器来清除。 0: 通道转换未完成（或标志事件已被软件确认和清除） 1: 通道转换完成
1	EOSP	**采样阶段结束标志** 在采样阶段结束时，该位由硬件置位。通过软件写 1 清除。 0: 采样阶段未结束（或标志事件已被软件确认和清除） 1: 采样阶段结束

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

0	EOI	**ADC 初始化完成** 启用 ADC 后（ADCON=1），并且 ADC 准备好接受转换请求的状态时，该位由硬件置位。通过软件写 1 清除。 0: ADC 初始化未完成（或标志事件已被软件确认和清除） 1: ADC 初始化完成 *说明: 在自动待机模式（ATSTDBY=1）中，电源打开/关闭阶段由硬件自动执行，并且不置位* EOI *标志。*

11.3.3 ADC 中断使能寄存器 (ADC_INTEN)

ADC_INTEN (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	WDEVTIE	保留	保留	DOVRIE	EOGIE	EOCIE	EOSPIE	EOIIE
								r/w			r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:8]	保留	
7	WDEVTIE	**模拟看门狗事件中断使能** 该位由软件置位和清除，以启用/禁用模拟看门狗事件中断。 0:禁用模拟看门狗中断 1:启用模拟看门狗中断 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
[6:5]	保留	
4	DOVRIE	**ADC 数据溢出中断使能** 该位由软件置位和清除，以启用/禁用 ADC 数据溢出中断。 0: 禁用溢出中断 1: 启用溢出中断。当 DOVR 置位时，会产生一个中断。 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
3	EOGIE	**转换群组转换结束中断使能** 该位由软件置位和清除，以启用/禁用转换群组转换结束中断。 0: 禁用 EOCG 中断 1: 启用 EOCG 中断。当 EOCG 置位时，会生成中断。 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
2	EOCIE	**通道转换结束中断使能** 该位由软件置位和清除，以启用/禁用通道转换结束中断。 0: 禁用 EOCH 中断 1: 启用 EOCH 中断。当 EOCH 置位时，会产生中断。 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
1	EOSPIE	**采样结束中断使能**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		该位由软件置位和清除，以启用/禁用采样结束中断。 0: 禁用 EOSP 中断 1: 启用 EOSP 中断。当 EOSP 置位时，会生成中断。 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
0	EOIIE	**ADC 初始化完成中断使能** 该位由软件置位和清除，以启用/禁用 ADC 初始化完成中断。 0: 禁用 EOI 中断。 1: 启用 EOI 中断。当 EOI 置位时，会产生中断。 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位*

11.3.4 ADC 通用控制寄存器 (ADC_CTR)

ADC_CTR (偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CALB	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
rs															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	ADSTOP	保留	ADSTRT	ADCOFF	ADCON
											r/w1s		r/w1s	r/w1s	r/w1s

Bit 位	名称	描述
31	CALB	**ADC 校准** 该位由软件置位，以开始校准 ADC。 校准完成后由硬件清除。 0: 校准完成 1: 写入 1 以启动校准 ADC。读取到 1 表示正在进行校准。 *说明: 仅当禁用 ADC（CALB=0、ADSTRT=0、ADSTOP=0、ADCOFF=0 和 ADCON=0）时，软件才允许设置 CALB。*
[30:5]	保留	
4	ADSTOP	**ADC 停止转换命令** 该位由软件置位，来停止和放弃正在进行的转换（ADSTOP 命令）。 当转换被丢弃，并且 ADC 准备好接受新的启动转换命令时，硬件会清除它。 0: 没有正在进行的 ADC 停止转换命令 1: 写 1 以停止 ADC。读取到 1 表示正在执行 ADSTOP 命令。 *说明: 只有当 ADSTRT=1 且 ADCOFF=0 时（已启用 ADC，并且可能正在转换，并且没有挂起的请求来禁用 ADC），将 ADSTOP 设置为"1"才有效*
3	保留	
2	ADSTRT	**ADC 启动转换命令** 此位由软件置位以启动 ADC 转换。根据 TRGMODE[1:0]配置位，转换可以立即启动（软件触发配置）或发生硬件触发事件时启动（硬件触发配置）。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		通过硬件清除： – 在单次转换模式下（GCONT=0，DISCONT=0），当选择软件触发（TRGMODE=00）：转换群组转换结束（EOCG）标志声明时清除。 – 在非连续转换模式下（GCONT=0，DISCONT=1），当选择软件触发（TRGMODE=00）：通道转换结束（EOCH）标志声明时清除。 –在所有其他情况下：执行 ADSTOP 命令后，与 ADSTOP 位同时通过硬件清除。 0: 没有正在进行的 ADC 转换。 1: 写入 1 以启动 ADC。读取到 1 表示 ADC 正在运行，可能正在转换。 *说明: 只有当 ADCON=1 和 ADCOFF=0 时（启用了 ADC，并且没有挂起的禁用 ADC 的请求），软件才允许设置 ADSTRT*
1	ADCOFF	**ADC 断电命令** 软件置位可以禁用 ADC（ADCOFF 命令），并将其置于断电状态（关闭状态）。一旦 ADC 被有效禁用，硬件就会清除该位（此时硬件也会清除 ADCON）。 0: 没有正在执行的 ADCOFF 命令 1: 写入 1 以禁用 ADC。读取到 1 表示正在执行 ADCOFF 命令。 *说明: 仅当 ADCON=1 且 ADSTRT=0 时（确保没有转换正在进行），将 ADCOFF 设置为"1"才有效*
0	ADCON	**ADC 开启命令** 该位由软件置位以启用 ADC。一旦 EOI 标志置位，标示 ADC 已经准备好运行。 在执行 ADCOFF 命令后，当 ADC 禁用时，该位由硬件清除。 0: ADC 被禁用(断电状态) 1: 写入 1 以启用 ADC *说明: 只有当 ADC_CTR 寄存器的所有位都为 0（CALB=0，ADSTOP=0，ADSTRT=0，ADCOFF=0，ADCON=0）时，软件才允许设置 ADCON。*

11.3.5 ADC 配置寄存器 1 (ADC_CFG)

ADC_CFG (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	WDGCHAN[4:0]					保留	保留	WDGEN	WDGCHMODE	保留	保留	保留	保留	保留	DISCONT
	r/w	r/w	r/w	r/w	r/w			r/w	r/w						r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATSTDBY	PAUSE	GCONT	DOVRWRT	TRGMODE[1:0]		保留	HTRGSEL[2:0]			DATALG	DATRES[1:0]		CGDIR	DMAMODE	DMAEN
r/w	r/w	r/w	r/w	r/w			r/w			r/w	r/w		r/w	r/w	r/w

Bit 位	名称	描述

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

31	保留	
[30:26]	WDGCHAN	**模拟看门狗监控通道选择** 这些位由软件置位和清除。它们选择模拟看门狗保护的输入通道。 00000: ADC 输入通道 0 00001: ADC 输入通道 1 ..... 10010: ADC 输入通道 18 其它: 保留，不能使用 *说明: 由 WDGCHAN[4:0]位选择的通道也必须设置到 CHANSEL 寄存器中。* *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入这些位。*
[25:24]	保留	
23	WDGEN	**模拟看门狗使能** 该位由软件置位和清除。 0: 禁用模拟看门狗 1: 启用模拟看门狗 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位*
22	WDGCHMODE	**模拟看门狗通道监控模式** 该位由软件置位和清除，以启用由 WDGCHAN[4:0]位标识的通道或所有通道上的模拟看门狗。 0: 在所有通道上启用模拟看门狗 1: 在单个通道上启用模拟看门狗 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
[21:17]	保留	
16	DISCONT	**非连续模式** 该位由软件置位和清除，以启用/禁用非连续模式。 0: 禁用非连续模式 1: 启用非连续模式 *说明:不可能同时启用非连续模式和连续模式:禁止同时设置位 DISCONT=1 和 GCONT=1。* *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
15	ATSTDBY	**ADC 自动待机模式** 该位由软件置位和清除，以启用/禁用自动待机模式。. 0: 禁用自动待机模式 1: 启用自动待机模式 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
14	PAUSE	**转换暂停模式** 该位由软件置位和清除，以启用/禁用转换暂停模式。 0:禁用转换暂停模式 1:启用转换暂停模式 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位*
13	GCONT	**单次/连续转换模式** 该位由软件置位和清除。如果被置位，转换将持续进行，直到该位被清除为止。 0: 单次转换模式

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1: 连续转换模式 *说明: 不可能同时启用非连续模式和连续模式：禁止同时设置位 DISCONT=1 和 GCONT=1。* *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
12	DOVRWRT	**ADC 数据溢出覆盖模式** 该位由软件置位和清除，并配置数据溢出的管理方式。 0: 当检测到溢出时，使用旧数据保存在 ADC_OUTDAT 寄存器中。 1: 当检测到溢出时，ADC_OUTDAT 寄存器将被最后一个转换结果覆盖。 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
[11:10]	TRGMODE	**转换触发模式选择** 这些位由软件置位和清除，以选择外部触发极性并启用触发检测。 00: 关闭硬件触发检测（转换可以由软件启动） 01: 上升沿硬件触发检测 10: 下降沿硬件触发检测 11:上升沿和下降沿硬件触发检测 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入这些位*
9	保留	
[8:6]	HTRGSEL	**硬件触发源选择** 这些位选择用于触发转换开始的外部事件 000: TRG0 001: TRG1 010: TRG2 011: TRG3 100: TRG4 101: TRG5 110: TRG6 111: TRG7 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入这些位。*
5	DATALG	**转换数据对齐格式** 该位由软件置位和清除，以选择右对齐或左对齐。 0: 右对齐 1: 左对齐 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
[4:3]	DATRES	**转换数据分辨率** 这些位由软件编写，以选择转换精度。 00: 12 bits 01: 10 bits 10: 8 bits 11: 6 bits *说明: 只有当 ADCON=0 时，软件才允许写入这些位。*
2	CGDIR	**转换群组序列顺序** 该位由软件置位和清除，以选择按顺序扫描信道的方向。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0: 向上扫描（从 CHANSEL0 到 CHANSEL18） 1: 后下扫描（从 CHANSEL18 到 CHANSEL0） *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
1	DMAMODE	**DMA 单次/循环模式选择** 该位由软件置位和清除，以在两种 DMA 操作模式之间进行选择，并且仅在 DMAEN=1 时有效。 0: 选择 DMA 单次模式 1: 选择 DMA 循环模式 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
0	DMAEN	**DMA 使能** 该位由软件置位和清除，以使能生成 DMA 请求。这允许使用 DMA 控制器自动管理转换的数据。 0: 禁用 DMA 1: 已启用 DMA *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*

11.3.6 ADC 时钟源寄存器 (ADC_CLK)

ADC_CLK (偏移地址=0x010，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CKSRC[1:0]		保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
r/w	r/w														
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

Bit 位	名称	描述
[31:30]	CKSRC	**ADC 时钟源选择** 这些位由软件置位和清除，以定义模拟 ADC 的时钟： 00: HRC14(异步时钟模式)(参考 RCU 章节) 01: PCLK/2 (同步时钟模式) 10: PCLK/4 (同步时钟模式) 11: 保留 在同步时钟模式时，从 TIM 触发到转换开始的延迟不存在抖动。 *说明: 只有在禁用 ADC（CALB=0、ADSTRT=0、ADSTOP=0、ADCOFF=0 和 ADCON=0）时，软件才允许写入这些位。*
[29:0]	保留	

11.3.7 ADC 采样时间寄存器 (ADC_SMPLR)

ADC_SMPLR (偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	SMPLT[2:0]		
													r/w		

Bit 位	名称	描述
[31:3]	保留	
[2:0]	SMPLT	**采样时间选择** 这些位由软件写入，以选择适用于所有通道的采样时间。 000: 1.5 ADC 时钟周期 001: 7.5 ADC 时钟周期 010: 13.5 ADC 时钟周期 011: 28.5 ADC 时钟周期 100: 41.5 ADC 时钟周期 101: 55.5 ADC 时钟周期 110: 71.5 ADC 时钟周期 111: 239.5 ADC 时钟周期 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入这些位。*

11.3.8 ADC 看门狗阈值寄存器 (ADC_WDTH)

ADC_WDTH (偏移地址=0x020，复位值=0x0FFF0000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	HITH[11:0]											
				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	LOTH[11:0]											
				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:28]	保留	
[27:16]	HITH	**模拟看门狗上限阈值** 这些位由软件编写，以定义模拟看门狗的上限阈值。 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入这些位。*
[15:12]	保留	
[11:0]	LOTH	**模拟看门狗下限阈值** 这些位由软件编写，以定义模拟看门狗的下限阈值。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入这些位。

11.3.9 ADC 通道选择寄存器 (ADC_CHANSEL)

ADC_CHANSEL (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	CHANSEL18	CHANSEL17	CHANSEL16
													r/w	r/w	r/w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHANSEL15	CHANSEL14	CHANSEL13	CHANSEL12	CHANSEL11	CHANSEL10	CHANSEL9	CHANSEL8	CHANSEL7	CHANSEL6	CHANSEL5	CHANSEL4	CHANSEL3	CHANSEL2	CHANSEL1	CHANSEL0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:19]	保留	
[18:0]	CHANSELx	**转换通道选择** 这些位由软件编写，并定义哪些通道是要转换的通道群组的一部分。 0:未选择输入通道 X 进行转换 1:选择输入通道 X 进行转换 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入这些位。*

11.3.10 ADC 转换输出数据寄存器 (ADC_OUTDAT)

ADC_OUTDAT (偏移地址=0x040，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OUTDAT[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[31:16]	保留	
[15:0]	OUTDAT	**转换输出数据**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		这些位是只读的。存储上一次转换的结果。 数据为左对齐或右对齐。校准完成后，OUTDAT [6:0]为校准系数。

11.3.11　ADC 内部转换通道使能寄存器 (ADC_INNCHEN)

ADC_INNCHEN(偏移地址=0x308，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	VBATMEN	TSEN	VREFINTEN	保留	保留	保留	保留	保留	保留
							r/w	r/w	r/w						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

Bit 位	名称	描述
[31:25]	保留	
24	VBATMEN	*CS32F03X 支持电池电压检测* **电池电压检测通道使能** 该位由软件置位和清除，以启用/禁用 V_{BAT} 通道。 0: 禁用 V_{BAT} 通道 1: 启用 V_{BAT} 通道 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。* *CS32F03X-RA 版本无电池电压监测功能，此位修改为如下通道* VBUF0.8V 通道使能 该位由软件置位和清除，以启用/禁用 VBUF 0.8V 通道。 0: 禁用 VBUF 0.8V 通道 1: 启用 VBUF 0.8V 通道 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
23	TSEN	**温度传感器检测通道使能** 该位由软件置位和清除，以启用/禁用温度传感器。 0:禁用温度传感器 1:启用温度传感器 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*
22	VREFINTEN	**内部参考电压检测通道使能** 该位由软件置位和清除，以启用/禁用 V_{REFINT} 通道。 0: 禁用 V_{REFINT} 通道 1: 启用 V_{REFINT} 通道 *说明: 只有当 ADSTRT=0 时（确保没有转换正在进行），软件才允许写入该位。*

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

[21:0]	保留	

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

12 高级定时器 (TIM1)

概述

12.1.1 简介

高级定时器包括一个 16 位的预分频器和 16 位的计数器，用来对时钟或外部事件进行计数。

高级定时器包括四个捕获比较通道。作为捕获通道时，用来捕获外部触发输入有效沿时刻的计数器值；作为比较通道时，产生输出波形，包括输出比较和 PWM，也可以输出带死区时间控制的互补输出 PWM。

12.1

高级定时器和其他定时器在资源上相互独立，它们可以相互进行触发和联动操作，以提供更大的计数范围。

12.1.2 功能概览

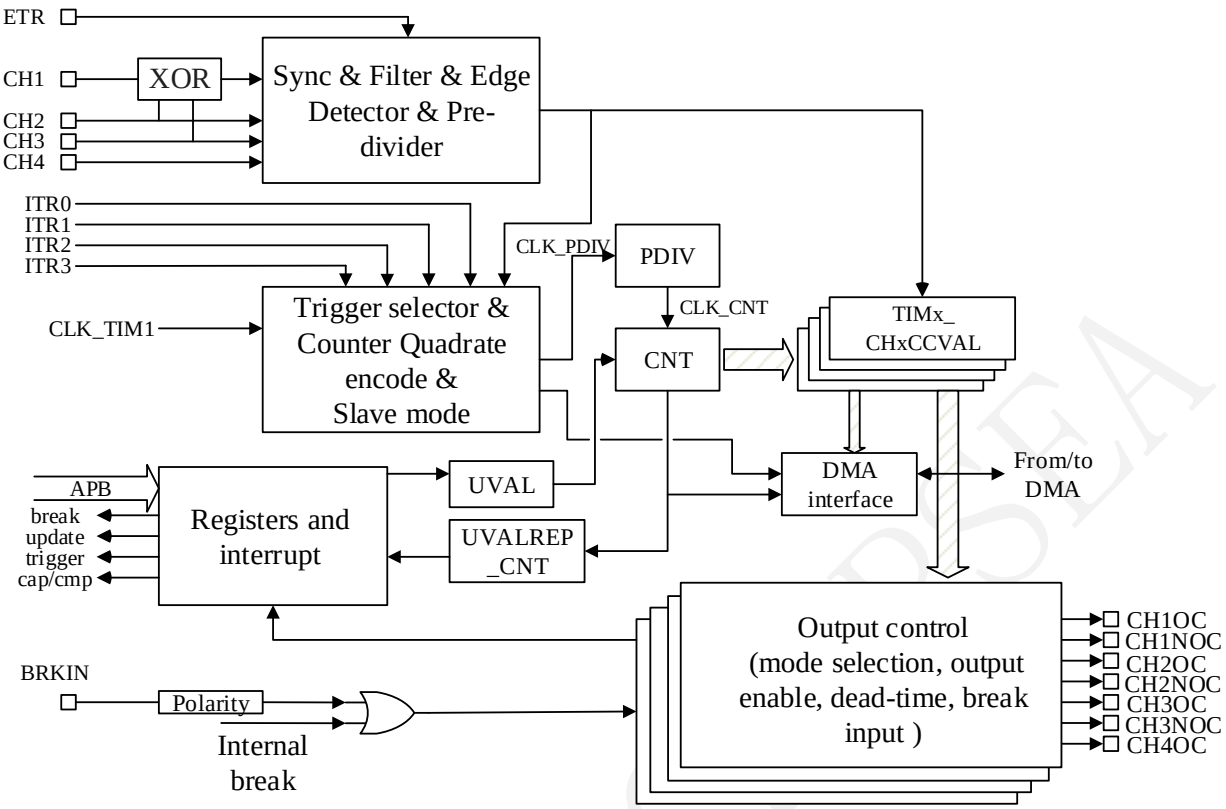
- 可选择的计数器时钟源：内部时钟，外部输入，内部触发，外部触发。
- 预分频系数为 1~65535 的可实时配置的预分频器。
- 16 位计数器，向上、向下、中央对齐计数模式选择。
- 8 位重复计数器。
- 4 个捕获比较匹配通道。
  - 输入捕获
  - 输出比较
  - PWM 生成（边沿和中央对齐模式）
  - 单脉冲模式输出
- 可编程的死区时间及互补输出
- 支持多个定时器触发同步。
- 支持增量正交编码器。
- 支持 PWM 输出刹车功能。
- 支持多个中断输出。
- 以下事件产生中断/ DMA 请求：

- 更新：计数器上溢/下溢，计数器初始化（通过软件或内部/外部触发）
- 触发事件（计数器启动，停止，初始化或通过内部/外部触发计数）
- 输入捕获
- 输出比较
- 刹车输入

- 支持增量（正交）编码器和霍尔传感器电路，用于定位
- 外部时钟作为触发输入或按周期的电流管理

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 38 高级控制定时器框图



12.2 模块操作

12.2.1 时基单位

可编程高级控制定时器的主要模块是一个 16 位计数器及其相关的计数器更新寄存器。计数器可以向上，向下或向上和向下计数。计数器时钟由预分频器分频获得。

计数器，计数器更新寄存器和预分频器寄存器可由软件写入或读取。即使计数器正在运行也是如此。

时基单元包括：

- 计数器寄存器（TIMx_CNT）
- 预分频器寄存器（TIMx_PDIV）
- 计数器更新寄存器（TIMx_UVAL）
- 计数器更新重复寄存器（TIMx_UVALREP）

计数器更新寄存器是预装载的。写入或读取计数器更新寄存器访问的是预装载寄存器。根据 TIMx_CTR1 寄存器中的 UVAL 影子寄存器使能位（UVALSEN），预装载寄存器的内容将立刻或在每次更新事件（UEV）后传输到影子寄存器。如果 TIMx_CTR1 寄存器中的 UPD 等于 0，当计数器上溢(或者向下计数下溢)时，会产生更新事件。更新事件也可以由软件生成。

计数器时钟是由预分频器输出 CLK_CNT（如

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 38 所示）提供，该输出仅在 TIMx_CTR1 寄存器中的计数器使能位（CEN）置 1 时使能（参考从机模式控制器说明以获取有关计数器使能的更多详细信息）。

注意，在将 TIMx_CTR1 寄存器中的 CEN 位置 1 后，1 个时钟周期之后，计数器开始进行计数。

预分频器

预分频器可以将计数器时钟分频处理，分频值为 1 到 65536 之间的任何系数。它基于通过 16 位寄存器控制的 16 位计数器（在 TIMx_PDIV 寄存器中）。它可以在运行时进行更改，因为该控制寄存器带有缓冲器。在下一次更新事件中会使用新的预分频值。

图 39 和图 40 给出了预分频值在运行中更改时计数器行为的一些示例。

图 39 预分频器分频系数从 1 变为 2 时的计数器时序图

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

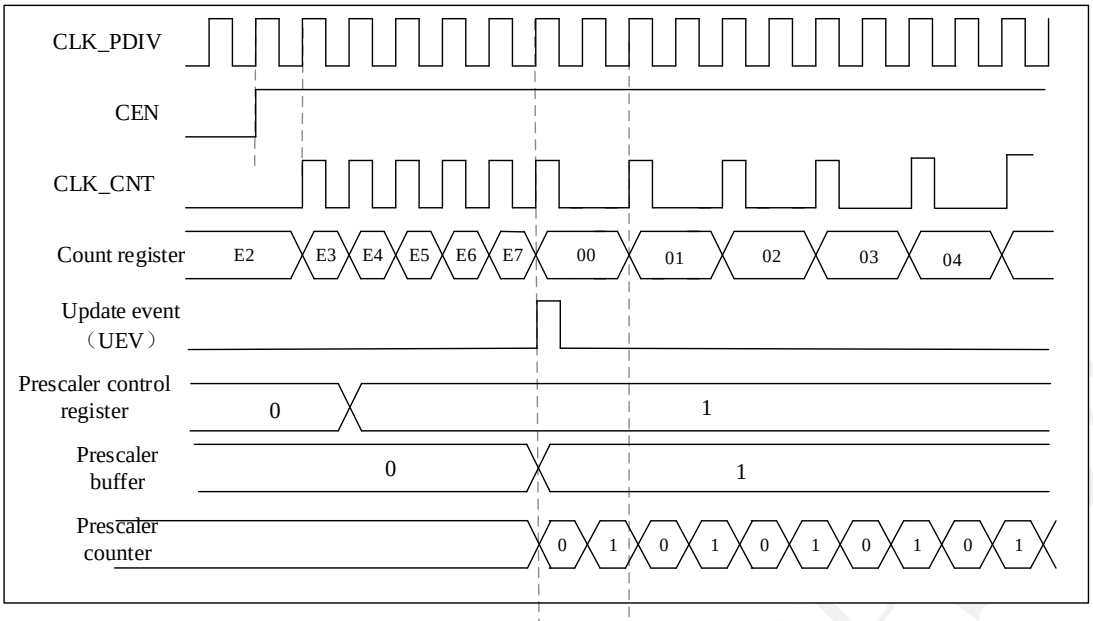
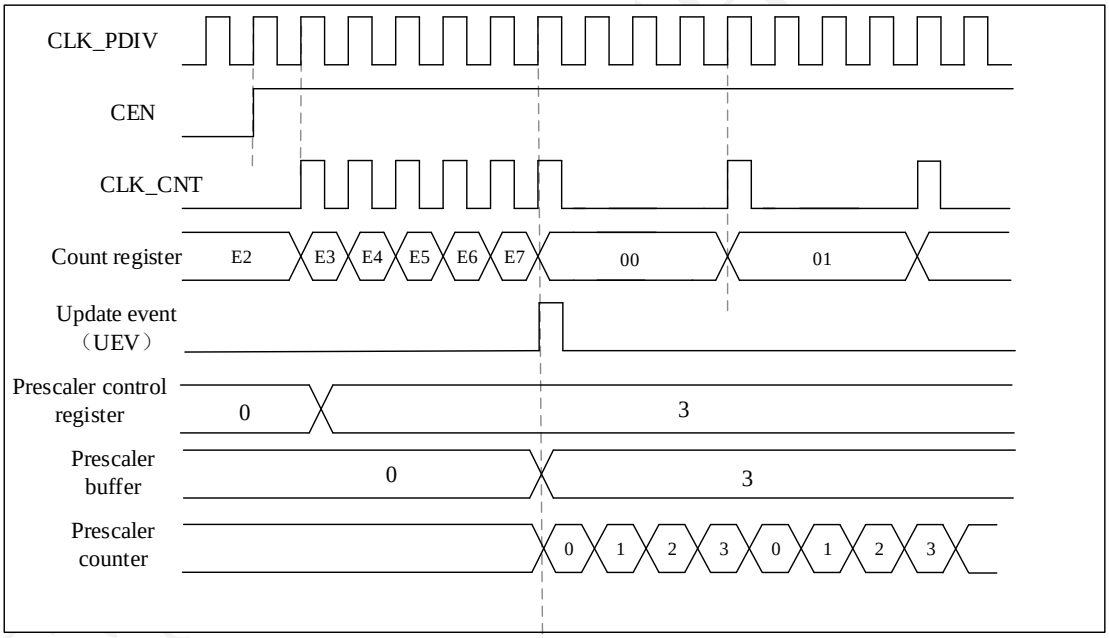


图 40 预分频器的分频系数从 1 变为 4 时的计数器时序图



12.2.2 计数器模式

向上计数模式

在向上计数模式下，计数器从 0 开始计数到自动重载值（TIMx_UVAL 寄存器的值），然后从 0 重新开始计数并产生计数器上溢事件。

如果使用重复计数功能，在计数达到计数器更新重复寄存器（TIMx_UVALREP）中次数之后将产生更新事件（UEV）。否则，每次计数器溢出时都会生成更新事件。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

将 TIMx_SWEGR 寄存器中的 UEG 位（通过软件或使用从机模式控制器）置 1 也会产生更新事件。

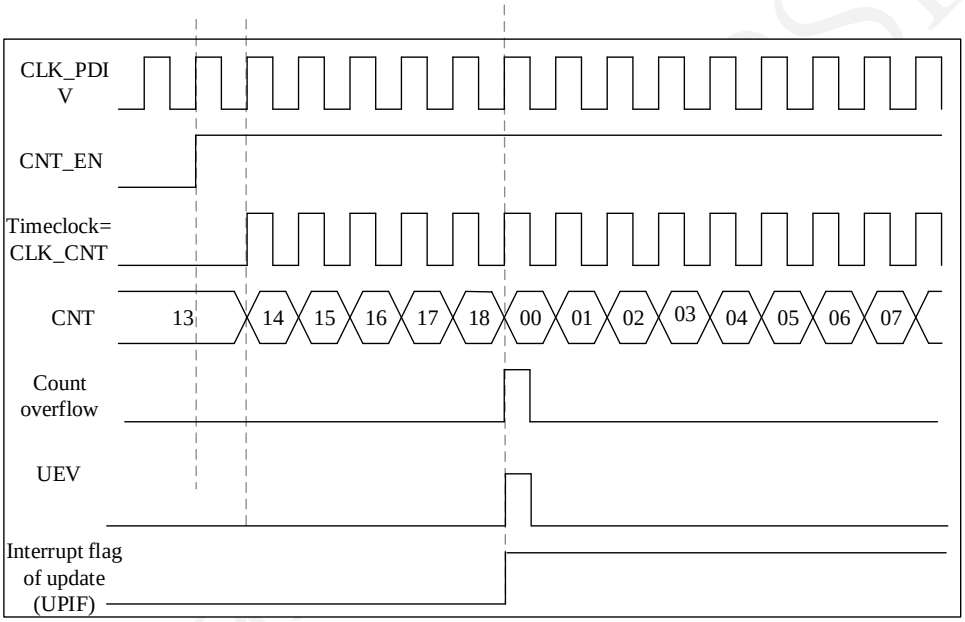
通过置位 TIMx_CTR1 寄存器中的 UPD 位，可以禁用 UEV 事件。这是为了避免在预装载寄存器中写入新值时更新影子寄存器。在 UPD 位写入 0 之前不会发生更新事件。然而，计数器和预分频器都从 0 重新开始计数（但预分频值不会改变）。此外，如果 TIMx_CTR1 寄存器中的 URSEL 位（更新请求选择）被置位，则 UEG 位写 1 会生成更新事件 UEV 但不置位 UPIF 标志（因此不会产生中断或 DMA 请求）。这是为了避免在捕获事件清除计数器时，同时产生更新和捕获中断。

发生更新事件时，将更新所有寄存器并依据 URSEL 的值置位更新标志（TIMx_STS 寄存器中的 UPIF 位）：

- 重复计数器重新加载 TIMx_UVALREP 寄存器的内容，
- 自动重载影子寄存器更新为预装载值（TIMx_UVAL）
- 预分频器的缓冲器重载了预装载值（TIMx_PDIV 寄存器的内容）。

下图显示了 TIMx_UVAL = 0x18 时不同时钟频率的计数器行为的一些示例。

图 41 内部时钟分频系数为 1 时的计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 42 内部时钟分频系数为 2 时的计数器时序图

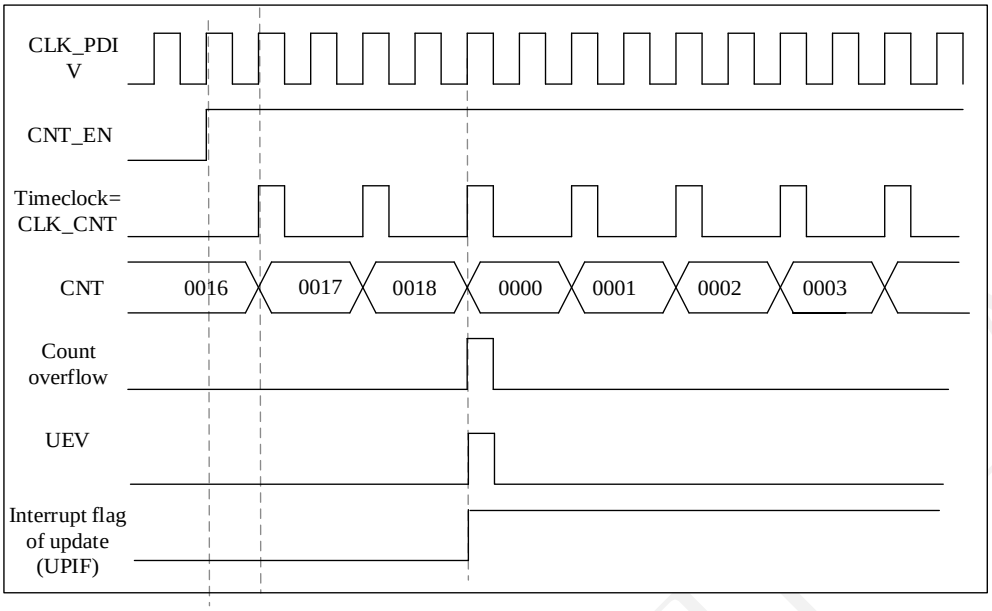
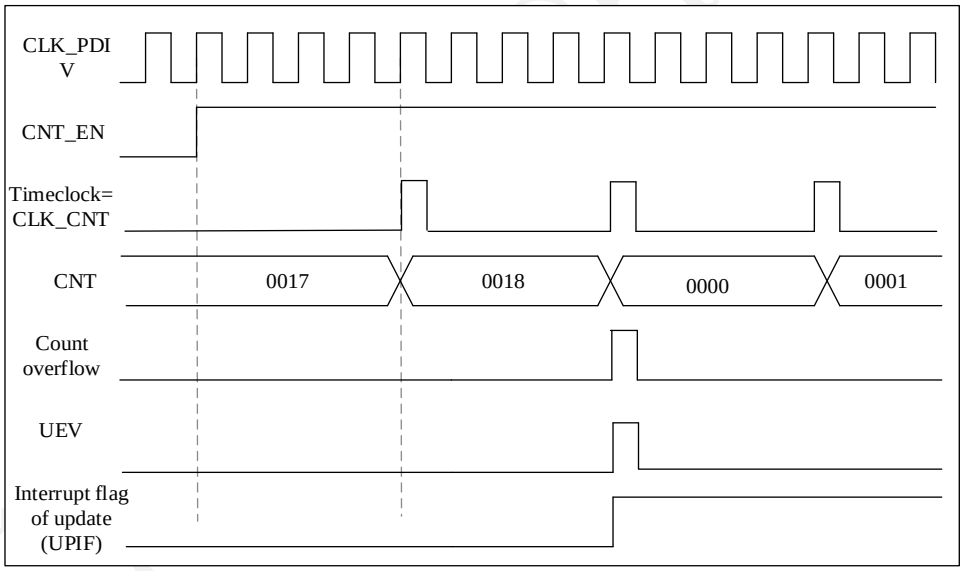


图 43 内部时钟分频系数为 4 时的计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 44 内部时钟分频系数为 N 时的计数器时序图

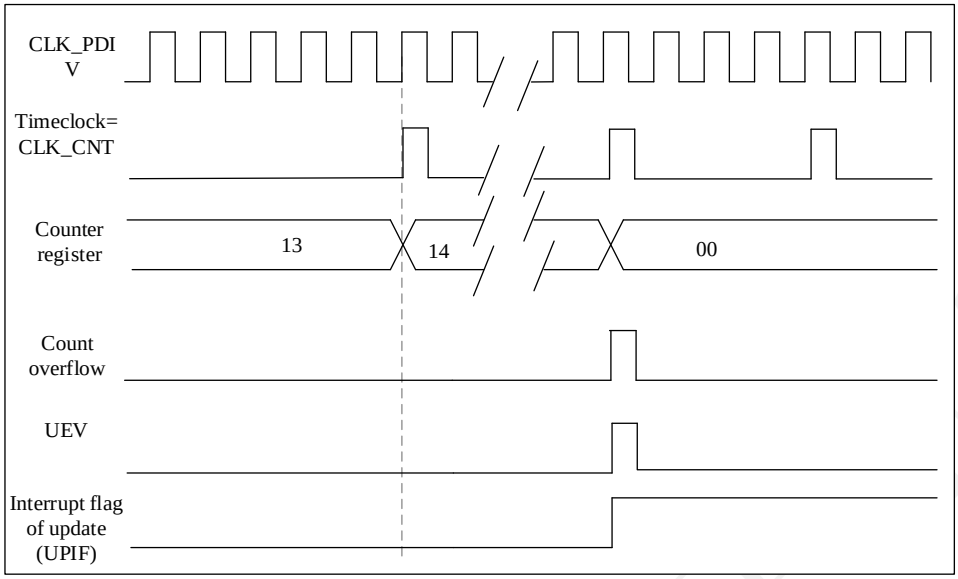
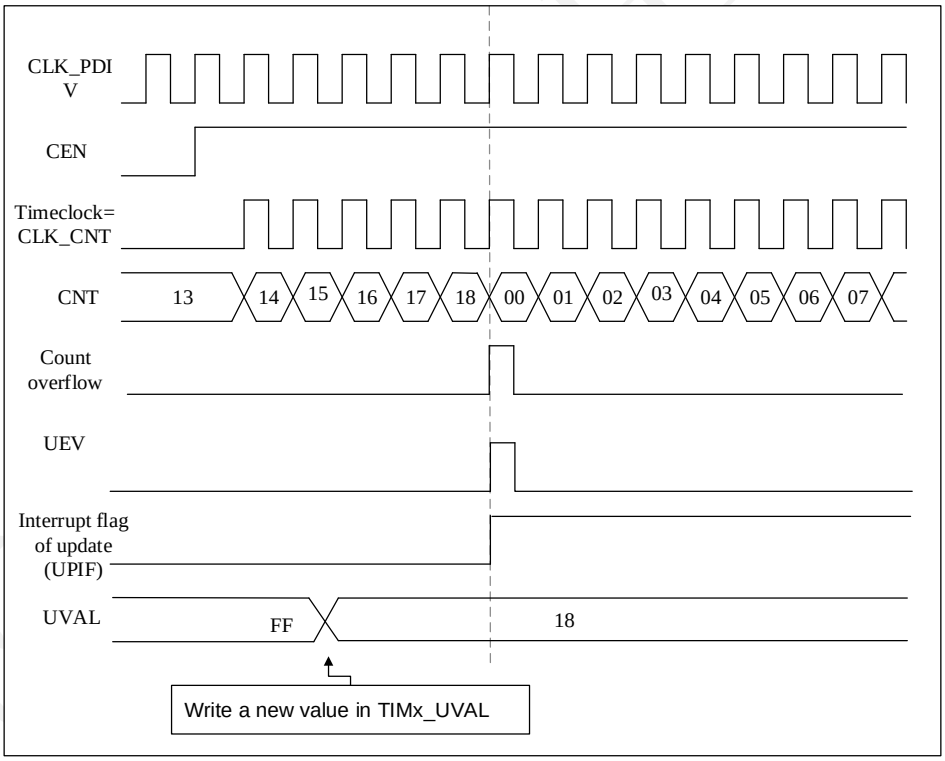
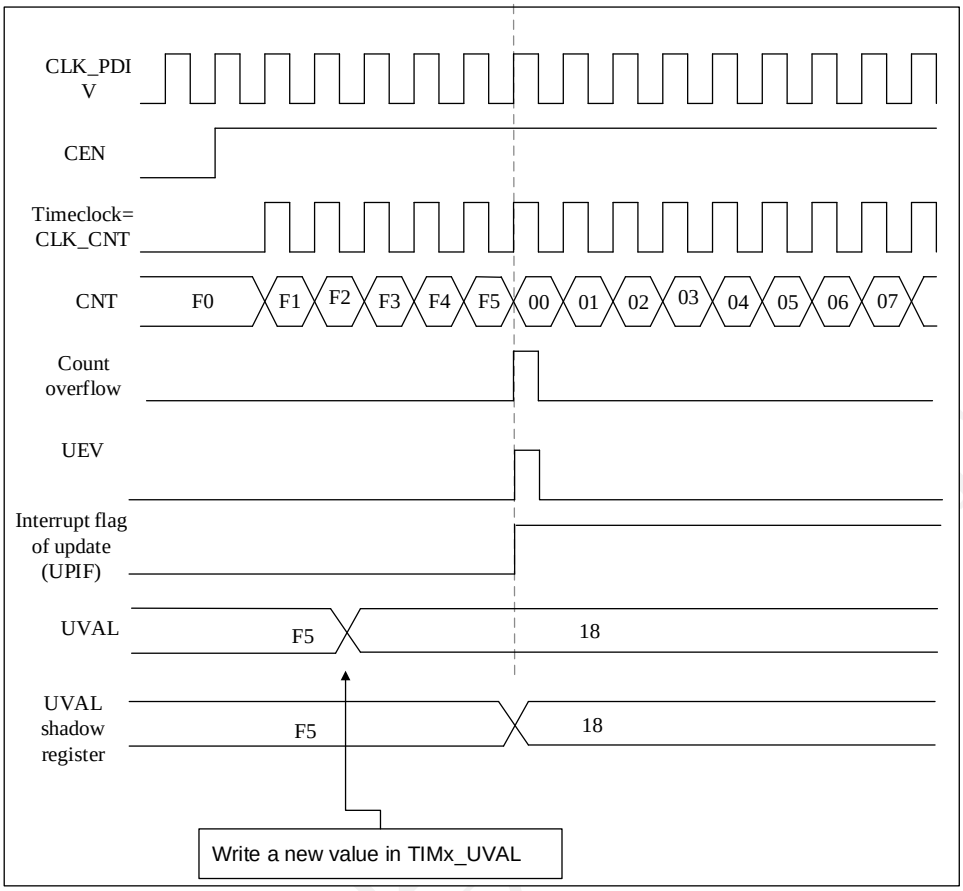


图 45 当 UVALSEN = 0 时的更新事件，计数器时序图（TIMx_UVAL 未预装载）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 46 当 UVALSEN = 1 时的更新事件，计数器时序图（TIMx_UVAL 预装载）



向下计数模式

在向下计数模式下，计数器从自动重载值（TIMx_UVAL 寄存器的内容）向下计数到 0，然后从自动重载值重新启动并生成计数器下溢事件。

如果使用重复计数功能，则在计数达到计数器更新重复寄存器（TIMx_UVALREP）中的次数之后产生更新事件（UEV）。否则，在每次计数器下溢时生成更新事件。

将 TIMx_SWEGR 寄存器中的 UEG 位（通过软件或使用从机模式控制器）置 1 也会产生更新事件。

通过将 TIMx_CTR1 寄存器中的 UPD 位置 1 禁用 UEV 更新事件。这是为了避免在预装载寄存器中写入新值时更新影子寄存器。在 UPD 位写入 0 之前不会发生更新事件。但是，计数器从当前自动重载值重新开始，而预分频器的计数器从 0 重新开始（但预分频值不会改变）。

此外，如果 TIMx_CTR1 寄存器中的 URSEL 位（更新请求选择）被置位，则 UEG 位写 1 会生成更新事件 UEV 但不置位 UPIF 标志（因此不会生成中断或 DMA 请求）。这是为了避免在捕获事件下清除计数器时，同时生成更新和捕获中断。

注：计数器配置为向下计数模式，UPIF 会在 CEN 从无效变为有效时置位，需要软件执行一次清除操作。

发生更新事件时，将更新所有寄存器并依据 URSEL 置位更新标志（TIMx_STS 寄存器中的 UPIF 位）：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 重复计数器重新加载 TIMx_UVALREP 寄存器的内容
- 预分频器的缓冲器重载了预载值（TIMx_PDIV 寄存器的内容）
- 自动重载影子寄存器更新为预装载值（TIMx_UVAL）。请注意，在重新加载计数器之前会更新自动重载寄存器，以便下一个周期是预期的值。

下图显示了 TIMx_UVAL = 0x18 时不同时钟频率的计数器行为的一些示例。

图 47 内部时钟分频系数为 1 时的计数器时序图

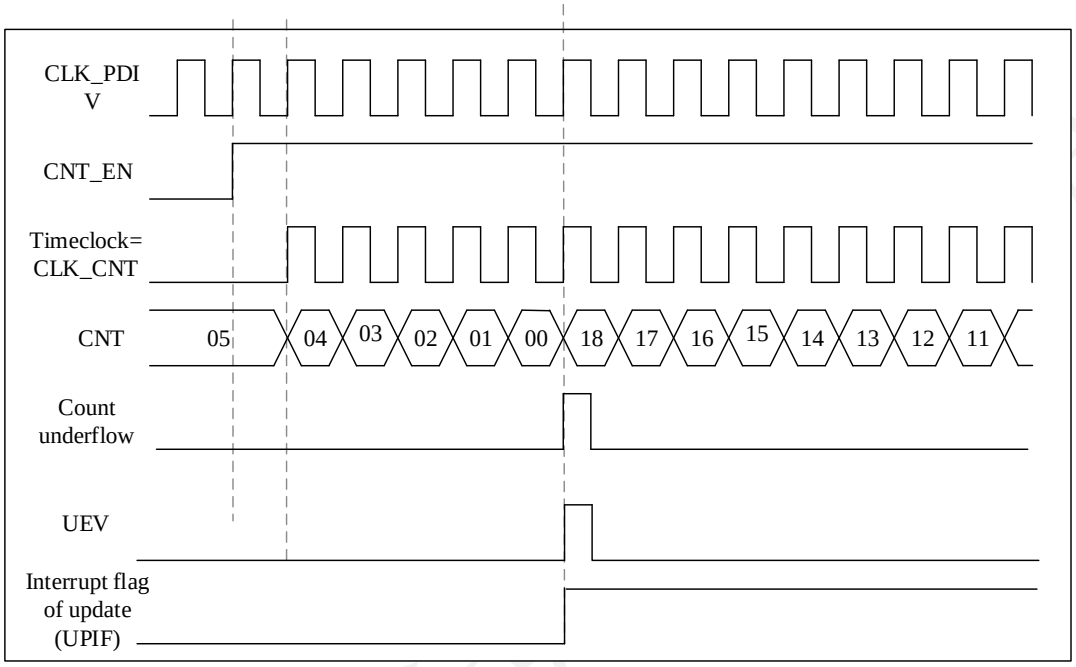
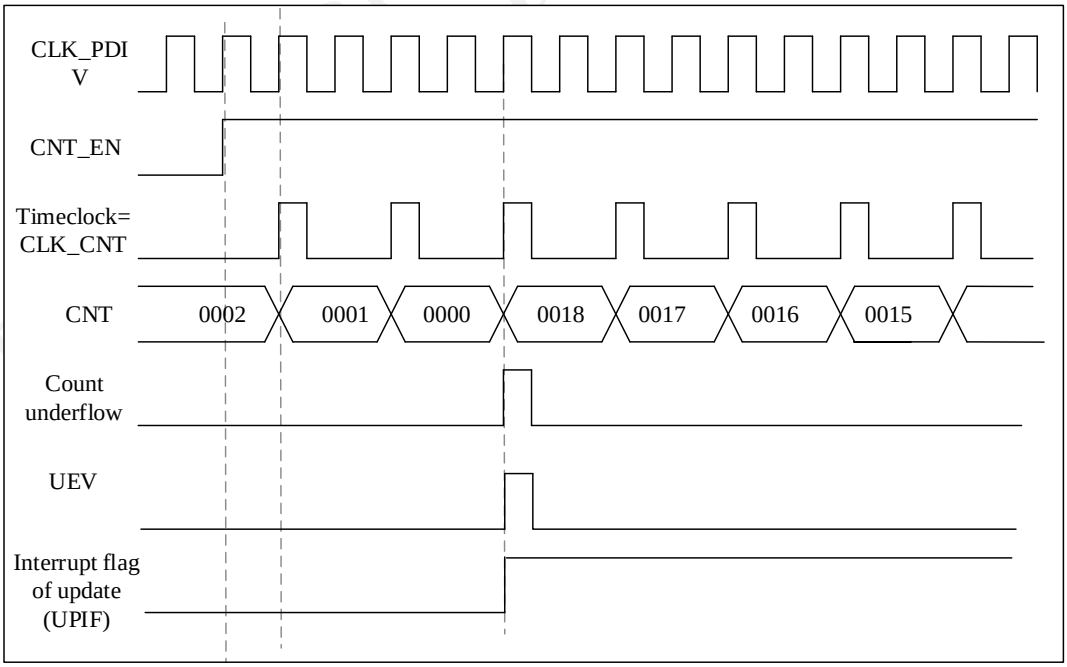


图 48 内部时钟分频系数为 2 时的计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 49 内部时钟分频系数为 4 时的计数器时序图

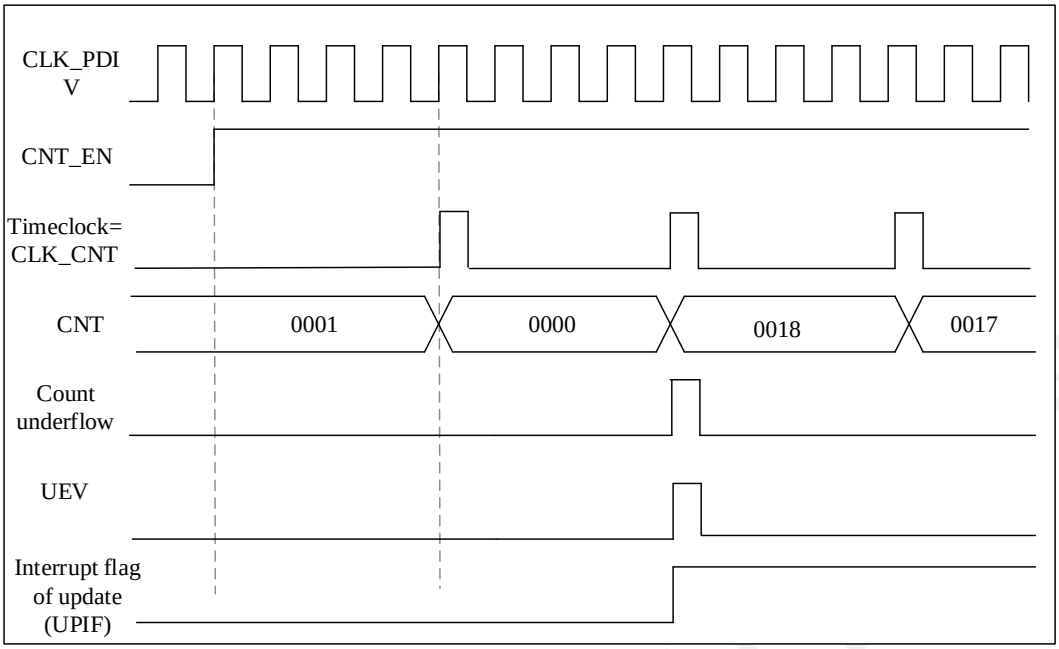
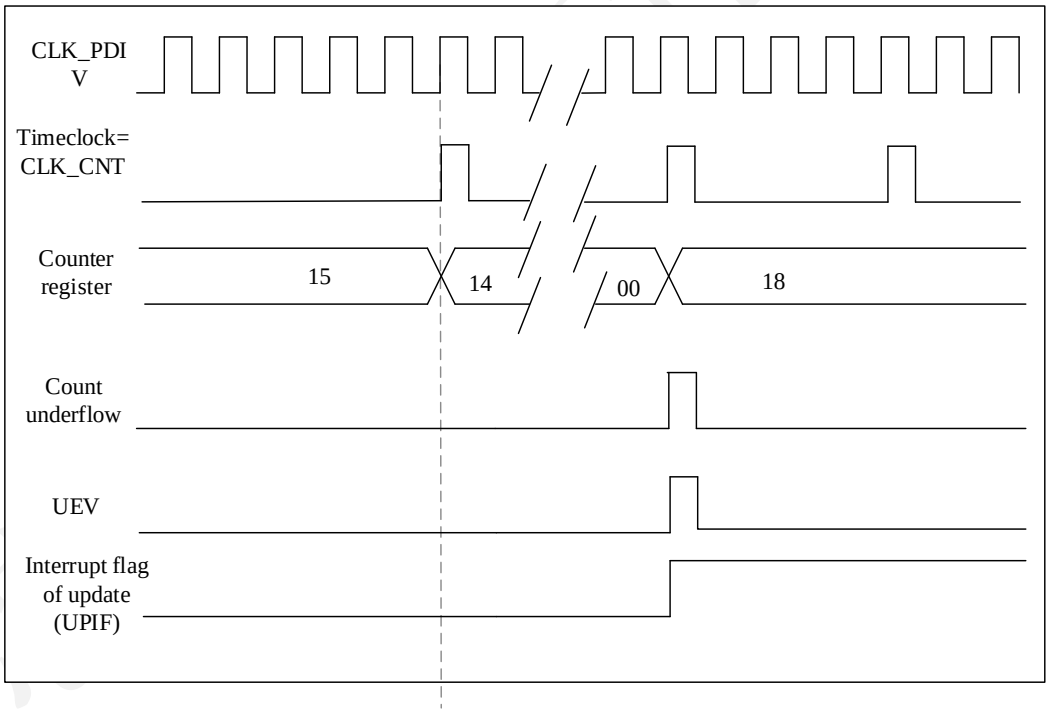
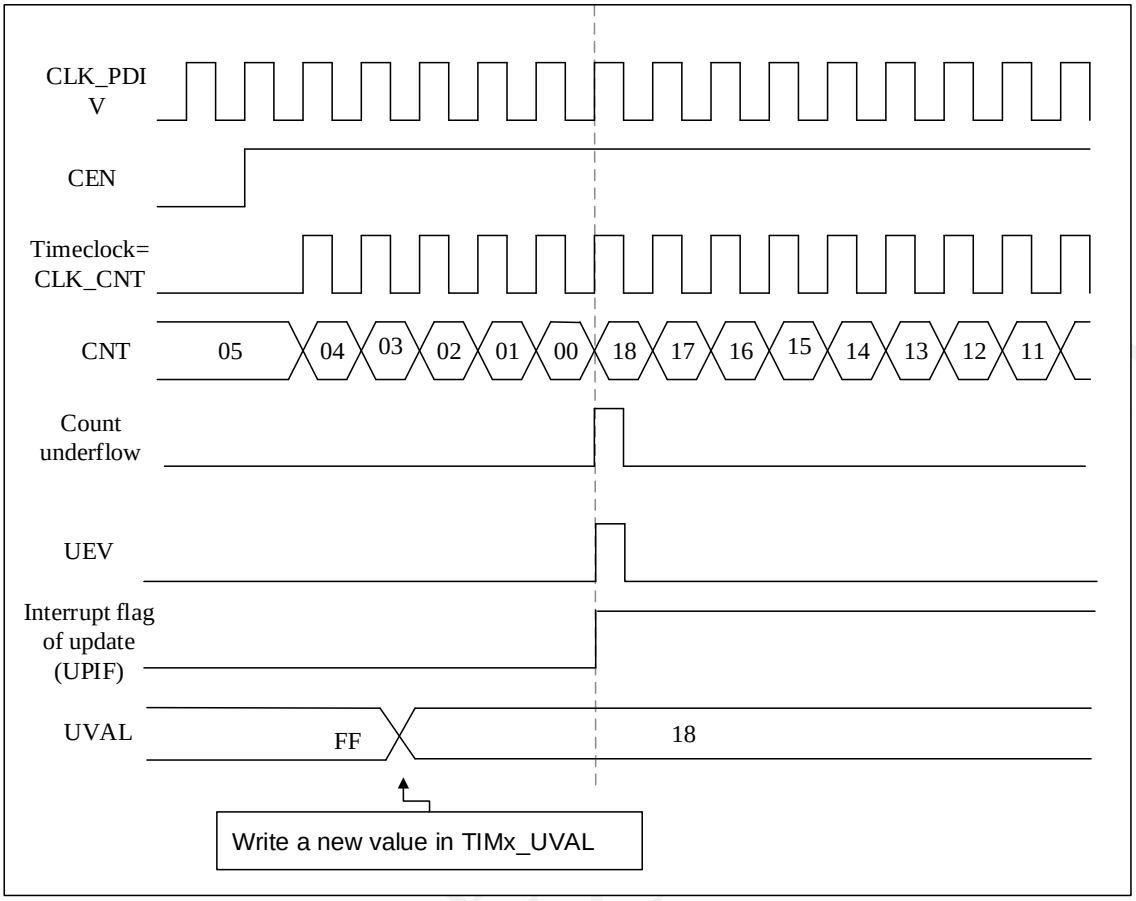


图 50 内部时钟分频系数为 N 时的计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 51 当 UVAL SEN= 0 时的更新事件，计数器时序图（TIMx_UVAL 未预装载）



中央对齐模式（向上/向下计数）

在中央对齐模式下，计数器从 0 计数到自动重载值（TIMx_UVAL 寄存器的内容）-1，产生计数器上溢事件，然后从自动重载值向下计数到 1 并生成计数器下溢事件。然后重新从 0 开始计数。

当 TIMx_CTR1 寄存器中的 CPS 位不等于 00 时，中央对齐模式有效。通道配置为输出，输出比较中断标志在以下情况下置位：计数器向下计数时（中央对齐模式 1，CPS =“01”），计数器向上计数（中央对齐模式 2，CPS =“10”）和计数器向上和向下计数（中央对齐模式 3，CPS =“11”）。

此模式下，无法写入 TIMx_CTR1 寄存器中的 DIR 方向位。它由硬件更新以指示计数器的当前方向。

可以在每次计数器上溢和下溢时生成更新事件，或者通过向 TIMx_SWEGR 寄存器中的 UEG 位写 1（通过软件或使用从机模式控制器）也会生成更新事件。在这种情况下，计数器从 0 开始计数，预分频器的计数器也是如此。

通过置位 TIMx_CTR1 寄存器中的 UPD 位，可以禁止 UEV 更新事件。这是为了避免在预装载寄存器中写入新值时更新影子寄存器。在 UPD 位写入 0 之前不会发生更新事件。但是，计数器会根据当前的自动重载值继续向上和向下计数。

此外，如果 TIMx_CTR1 寄存器中的 URSEL 位（更新请求选择）被置位，则写 UEG 位为 1 会生成 UEV 更新事件，但不会置位 UPIF 标志（因此不会生成中断或 DMA 请求）。这是为了避免在捕获事件清除计数器时，同时产生更新和捕获中断。

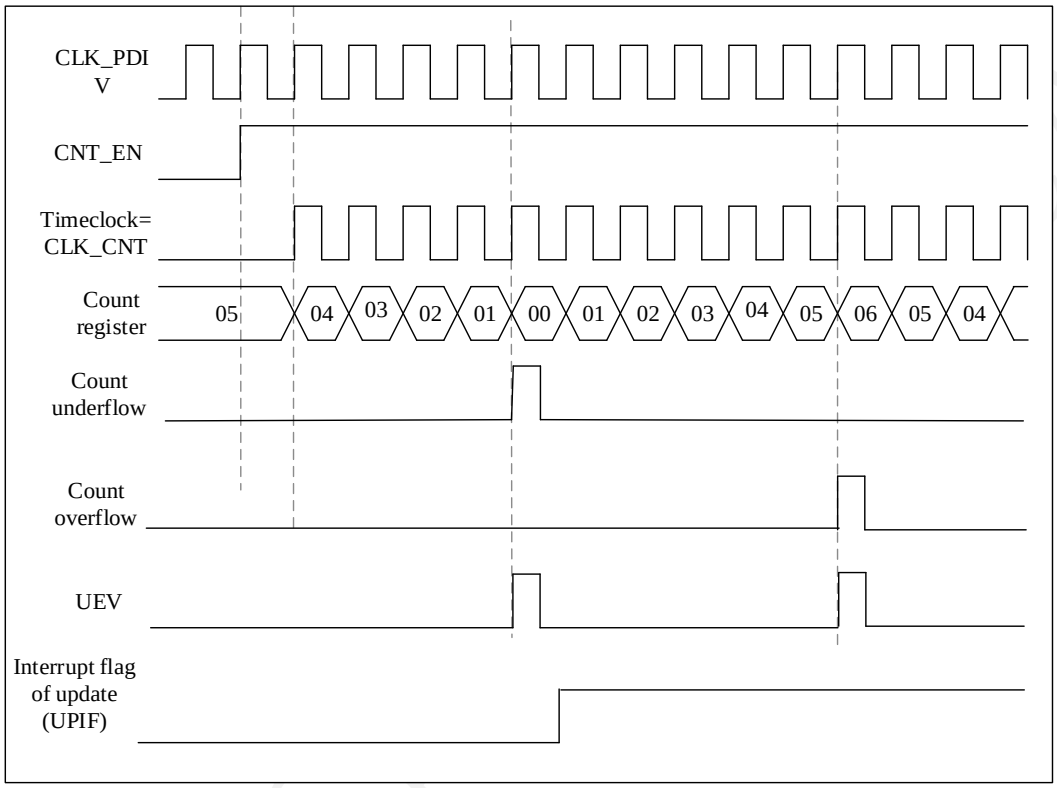
发生更新事件时，将更新所有寄存器并依据 URSEL 的值置位更新标志（TIMx_STS 寄存器中的 UPIF 位）：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 重复计数器重新加载 TIMx_UVALREP 寄存器的内容
- 预分频器的缓冲器重载了预载值（TIMx_PDIV 寄存器的内容）
- 自动重载影子寄存器更新为预装载值（TIMx_UVAL）。 请注意，如果更新源是计数器溢出，则在重新加载计数器之前更新自动重载寄存器，以便下一个周期是预期的值（计数器加载新值）。

下图显示了不同时钟频率的计数器行为的一些示例。

图 52 内部时钟分频系数为 1 时的计数器时序图，TIMx_UVAL = 0x6



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 53 内部时钟分频系数为 2 时的计数器时序图

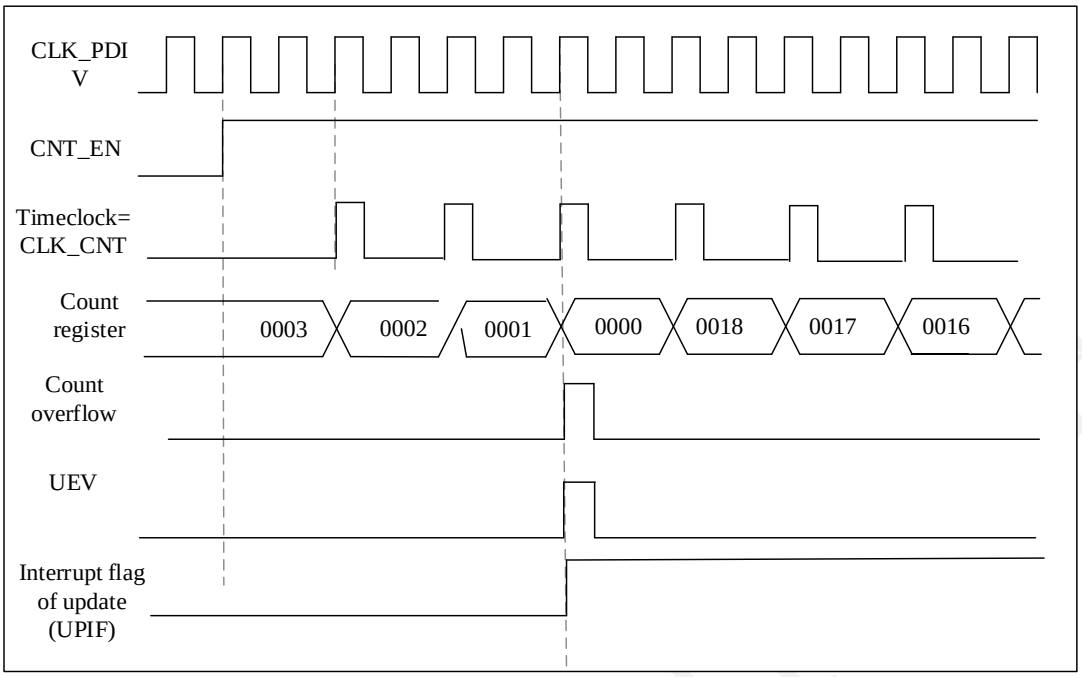
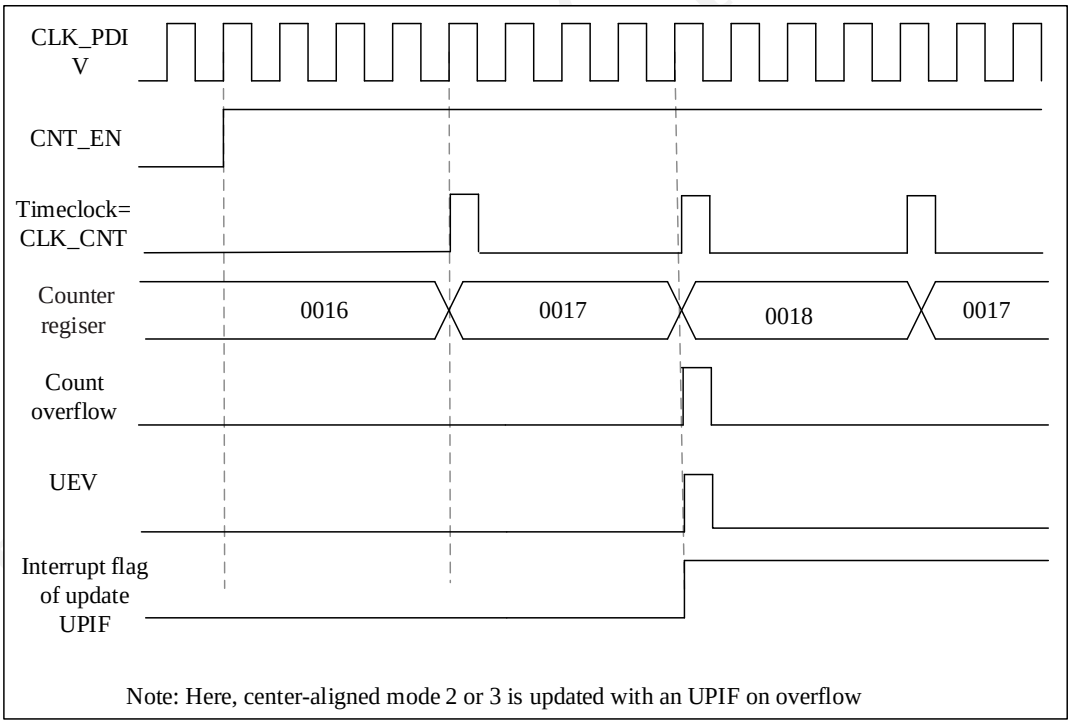
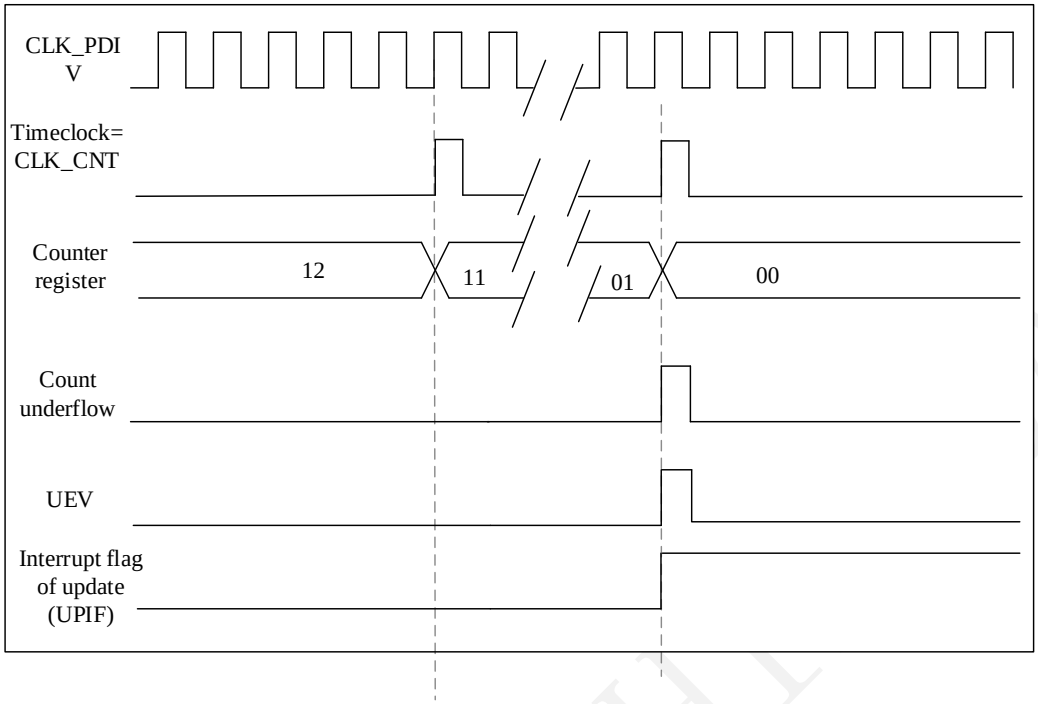


图 54 内部时钟分频系数为 4 时的计数器时序图,TIMx_UVAL=0x18



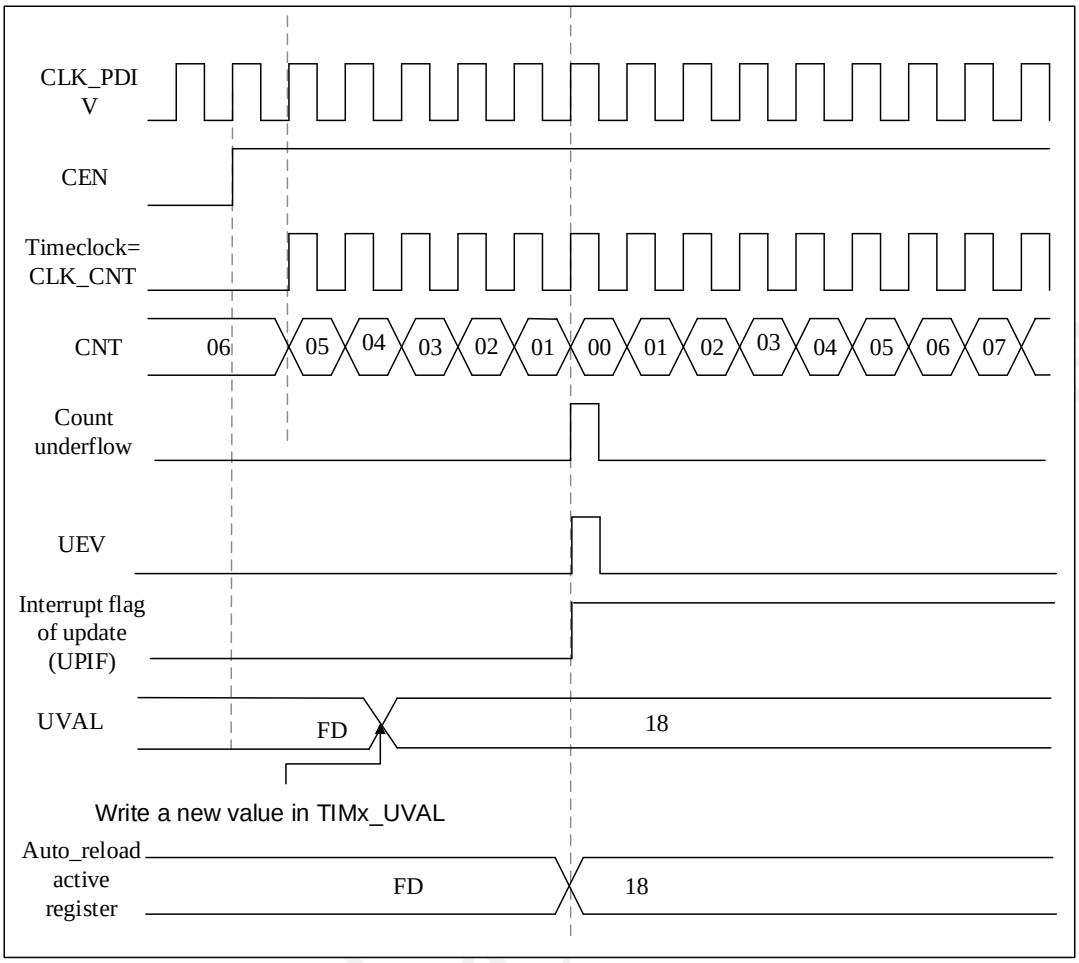
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 55 内部时钟分频系数为 N 时的计数器时序图



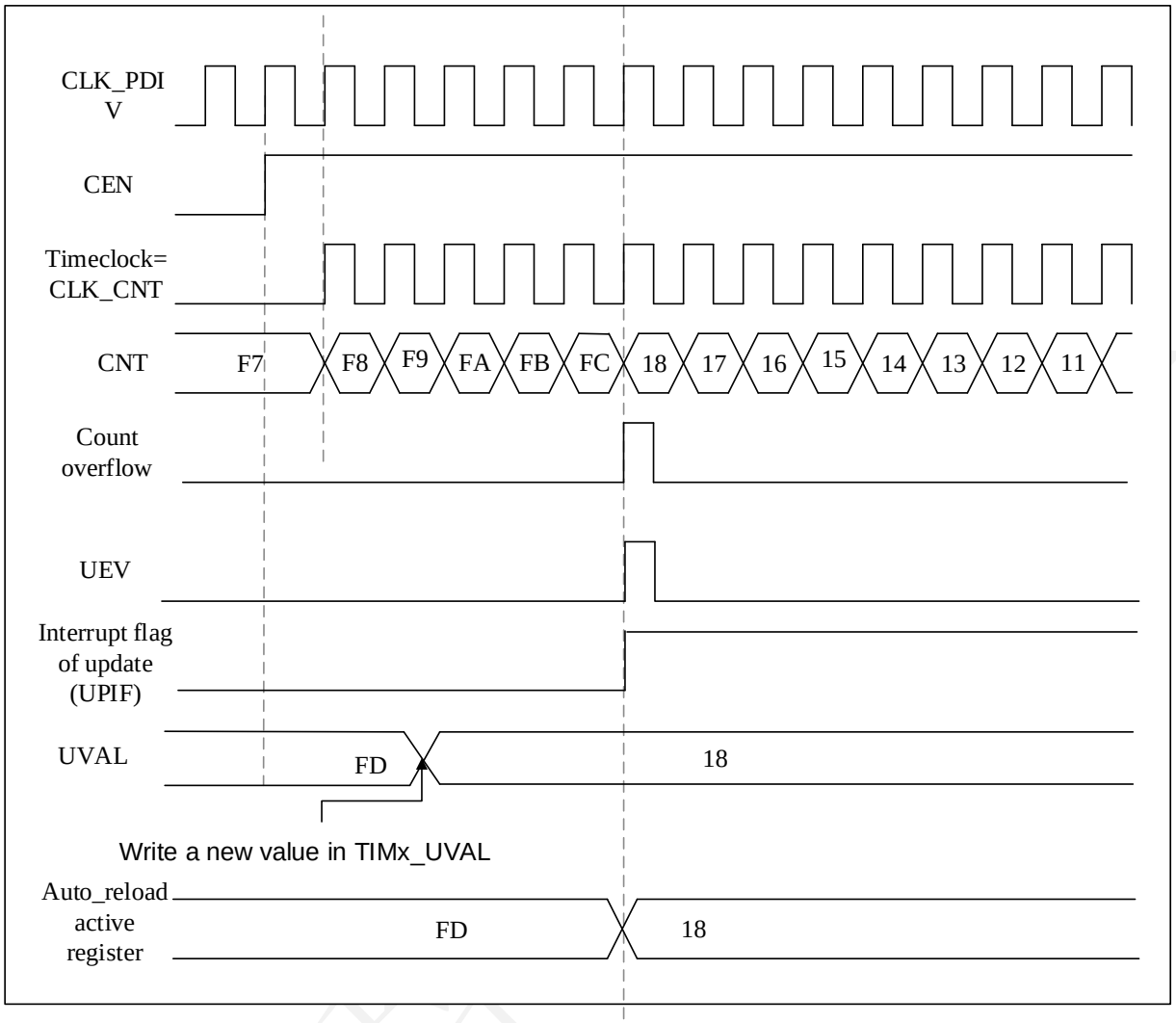
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 56 当 UVALSEN= 1 时的更新事件，计数器时序图（计数器下溢）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 57 当 UVALSEN = 1 时的更新事件，计数器时序图（计数器上溢）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

12.2.3 重复计数器

时基单元描述了计数器溢出如何生成更新事件（UEV）。它实际上仅在重复计数器为零时生成。这在生成 PWM 信号时非常有用。

这意味着每 N 个计数器上溢或下溢事件，数据从预装载寄存器传输到影子寄存器（TIMx_UVAL 计数器更新寄存器，TIMx_PDIV 预分频器寄存器，以及比较模式下的 TIMx_CHxCCVAL 捕获/比较寄存器），其中 N 是 TIMx_UVALREP 重复计数器寄存器的值。

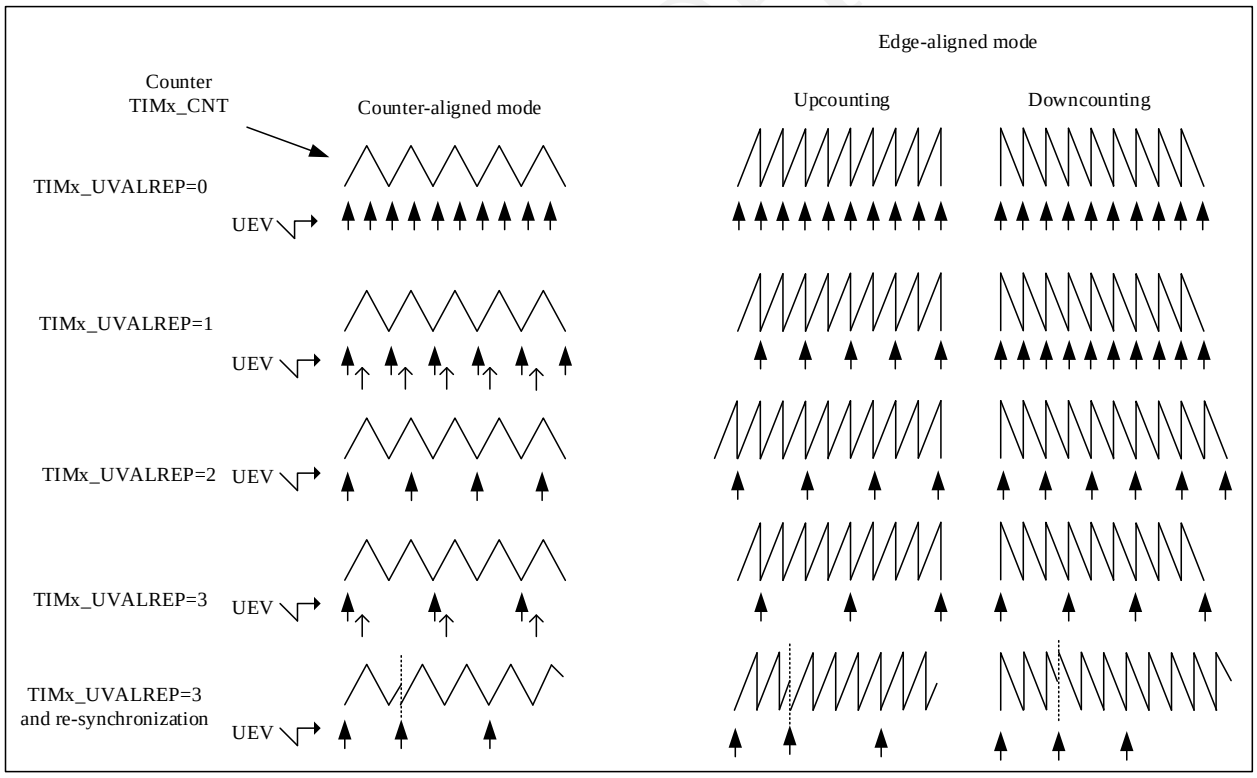
重复计数器递减：

- 在向上计数模式下，每次计数器上溢时，
- 在向下计数模式下，每次计数器下溢时，
- 在中央对齐模式下，计数器每次的向上溢出和向下溢出。。

重复计数器是自动重载的;重复速率由 TIMx_UVALREP 寄存器值定义（参见图 58）。更新事件由软件生成（通过置位 TIMx_SWEGR 寄存器中的 UEG 位）或硬件通过从器件生成模式控制器，无论重复计数器的值是什么，它都立即发生，并且重复计数器重新加载 TIMx_UVALREP 寄存器的内容。

在中央对齐模式下，UVALREP 为奇数值，更新事件在上溢或下溢时发生，具体取决于写入 UVALREP 寄存器的时间和计数器的启动时间。如果在启动计数器之前写入 UVALREP，则 UEV 会在溢出时发生。如果在启动计数器之后写入 UVALREP，则 UEV 在下溢时发生。例如，对于 UVALREP＝3，根据写入 UAVLREP 的时间，在每个第 4 个上溢或下溢事件上生成 UEV。

图 58 根据计数模式和 TIMx_UVALREP 寄存器设置的更新速率示例



注意：选择边沿向上计数模式和中央对齐模式时，定时器在 UVALREP+1 个溢出事件后产生更新事件；选在边沿向下计数模式时，定时器在 UVALREP 个溢出事件（UVALREP＞0）后产生更新事件。

12.2.4 时钟源

计数器时钟可由以下时钟源提供：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

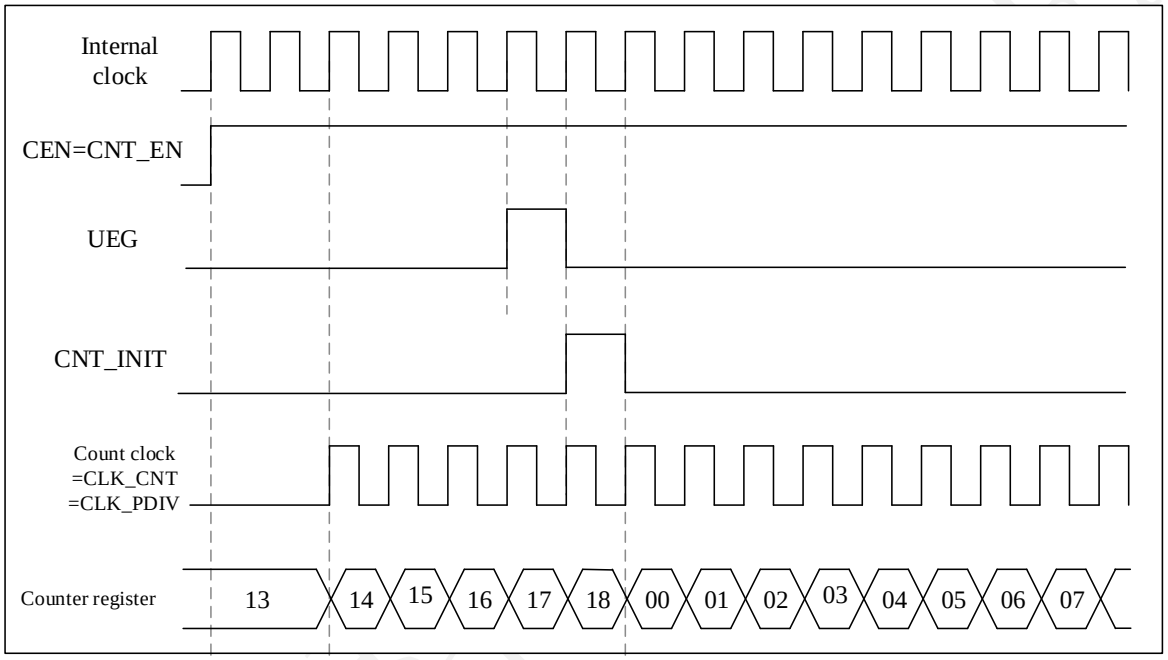
- 内部时钟（CLK_INT）
- 外部时钟模式 1：外部输入引脚
- 外部时钟模式 2：外部触发输入 ETR
- 内部触发输入（ITRx）：使用一个定时器作为另一个定时器的预分频器，例如，可以将定时器 1 配置为定时器 2 的预分频器。

内部时钟源（CLK_INT）

如果禁用从机模式控制器（SMCFG＝000），则 CEN，DIR（在 TIMx_CTR1 寄存器中）和 UEG 位（在 TIMx_SWEGR 寄存器中）是实际控制位，只能由软件更改（ 除 UEG 自动被清除外）。 一旦 CEN 位写入 1，预分频器就由内部时钟 CLK_INT 提供时钟。

图 59 显示了没有预分频器的一般模式下控制时序和向上计数器的行为。

图 59 一般模式下的控制时序，内部时钟分频系数为 1

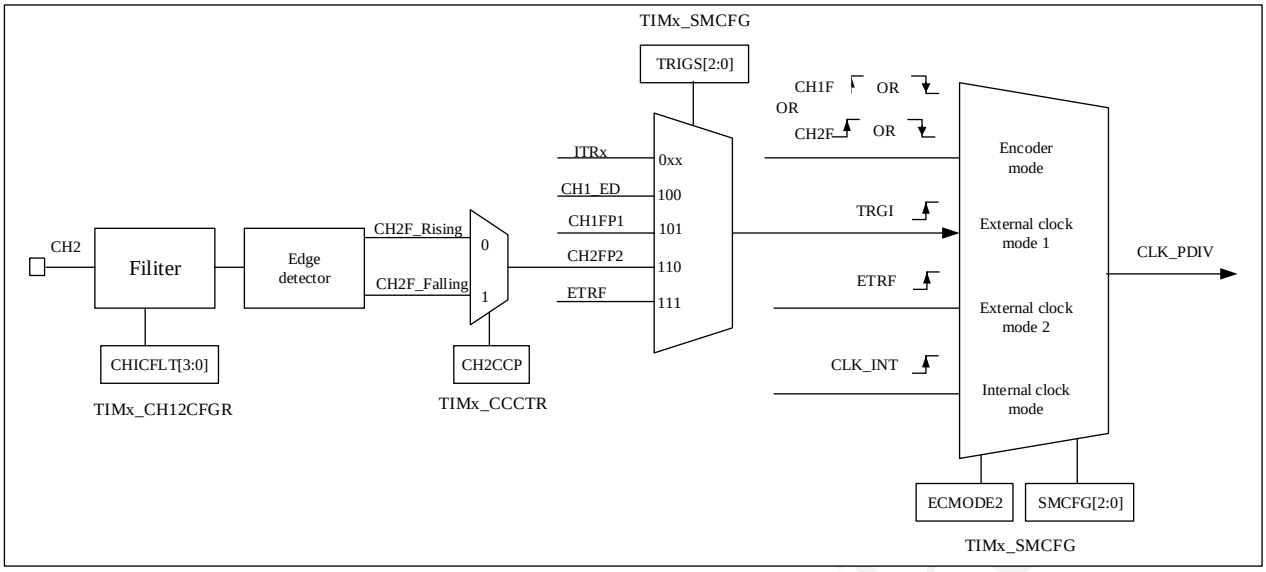


外部时钟源模式 1

当 TIMx_SMCFG 寄存器中的 SMCFG = 111 时，选择此模式。 计数器可以在所选输入的每个上升沿或下降沿计数。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 60 CH2 外部时钟连接示例



例如，要配置向上计数器来响应 CH2 输入的上升沿进行计数，请使用以下过程：

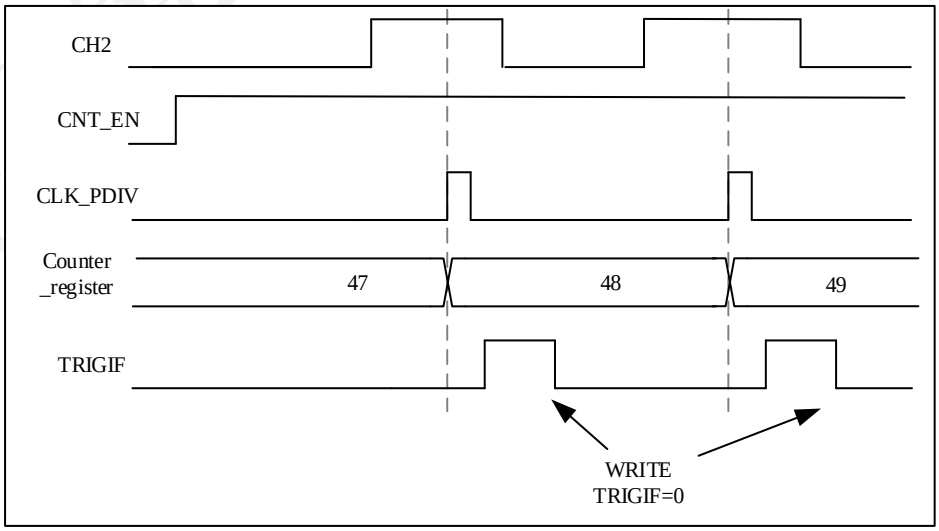
1. 通过在 TIMx_CH12CFGR 寄存器中写入 CH2FS = 01，将通道 2 配置为检测 CH2 输入的上升沿。
2. 通过写入 TIMx_CH12CFGR 寄存器中的 CH2ICFLT [3：0]位来配置输入滤波器持续时间（如果不需要滤波器，则保持 CH2ICFLT= 0000）。
3. 通过在 TIMx_CCCTR 寄存器中写入 CH2CCP = 0 来选择上升沿极性。
4. 通过在 TIMx_SMCFG 寄存器中写入 SMCFG = 111，配置定时器工作在外部时钟模式 1 下。
5. 通过在 TIMx_SMCFG 寄存器中写入 TRIGS= 110，选择 CH2 作为输入源。
6. 通过在 TIMx_CTR1 寄存器中写入 CEN = 1 来使能计数器。

注意：捕获预分频器不用于触发，因此您无需进行配置。

当 CH2 上出现上升沿时，计数器计数一次，并且 TRIGIF 标志被置位。

CH2 的上升沿与计数器的实际时钟之间的延迟是由 CH2 输入上的重新同步电路引起的。

图 61 外部时钟模式 1 下的控制时序



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

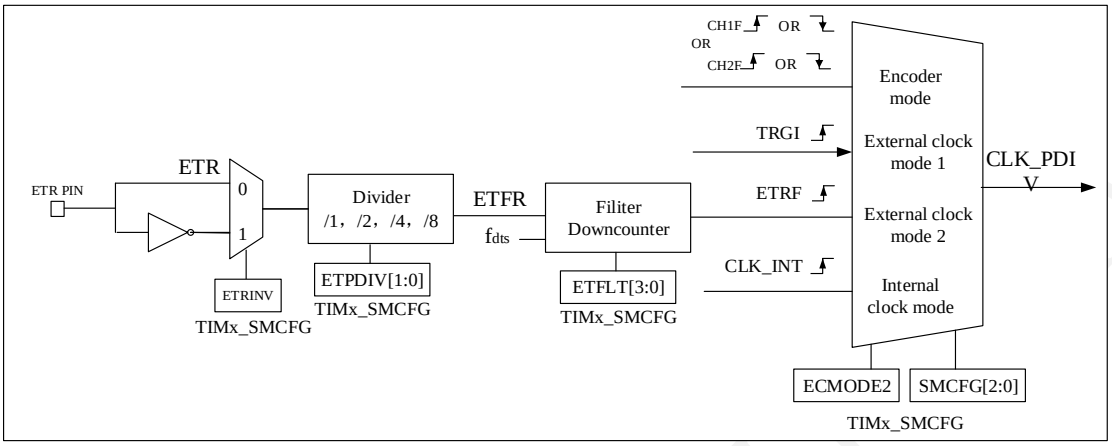
外部时钟源模式 2

通过在 TIMx_SMCFG 寄存器中写入 ECMODE2 = 1 来选择该模式。

计数器可以在外部触发输入 ETR 的每个上升沿或下降沿计数。

图 62 给出了外部触发输入模块的概述。

图 62 外部触发输入框图



例如，配置 ETR 上的每 2 个上升沿计数器向上计数一次，请使用以下过程：

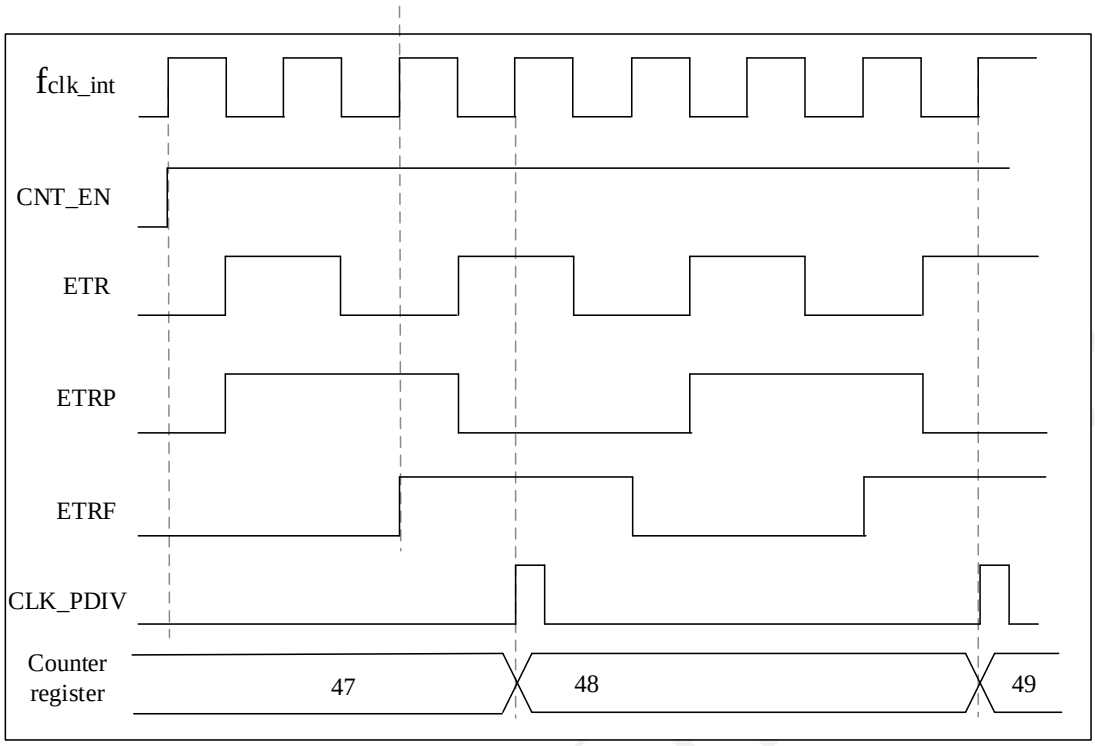
1. 由于此示例中不需要滤波器，因此在 TIMx_SMCFG 寄存器中写入 ETFLT [3：0] = 0000。
2. 通过在 TIMx_SMCFG 寄存器中写入 ETPDIV[1：0] = 01 来设置预分频器
3. 通过在 TIMx_SMCFG 中写入 ETRINV= 0，在 ETR 引脚上选择上升沿检测
4. 通过在 TIMx_SMCFG 寄存器中写入 ECMODE2 = 1 来使能外部时钟模式 2。
5. 通过在 TIMx_CTR1 寄存器中写入 CEN = 1 来使能计数器。

计数器每 2 个 ETR 上升沿计数一次。

ETR 上升沿与计数器实际时钟之间的延迟是由于 ETRP 信号上的重新同步电路。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 63 外部时钟模式 2 下的控制时序



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

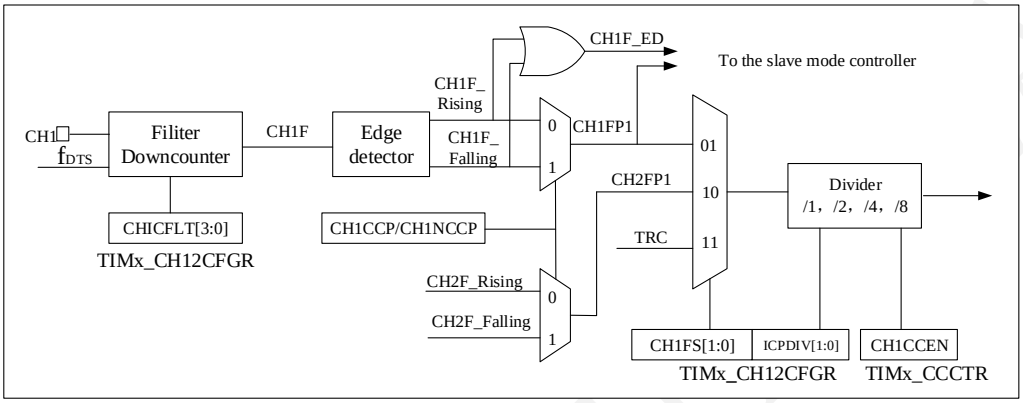
12.2.5 捕获/比较通道

每个捕获/比较通道由捕获/比较寄存器（包括影子寄存器），捕获输入级（包括数字滤波器，多路复用和预分频器）和输出级（包括比较器和输出控制）组成。

图 64 和图 67 概述了一个捕获/比较通道。

输入级对相应的 CHx 输入进行采样以产生滤波信号 CHxF。然后，具有极性选择的边沿检测器产生信号（CHxFPx），其可以用作从机模式控制器的触发输入或用作捕获命令。 它在捕获寄存器之前预分频。

图 64 捕获/比较通道（例如：通道 1 输入级）



输出级生成一个中间波形，然后用于参考：CHxOCREF（高电平有效）。 极性取决于链的末端。

图 65 捕获/比较通道 1 主电路

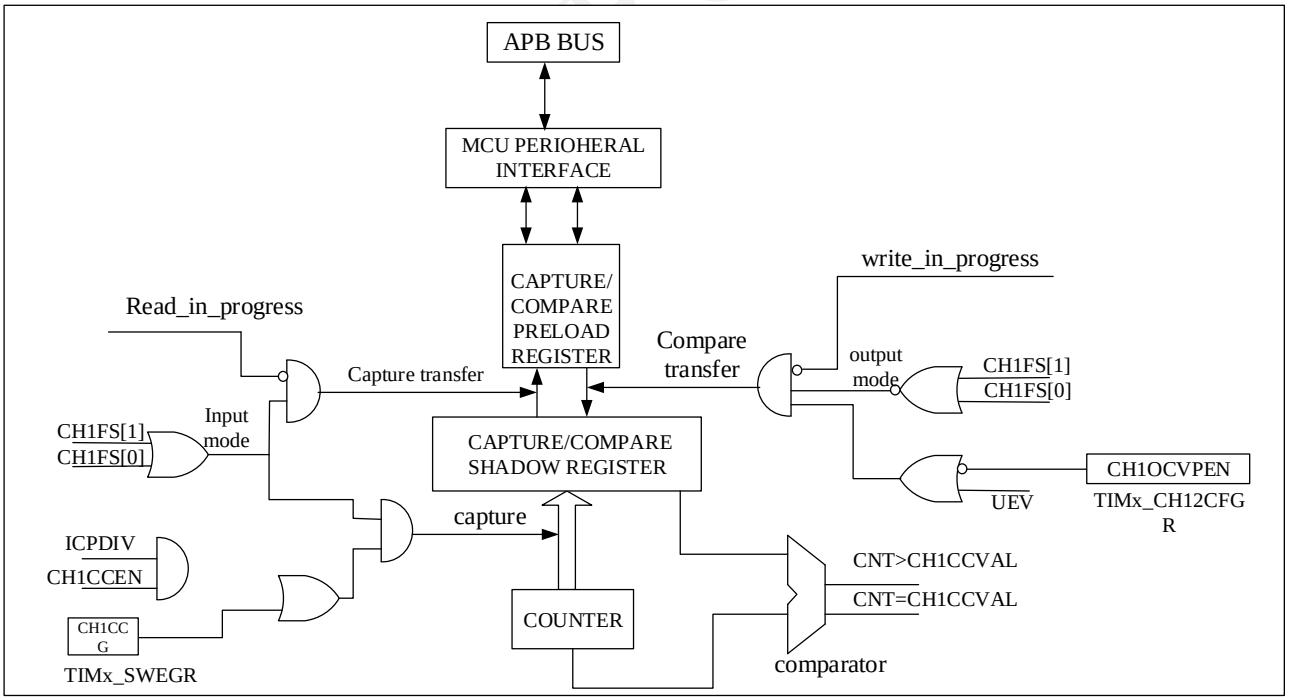


图 66 捕获/比较通道的输出级（通道 1 到 3）

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

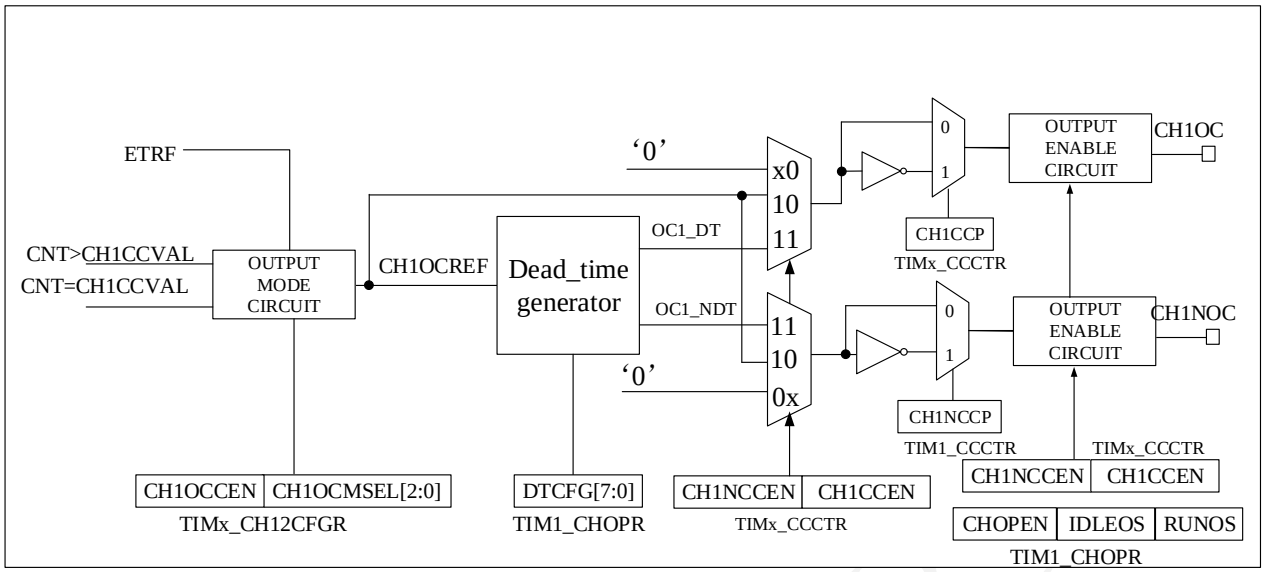
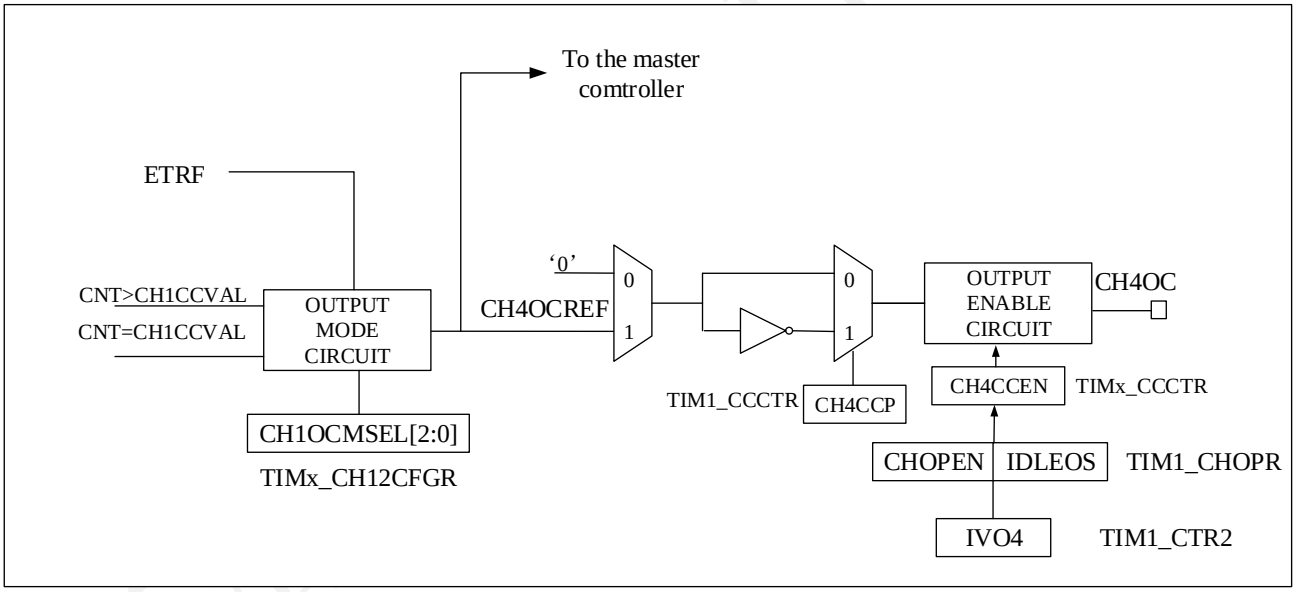


图 67 捕获/比较通道的输出级（通道 4）



捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。 写入和读取始终访问预装载寄存器。

在捕获模式下，捕获实际上在影子寄存器中完成，该寄存器被复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，该寄存器与计数器进行比较。

12.2.6 输入捕获模式

在输入捕获模式下，在相应 CHx 信号检测到数据变化后,将计数器的值锁存到捕获/比较寄存器（TIMx_CH1CCVAL）中。发生捕获时，会置位相应的 CHxCCIF 标志（TIMx_STS 寄存器），如果使能了中断或 DMA 请求，则可以产生中断和 DMA 请求。如果在 CH1CCIF 标志已经为高电平时发生捕获，则置位捕获溢出标志 CH1ICOF（存在于 TIMx_STS 寄存器中）。 CHxCCIF 可以通过软件将其写入 0 或读取存储在 TIMx_CHxCCVAL 寄存器中的捕获数据来清除。当将其写入 0 时，CHxICOF 将被清除。

以下示例显示当 CH1 输入上升沿时如何捕获计数器的值到 TIMx_CH1CCVAL 中。使用以下步骤：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 选择有效输入：TIMx_CH1CCVAL 必须连接到 CH1 输入，因此在 TIMx_CH12CFGR 寄存器中将 CH1FS 位写入 01。一旦 CH1FS 不是 00，通道被配置成输入，TIMx_CH1CCVAL 寄存器变为只读。
- 根据连接到定时器的信号，配置所需的输入滤波器持续时间（TIMx_CHxxCFGR 寄存器中的 CHxICFLT 位），例如，当数据翻转时，输入信号在 5 个内部时钟周期时不稳定。我们必须将滤波器持续时间编程为超过这 5 个时钟周期。当检测到 8 个连续样本（以 f_{DTS} 频率采样）时，CH1 上新的有效边沿变换，在 TIMx_CH12CFGR 寄存器中将 CH1ICFLT 位写入 0011 即可。
- 通过将 TIMx_CCCTR 寄存器中的 CH1CCP 和 CH1NCCP 位写入 0（在本例中为上升沿），选择 CH1 通道上有效转换的边沿。
- 配置输入预分频器。在我们的示例中，我们希望在每次有效转换时执行捕获，因此禁用预分频器（在 TIMx_CH12CFGR 寄存器中将 CH1ICPS 位写入 00）。
- 通过将 TIMx_CCCTR 寄存器中的 CH1CCEN 位置 1，使能捕获功能，发生捕获时可以将计数器值捕获到捕获寄存器。
- 如果需要，通过置位 TIMx_DIEN 寄存器中的 CH1INTEN 位来使能中断请求，通过将 TIMx_DIEN 寄存器中的 CH1DEN 位置 1 来使能相关的 DMA 请求。

发生输入捕获时：

- 在有效转换时，TIMx_CH1CCVAL 寄存器捕获计数器的值。
- CH1CCIF 标志置位（中断标志）。 如果至少发生两次连续捕获而标志未被清除，则 CH1ICOF 也会置位。
- 根据 CH1INTEN 位产生中断。
- 根据 CH1DEN 位生成 DMA 请求。

为了处理捕获溢出，建议在捕获溢出标志之前读取数据。 这是为了避免错过在读取标志之后和读取数据之前可能发生的捕获溢出。

注：通过写 TIMx_SWEGR 寄存器中相应的 CHxCCG 位为 1，软件可以生成 CHx 捕获中断/DMA 请求。

12.2.7 PWM 输入模式

此模式是输入捕获模式的特定情况。配置步骤相同，除了：

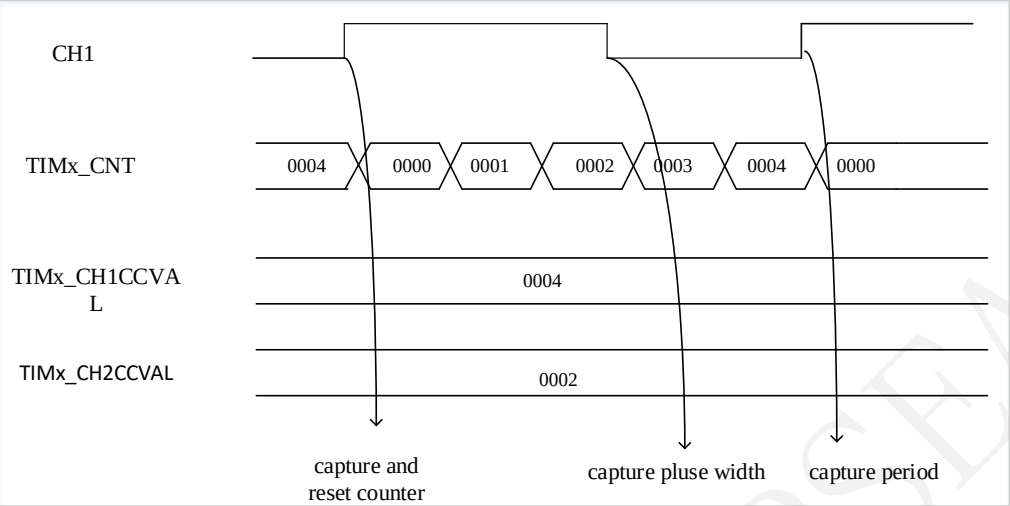
- 两个通道映射在同一 CHx 上。
- 这两个通道信号有效极性相反的。
- 选择两个 CHxFP 信号中的一个作为触发输入，并将从机模式控制器配置为复位模式。

例如，可以使用以下步骤（取决于 CLK_INT 频率和预分频值）测量 CH1 上施加的 PWM 的周期（在 TIMx_CH1CCVAL 寄存器中）和占空比（在 TIMx_CH2CCVAL 寄存器中）：

- 选择 TIMx_CH1CCVAL 的有效输入：将 TIM1_CH12CFGR 寄存器中的 CH1FS 位写入 01（选择 CH1）。
- 选择 CH1FP1 的有效极性（用于 TIMx_CH1CCVAL 中的捕获和计数器清零）：将 CH1CCP 写入“0”，将 CH1NCCP 位写入“0”（上升沿有效）。
- 选择 TIMx_CH2CCVAL 的有效输入：将 TIM2_CH12CFGR 寄存器中的 CH2FS 位写入 10（选择 CH1）。
- 选择 CH1FP2 的有效极性（用于 TIMx_CH2CCVAL 中的捕获）：将 CH2CCP 位写入“1”，将 CH2NCCP 位写入“0”（下降沿有效）。
- 选择有效的触发输入：将 TIMx_SMCFG 寄存器中的 TRIGS 位写入 101（选择 CH1FP1）。
- 配置从机模式控制器为从复位模式：在 TIMx_SMCFG 寄存器中将 SMCFG 位写入 100。
- 使能捕获：将 TIMx_CCCTR 寄存器中 CH1CCEN 和 CH2CCEN 位写入“1”。

图 68 PWM 输入模式时序图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



12.2.8 强制输出模式

在输出模式下（TIMx_CHxxCFGR 寄存器中的 CCxFS 为 00），每个输出比较信号（CHxOCREF 和 CHxOC/CHxNOC）可以通过软件直接强制为有效或无效电平，与输出比较寄存器和计数器之间的任何比较无关。

置输出比较信号（CHxOCREF / CHxOC）为有效电平，只需在相应的 TIMx_CHxxCFGR 寄存器的 CHxOCMSEL 位中写入 101。因此，CHxOCREF 被强制为高（CHxOCREF 始终为高电平有效），CHxOC 与 CHxCCP 极性位的值相反。

例如：CHxCCP = 0（CHxOC 高电平有效）=> CHxOC 被强制为高电平。

通过在 TIMx_CHxxCFGR 寄存器中将 CHxOCMSEL 位写入 100，可以将 CHxOCREF 信号强制为低电平。

无论如何，仍然执行 TIMx_CHxCCVAL 影子寄存器和计数器之间的比较，并允许置位标志位。可以相应地生成中断和 DMA 请求。输出比较模式部分对此进行了描述。

12.2.9 输出比较模式

此功能用于控制输出波形或指示一段给定的时间已经结束。

当捕获/比较寄存器和计数器之间发现匹配时，输出比较功能：

- 相应的输出引脚的值可以配置，由输出比较模式（TIMx_CHxxCFGR 寄存器中的 CHxOCMSEL 位）和输出极性（TIMx_CCCTR 寄存器中的 CHxCCP 位）共同决定。输出引脚可以保持其电平（CHxOCMSEL = 000），设置为有效（CHxOCMSEL = 001），设置为无效（CHxOCMSEL = 010）或可以匹配时翻转（CHxOCMSEL = 011）。
- 在中断状态寄存器中置位标志位（TIMx_STS 寄存器中的 CHxCCIF 位）。
- 如果相应的中断使能位被置 1（TIMx_DIEN 寄存器中的 CHxINTEN 位），则产生中断。
- 如果相应的 DMA 使能位置 1（TIMx_DIEN 寄存器中的 CHxDEN 位，TIMx_CTR2 寄存器中的 CHDMARS 位用于 DMA 请求选择），则发送 DMA 请求。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

可以配置 TIMx_CHxxCFGR 寄存器中的 CHxOCVPEN 位，TIMx_CHxCCVAL 寄存器使用或不使用预装载寄存器。

在输出比较模式中，更新事件 UEV 对 CHxOCREF 和 CHx 输出没有影响。定时器的精确度是计数器的一个计数时钟。输出比较模式也可用于输出单脉冲（在单脉冲模式下）。

配置步骤：

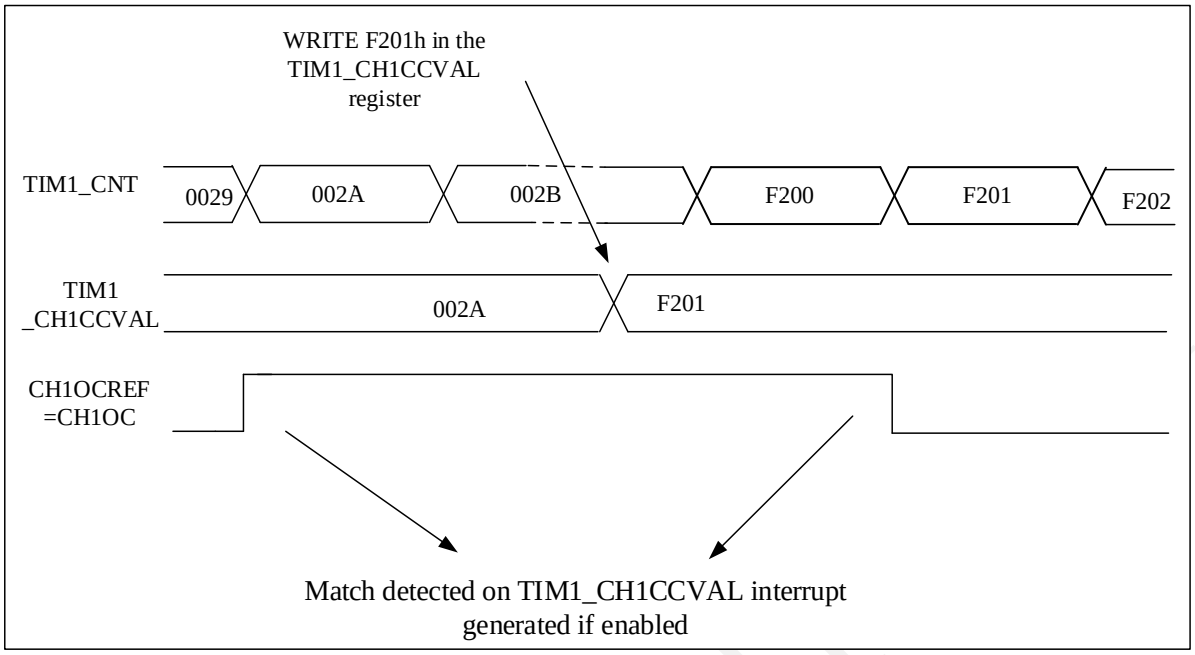
1. 选择计数器时钟（内部，外部，预分频器）。
2. 在 TIMx_UVAL 和 TIMx_CHxCCVAL 寄存器中写入所需数据。
3. 如果要发出中断请求，则需置位 CHxINTEN 位。
4. 选择输出模式。例如，
   - 写 CHxOCMSEL = 011，当 CNT 与 CHxCCVAL 匹配时，翻转 CHxOC 输出引脚；
   - 写 CHxOCVPEN = 0，不使用 CHxCCVAL 预装载；
   - 写 CHxCCP = 0，选择极性高有效
   - 写 CHxCCEN = 1，使能 CHxOC 输出。
5. 通过将 TIMx_CTR1 寄存器中的 CEN 位置 1 来使能计数器。

如果未使能预载寄存器（CHxOCVPEN = 0，否则 TIMx_CHxCCVAL 影子寄存器仅在下一个更新事件 UEV 时更新），可以随时通过软件更新 TIMx_CHxCCVAL 寄存器以控制输出波形。图 69 给出了一个

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

例子。

图 69 输出比较模式，CH1OC 翻转示意图



12.2.10　PWM 模式

脉冲宽度调制模式允许生成一个信号，其频率由 TIMx_UVAL 寄存器的值决定，占空比由 TIMx_CHxCCVAL 寄存器的值决定。

通过在 TIMx_CHxxCFGR 寄存器的 CHxOCMSEL 位中写入 110（PWM 模式 1）或 111（PWM 模式 2），可以在每个通道上独立选择 PWM 模式（每个 CHxOC 输出一个 PWM）。必须通过置位 TIMx_CHxxCFGR 寄存器中的 CHxOCVPEN 位来启用相应的预装载寄存器，并通过置位 TIMx_CTR1 寄存器中的 UVALSEN 位来使能自动重载预载寄存器（在向上计数或中央对齐模式下）。

由于仅在发生更新事件时将预装载寄存器传送到影子寄存器，因此在启动计数器之前，必须通过将 TIMx_SWEGR 寄存器中的 UEG 位写 1 来初始化所有寄存器。

CHxOC 极性可通过软件配置 TIMx_CCCTR 寄存器 CHxCCP 位。它可以编程为高电平有效或低电平有效。通过 TIMx_CCCTR 寄存器中的 CHxCCEN 位使能 CHxOC 输出。更多详细信息，请参见 TIMx_CCCTRx 寄存器说明。

在 PWM 模式（1 或 2）中，始终比较 TIMx_CNT 和 TIMx_CHxCCVAL 以确定 TIMx_CHxCCVAL≤TIMx_CNT 或 TIMx_CNT≤TIMx_CHxCCVAL（取决于计数器的方向）。

定时器能够以边沿对齐模式或中央对齐模式生成 PWM，具体取决于 TIMx_CTR1 寄存器中的 CPS 位。

注意：PWM 占空比的精度为一个预分频时钟。

PWM 边沿对齐模式

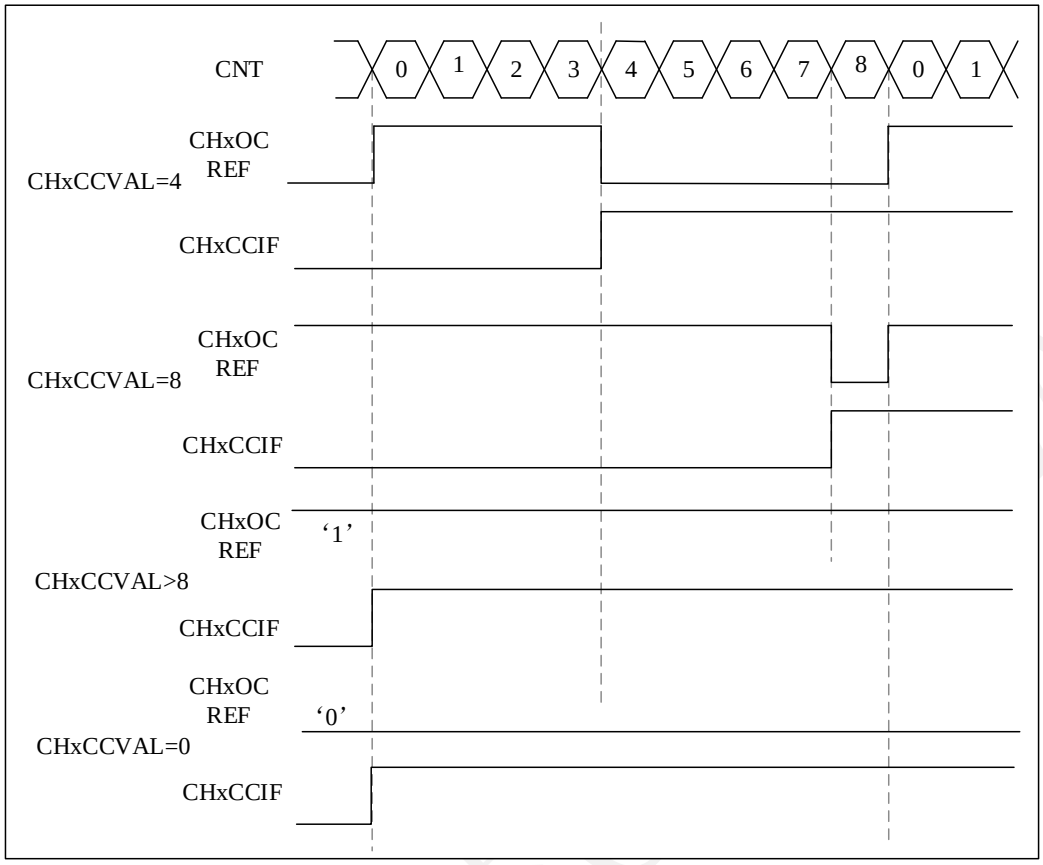
- **向上计数配置**

  当 TIMx_CTR1 寄存器中的 DIR 位为低电平时，向上计数有效。

  在下面的示例中，我们考虑 PWM 模式 1.只要 TIMx_CNT <TIMx_CHxCCVAL，参考 PWM 信号 CHxOCREF 就为高电平，否则它变为低电平。 如果 TIMx_CHxCCVAL 中的比较值大于自动重载值（在 TIMx_UVAL 中），则 CHxOCREF 保持为 1。如果比较值为 0，则 CHxOCREF 保持为 0。图 70 显示了 TIMx_UVAL = 8 时，一些边沿对齐的 PWM 波形。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 70 边沿对齐 PWM 波形（UVAL=8）



- **向下计数配置**

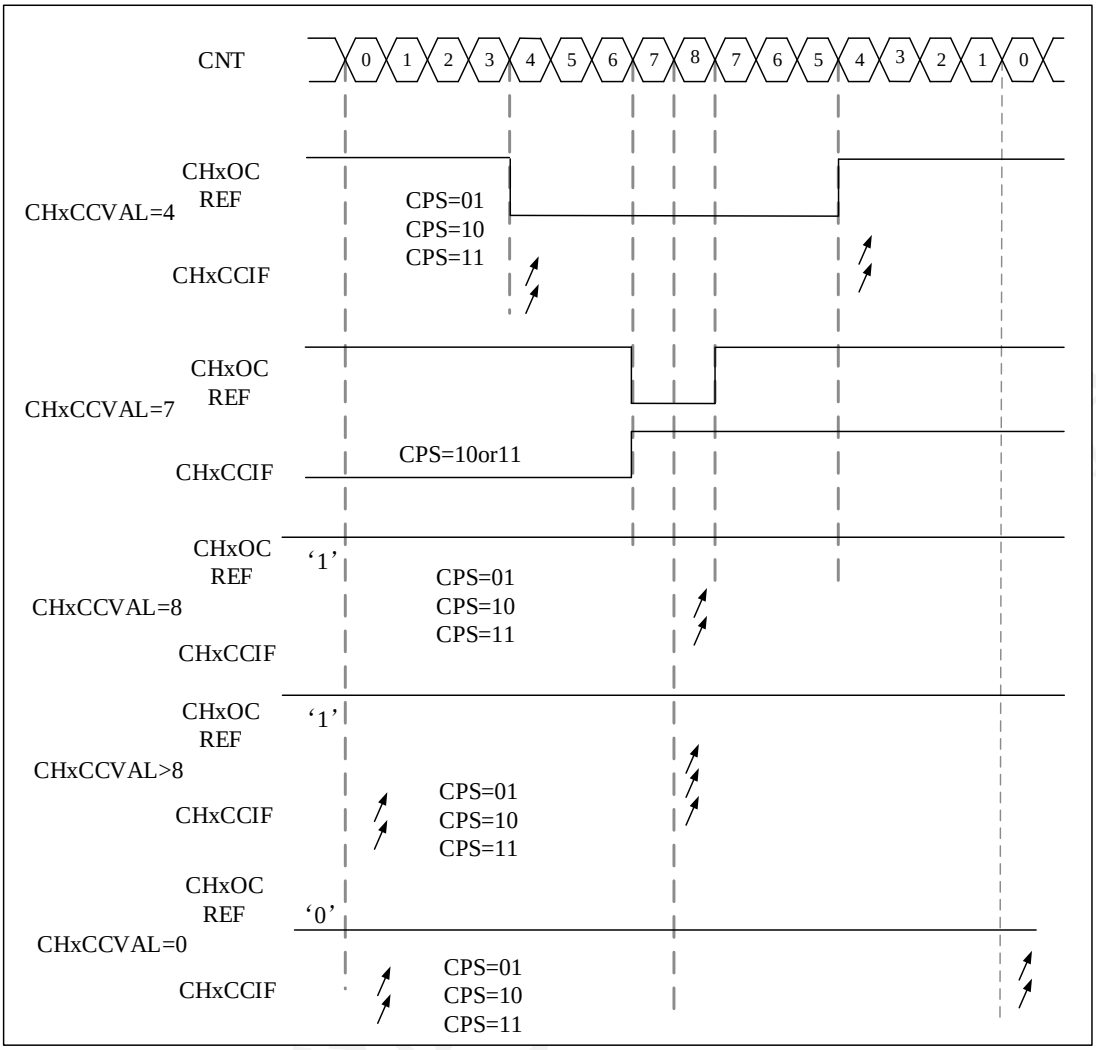
  当 TIMx_CTR1 寄存器中的 DIR 位为高电平时，向下计数有效。
  在 PWM 模式 1 中，只要 TIMx_CNT> TIMx_CHxCCVAL，参考信号 CHxOCREF 就为低，否则它变高。如果 TIMx_CHxCCVAL 中的比较值大于 TIMx_UVAL 中的 UVAL 值，则 CHxOCREF 保持为 1。在此模式下无法使用占空比 0%的 PWM。
  注意：当 CHxCCVAL 配置为 0 时，预分频系数 PDIV 也必须配置为 0。

- **PWM 中央对齐模式**

  当 TIMx_CTR1 寄存器中的 CPS 位不是 00 时（所有其余配置对 CHxOCREF / CHxOC 信号具有相同影响），中央对齐模式有效。比较匹配标志在计数器向上计数时，向下计数时，或在向上和向下计数时置位，具体取决于 CPS 位配置。 TIMx_CTR1 寄存器中的方向位（DIR）由硬件更新，禁止由软件更改。
  图 71 显示了一些中央对齐的 PWM 波形示例，其中：
  - TIMx_UVAL = 8，
  - PWM 模式代表 PWM 模式 1，
  - TIMx_CTR1 寄存器中为 CPS = 01 选择的中央对齐模式 1，当计数器向下计数时，该标志位被置位。

  图 71 中央对齐的 PWM 波形（UVAL = 8）

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



使用中央对齐模式的提示：

- 中央对齐模式时，使用当前的向上/下计数配置。 这意味着计数器根据写入 TIMx_CTR1 寄存器中 DIR 位的值向上或向下计数。 此外，软件不得同时更改 DIR 和 CPS 位。
- 建议不要在以中央对齐模式运行时写入计数器，因为它可能会导致意外结果。特别是：

  - 如果在计数器中写入的值大于自动重载值（TIMx_CNT> TIMx_UVAL），则不会更新方向。例如，如果计数器正在向上计数，它会继续向上计数。

  - 如果写入 0 或在计数器中写入 TIMx_UVAL 值但未生成更新事件 UEV，则更新方向。
- 使用中央对齐模式的最安全方法是在启动计数器之前通过软件（写 TIMx_SWEGR 寄存器中的 UEG 位）生成更新，而不是在计数器运行时写入计数器。

12.2.11　互补输出和死区插入

高级控制定时器（TIM1）可以输出两个互补信号，并管理输出的关闭和接通瞬间。

此时间通常称为死区时间，可以根据连接到输出的设备及其特性（电平转换器的固有延迟，电源开关引起的延迟.....）进行调整。

你可以为每个输出单独选择输出的极性（主输出 CHxOC 或互补 CHxNOC）。这是通过写入 TIMx_CCCTR 寄存器中的 CHxCCP 和 CHxNCCP 位来完成的。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

互补信号 CHxOC 和 CHxNOC 有效由几个控制位组合决定：TIMx_CCCTR 寄存器中的 CHxCCEN 和 CHxNCCEN 位以及 TIMx_CHOPR 和 TIMx_CTR2 寄存器中的 CHOPEN，IVOx，IVOxN，IDLEOS 和 RUNOS 位。特别是，当切换到 IDLE 状态（CHOPEN 变为 0）时，死区时间被激活。

通过置位 CHxCCEN 和 CHxNCCEN 位来启用死区插入，如果存在刹车电路则启用 CHOPEN 位。每个通道都有一个 10 位死区时间发生器。从参考波形 CHxOCREF，它产生 2 个输出 CHxOC 和 CHxNOC。如果 CHxOC 和 CHxNOC 处于高电平有效：

- CHxOC 输出信号与参考信号相同，但上升沿除外，该上升沿相对于参考上升沿存在延迟。
- 除上升沿之外，CHxNOC 输出信号与参考信号相反，上升沿相对于参考下降沿存在延迟。

如果延迟大于有效输出（CHxOC 或 CHxNOC）的宽度，则不会生成相应的脉冲。

下图显示了死区时间发生器的输出信号与参考信号 CHxOCREF 之间的关系。（在这些例子中，我们假设 CHxCCP= 0，CHxNCCP = 0，CHOPEN = 1，CHxCCEN= 1 且 CHxNCCEN = 1）

图 72 带有死区时间插入的互补输出

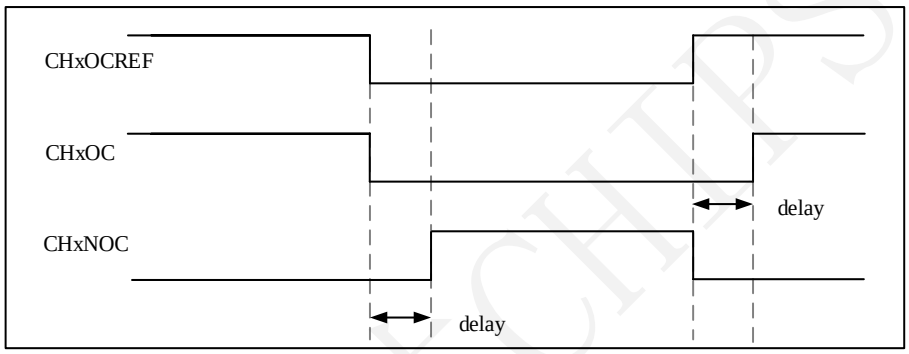


图 73 延迟大于负脉冲的死区时间波形

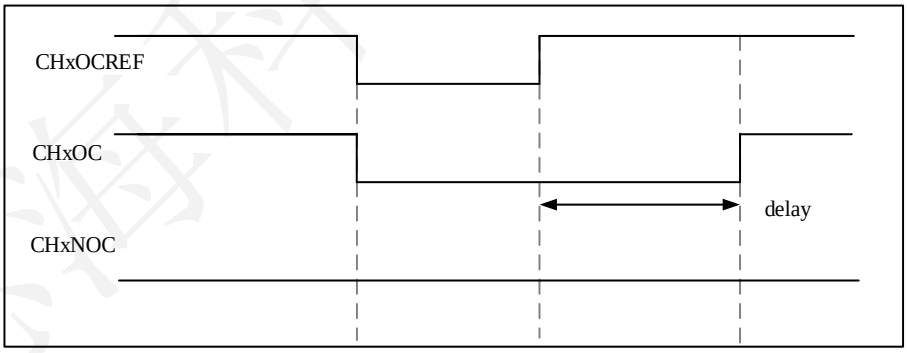
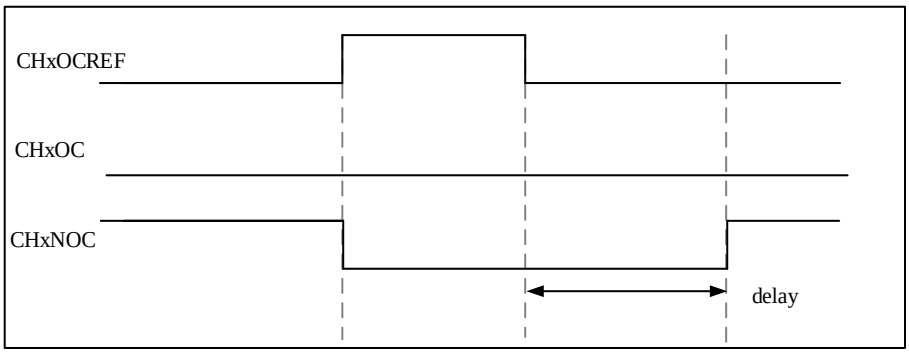


图 74 延迟大于正脉冲的死区时间波形

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



每个通道的死区时间延迟相同，可通过 TIMx_CHOPR 寄存器中的 DTCFG 位进行配置。

CHxOCREF 重定向到 CHxOC 或 CHxNOC

在输出模式（强制，输出比较或 PWM）中，通过配置 TIMx_CCCTR 寄存器中的 CHxCCEN 和 CHxNCCEN 位，可以将 CHxOCREF 重定向到 CHxOC 输出或 CHxNOC 输出。

这允许在一个输出上发送特定波形（例如 PWM 或静态有效电平），同时互补输出保持在其无效电平。另一方面，两个输出都处于无效状态或带死区时间的互补输出状态。

注：当仅使能 CHxNOC 时（CHxCCEN= 0，CHxNCCEN = 1），没有互补。CHxNOC 在 CHxOCREF 为高电平时有效。例如，如果 CHxNCCP = 0，则 CHxNOC = CHxOCREF。 另一方面，当 CHxOC 和 CHxNOC 都被使能（CHxCCEN =1 CHxNCCEN = 1），当 CHxOCREF 为高电平时 CHxOC 变为有效，而互补输出 CHxNOC 在 CHxOCREF 为低电平时变为有效。CHxOCREF

12.2.12　使用刹车功能

使用刹车功能时，根据控制位（TIMx_CHOPR 寄存器中的 CHOPEN，IDLEOS 和 RUNOS 位，TIMx_CTR2 寄存器中的 IVOx 和 IVOxN 位）修改输出使能信号和无效电平。在任何情况下，CHxOC 和 CHxNOC 输出都不能在相同时间设置为有效电平。

刹车源（BRK）可以连接到 BKIN 引脚或以下内部源之一：

- 内核 LOCKUP 输出
- LVD 输出
- SRAM 奇偶校验错误信号
- CSS 检测器生成的时钟故障事件

从复位退出时，刹车电路被禁用且 CHOPEN 位为低。可以通过置位 TIMx_CHOPR 寄存器中的 BRKEN 位来使能刹车功能。可以通过在同一寄存器中配置 BRKPOL 位来选择刹车输入极性。BRKEN 和 BRKPOL 可以同时修改。写入 BRKEN 和 BRKPOL 位时，在写入有效之前有 1 个 APB 时钟周期的延迟。因此，在写操作之后需要等待 1 个 APB 时钟周期才能正确读回该位。

由于 CHOPEN 下降沿可以是异步的，因此在实际信号（作用于输出）和同步控制位（在 TIMx_CHOPR 寄存器中访问）之间插入了重新同步电路。它导致异步和同步信号之间的一些延迟。特别是，如果在 CHOPEN 为低时写入 1，则必须在正确读取之前插入延迟（伪指令）。这是因为写入的是异步信号，而读取的是同步信号。

发生刹车时（刹车输入上的选定级别）：

- CHOPEN 位异步清零，使输出处于无效状态，空闲状态或复位状态（由 IDLEOS 位选择）。即使 MCU 振荡器关闭，此功能也会起作用。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- CHOPEN = 0 时，每个输出通道均由 TIMx_CTR2 寄存器中 IVOx 位编程的电平驱动。如果 IDLEOS = 0，则定时器释放使能输出，否则使能输出保持高电平。
- 使用互补输出时：
  - 输出首先进入复位状态无效状态（取决于极性）。这是异步完成的，因此即使没有为定时器提供时钟，也能正常工作。
  - 如果定时器时钟仍然存在，则死区时间发生器被重新激活，以便在死区时间后以 IVOx 和 IVOxN 位编程的电平驱动输出。即使在这种情况下，CHxOC 和 CHxNOC 也不能一起驱动为有效电平。请注意，由于 CHOPEN 上的重新同步，死区持续时间比平时稍长（大约 2 个 CLK_TIM 时钟周期）。
  - 如果 IDLEOS = 0，则定时器释放使能输出，否则一旦 CHxCCEN 或 CHxNCCEN 位之一为高电平，使能输出保持或变为高电平。
- 刹车状态标志（TIMx_STS 寄存器中的 BRKIF 位）置 1。如果 TIMx_DIEN 寄存器中的 BRKINTEN 位置 1，则可以产生中断。
- 如果 TIMx_CHOPR 寄存器中的 CHOPAEN 位置 1，则 CHOPEN 位将在下一个更新事件 UEV 处再次自动置 1。例如，这可用于 PWM 整形。否则，CHOPEN 保持低位，直到再次将其写入“1”。在这种情况下，它可用于安全方面，可以将刹车输入连接到电源驱动器，热传感器或任何安全组件的警报。

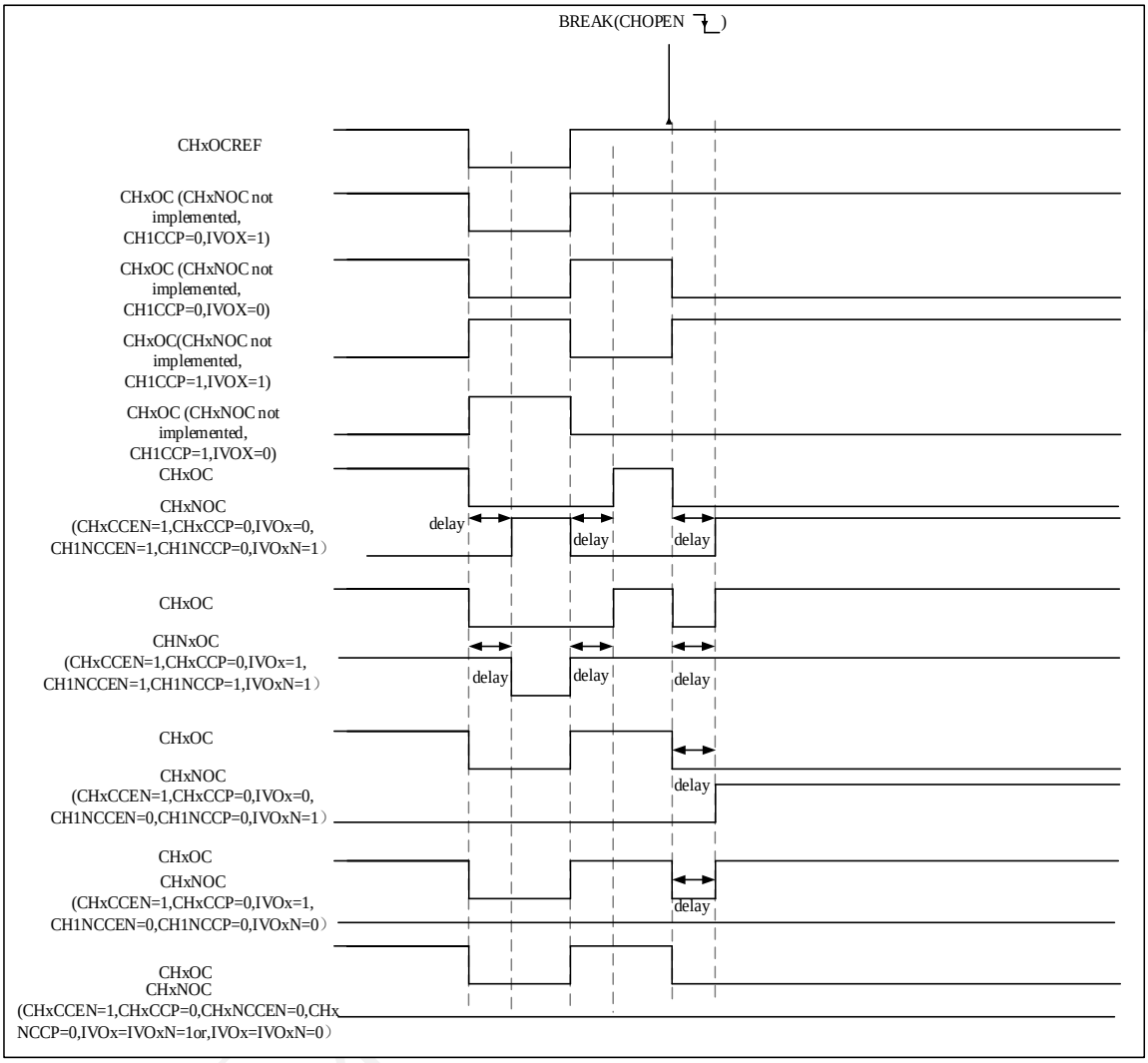
注意：刹车输入为电平有效。因此，当刹车输入有效时，CHOPEN 无法置 1（无论是自动还是软件配置）。同时，状态标志 BRKIF 无法清除。

刹车可由具有可编程极性的 BRK 输入和 TIMx_CHOPR 寄存器中的使能位 BRKEN 产生。

除了刹车输入和输出管理之外，还在刹车电路内部实施了写保护，以保护应用。它允许冻结几个参数的配置（死区持续时间，CHxOC / CHxNOC 极性和状态禁用时，CHxOCMSEL 配置，刹车使能和极性）。可以配置 TIMx_CHOPR 寄存器中 LCKLV 位，从三个不同的保护级别中选择（级别 1、2、3）。外设复位释放后，LCKLV 位只能写入一次。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 75 响应刹车输出行为的示例



12.2.13 外部事件清除 CHxOCREF 信号

当 ETRF 上施加高电平时，可以清除给定通道的 CHxOCREF 信号（相应 TIMx_CHxxCFGR 寄存器中的 CHxOCCEN 使能位设置为 1）。在下一次更新事件（UEV）发生之前，CHxOCREF 保持低电平。该功能只能用于输出比较和 PWM 模式。它在强制模式下不起作用。

选择 ETRF 时，必须按如下方式配置 ETR：

通过向 ETRF 输入施加高电平（相应 TIMx_CHxxCFGR 寄存器的 CHxOCCEN 使能位设置为 1），可以将给定通道的 CHxOCREF 信号驱动为低电平。 CHxOCREF 信号保持低电平，直到发生下一个更新事件 UEV。

该功能只能用于输出比较和 PWM 模式，不能用于强制模式。

例如，CHxOCREF 信号可以连接到比较器的输出，以用于电流处理。在这种情况下，ETR 必须配置如下：

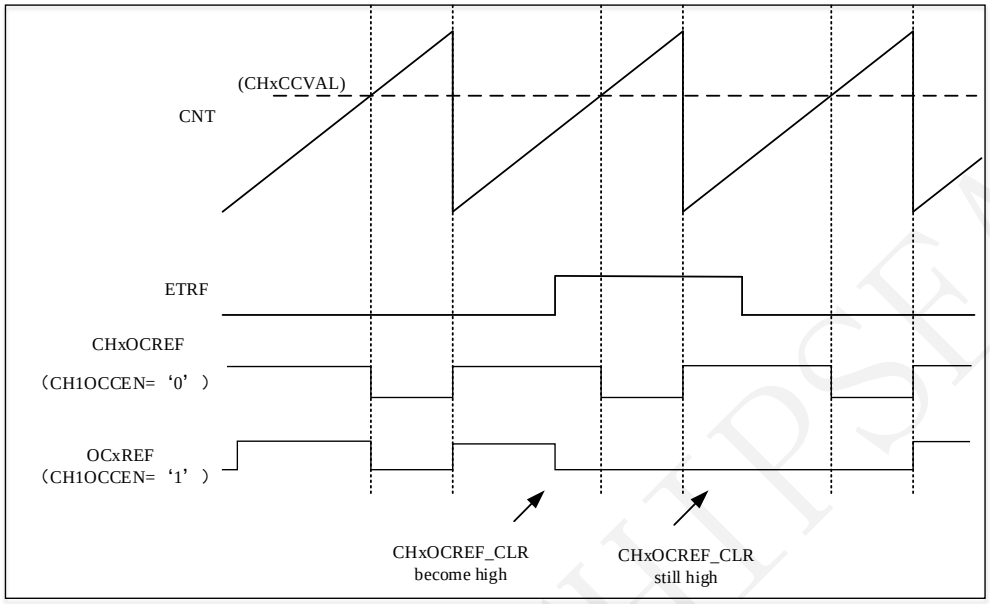
1. 外部触发预分频器应保持关闭：TIMx_SMCFG 寄存器的 ETPDIV [1：0]位设置为 00。
2. 必须禁止外部时钟模式 2：TIMx_SMCFG 寄存器的 ECMODE2 位设置为 0。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

3. 可以根据用户需要配置外部触发极性（ETRINV）和外部触发滤波（ETFLT）。

图 76 显示了对于使能位 CHxOCCEN 的两个值，当 ETRF 输入变为高电平时 CHxOCREF 信号的行为。在此示例中，定时器 TIMx 配置为 PWM 模式。

图 76 清除 TIMx CHxOCREF



注：如果 PWM 具有 100％占空比（如果 CHxCCVAL> UVAL），则在下一次计数器溢出时，才能再次使能 CHxOCREF。

12.2.14 6-step PWM 输出的生成

当在通道上使用互补输出时，CHxOCMSEL，CHxCCEN 和 CHxNCCEN 位上的预装载位可用。 在 COM 事件中，预装载位被传送到影子寄存器。 因此，可以提前编程下一步的配置，并同时更改所有通道的配置。 通过软件方式写 TIMx_SWEGR 寄存器中的 COM 位或硬件（在 TRGI 上升沿）可以产生 COM 事件。

COM 事件发生时置位标志位（TIMx_STS 寄存器中的 CHCOMIF 位），该标志可以产生中断（如果在 TIMx_DIEN 寄存器中置位了 COMINTEN 位）或 DMA 请求（如果在 TIMx_DIEN 寄存器中置位了 COMDEN 位）。

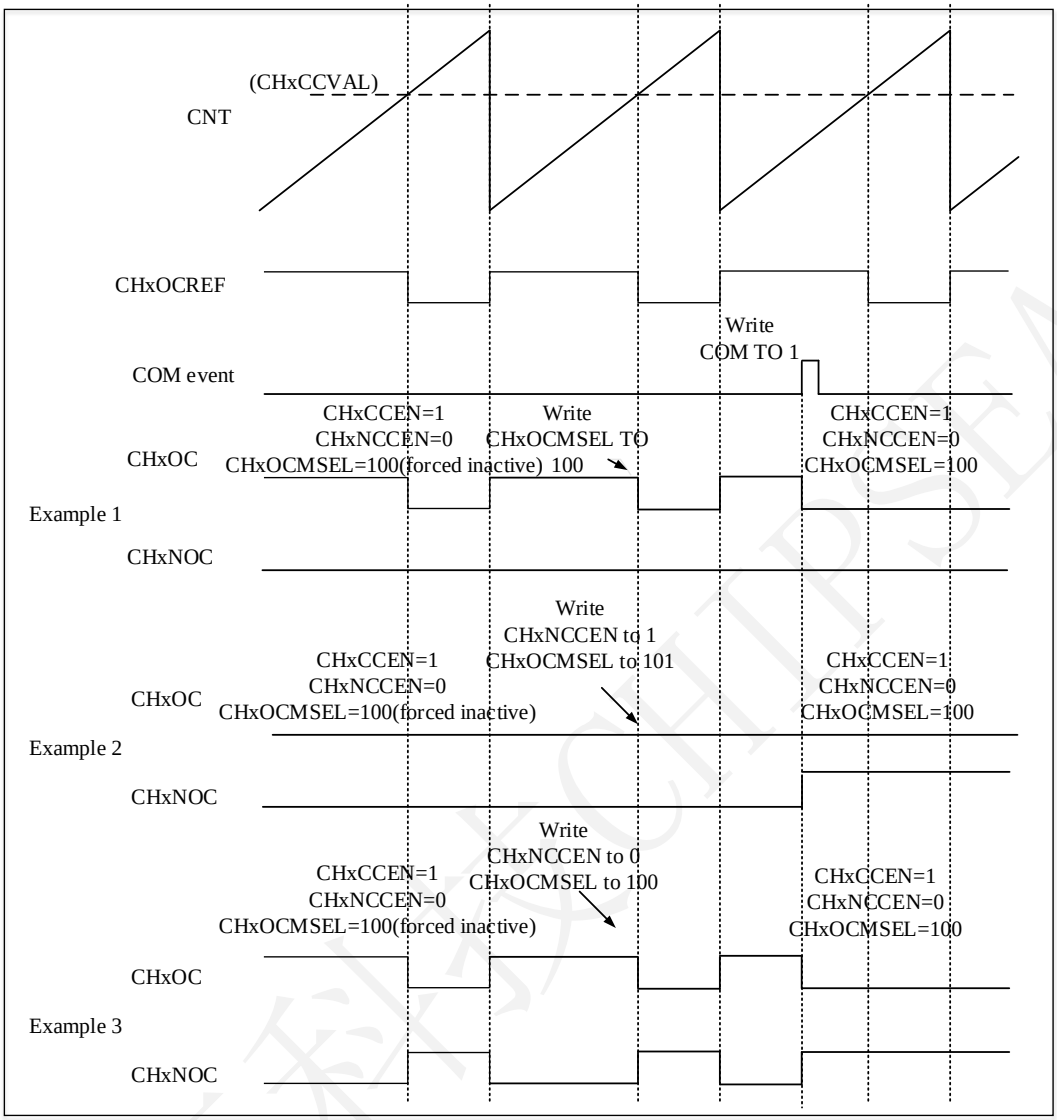
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 77 描述了在 3 种不同配置示例中，COM 事件发生时 CHxOC 和 CHxNOC 输出的行为。

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 77 产生 6-step PWM，COM 示例（RUNOS = 1）



12.2.15 单脉冲模式

单脉冲模式（SPEN）是先前模式的特定情况。 它允许计数器响应激励而进行自启动，并在可编程延迟后产生具有可编程长度的脉冲。

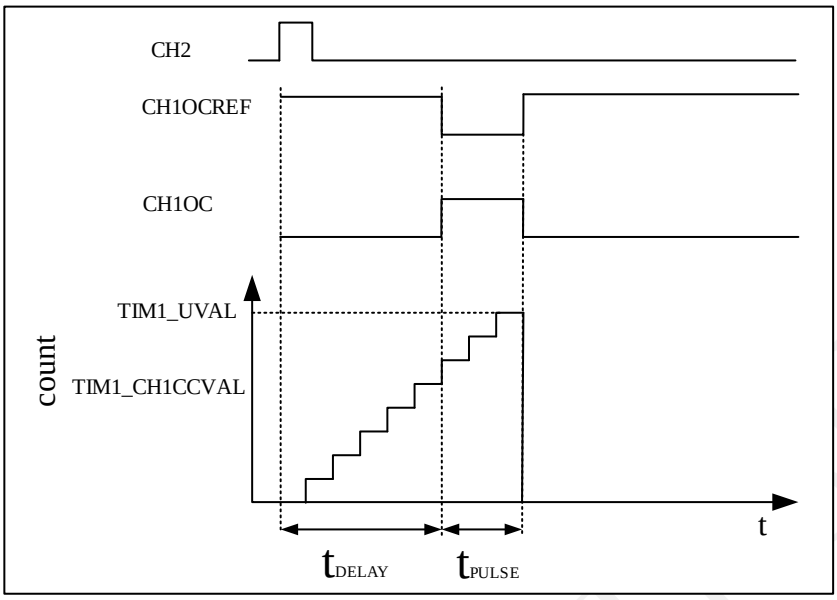
可以通过从机模式控制器控制启动计数器。 通过输出比较模式或 PWM 模式生成波形。 通过将 TIMx_CTR1 寄存器中的 SPEN 位置 1 选择单脉冲模式。 这使得计数器在下一个更新事件 UEV 处自动停止。

仅当比较值与计数器初始值不同时，才能正确生成脉冲。 在启动之前（当计时器等待触发时），配置必须是：

- 向上计数：CNT <CHxCCVAL≤UVAL（特别是 0 <CHxCCVAL），
- 向下计数：CNT> CHxCCVAL。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 78 单脉冲模式示例



例如，希望在 CH2 输入引脚上检测到上升沿后延迟 t_{DELAY} 之后，在 CH1OC 上生成长度为 t_{PULSE} 的正脉冲。

使用 CH2FP2 作为触发 1：

- 通过在 TIMx_CH12CFGR 寄存器中写入 CH2FS = 01 选择 CH2FP2。
- CH2FP2 必须检测上升沿，在 TIMx_CCCTR 寄存器中写入 CH2CCP = 0 和 CH2NCCP=0。
- 通过在 TIMx_SMCFG 寄存器中写入 TRIGS = 110，将 CH2FP2 配置为从机模式控制器（TRGI）的触发器。
- 将 TIMx_SMCFG 寄存器中 SMCFG 位配置为“110”（触发模式），选择 CH2FP2 用于启动计数器。

由比较寄存器来定义 SPEN 波形（考虑时钟频率和计数器预分频器）：

- t_{DELAY} 由 TIMx_CH1CCVAL 寄存器中写入的值定义。
- t_{PULSE} 由自动重载值和比较值（TIMx_UVAL - TIMx_CH1CCVAL + 1）之间的差值定义。
- 假设你希望构建一个波形，当比较匹配发生时从 0 变为 1，并且当计数器达到自动重载值时从 1 变为 0。为此，可以在 TIMx_CH12CFGR 寄存器中写入 CH1OCMSEL = 111 来使能 PWM 模式 2。可以在 TIMx_CH12CFGR 寄存器中写入 CH1OCVPEN = 1，并在 TIMx_CTR1 寄存器中写入 UVALSEN=1 来启用预装载寄存器。在这种情况下，您必须在 TIMx_CH1CCVAL 寄存器中写入比较值，TIMx_UVAL 寄存器中的自动重载值，通过写 UEG 位生成更新并等待 CH2 上的外部触发事件。在此示例中，CH1CCP 写入 0。

在我们的示例中，TIMx_CTR1 寄存器中的 DIR 和 CPS 位应为低。

只需要 1 个脉冲（单模式），因此在 TIMx_CTR1 寄存器的 SPEN 位中写入 1 以在下次更新事件时停止计数器（当计数器从自动重载值变为 0 时）。

特殊情况：CHxOC 快速启用

在单脉冲模式下，CHx 输入的边沿检测后将 CEN 位置 1，使能计数器。然后计数器和比较值之间的比较使输出切换。但是这些操作需要几个时钟周期，它限制了我们可以获得的最小延迟时间 t_{DELAY}。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

如果要输出具有最小延迟的波形，可以将 TIMx_CHxxCFGR 寄存器中的 CHxOCFEN 位置 1。然后迫使 CHxOCREF（和 CHxOC）响应激励，而不考虑比较。输出波形与发生比较匹配时相同。仅当通道配置为 PWM1 或 PWM2 模式时，CHxOCFEN 才会起作用。

注：CHxOC 快速启用和单脉冲模式共同使用时，当 CEN 被自动清除时，输出的 PWM 波形保持不变。

12.2.16　编码器接口模式

选择编码器接口模式，如果计数器仅在 CH2 边沿上计数，则在 TIMx_SMCFG 寄存器中写入 SMCFG =001，如果仅在 CH1 边沿上，则 SMCFG = 010，如果在 CH1 和 CH2 边沿上，则 SMCFG = 011。

通过配置 TIMx_CCCTR 寄存器中的 CH1CCP 和 CH2CCP 位选择 CH1 和 CH2 极性。 CH1NCCP 和 CH2NCCP 必须保持为低。如果需要，也可以对输入滤波进行编程。

两个输入 CH1 和 CH2 用于连接增量编码器。参见表 34，假设它被使能（TIMx_CTR1 寄存器中的 CEN 位写入 1），计数器由 CH1FP1 或 CH2FP2 上的每个有效转换提供时钟（输入滤波器和极性选择后的 CH1 和 CH2，如果未滤波且未反相，CH1FP1 = CH1，CH2FP2 = CH2）。依据两个输入的序列顺序，产生计数脉冲以及方向信号。根据计数器向上或向下计数的顺序，TIMx_CTR1 寄存器中的 DIR 位会相应地由硬件修改。无论计数器仅依靠 CH1，CH2 还是 CH1 和 CH2，CH1 或 CH2 的每次转换都会计算 DIR 位。

编码器接口模式工作类似带方向选择的外部时钟。这意味着计数器仅在 0 和 TIMx_UVAL 寄存器中的自动重载值之间连续计数（0 到 UVAL 或 UVAL 下降到 0，具体取决于方向）。所以你必须在启动之前配置 TIMx_UVAL。同样，捕获，比较，预分频器，触发输出功能继续正常工作。在此模式下，计数器会根据增量编码器的速度和方向及其内容自动修改，因此始终代表编码器的位置。计数方向对应于连接的传感器的旋转方向。

该表总结了可能的组合，假设 CH1 和 CH2 不在同一时间切换。

表 34 计数方向与编码器信号

有效边沿	反向信号电平	CH1FP1 信号		CH2FP2 信号	
		上升沿	下降沿	上升沿	下降沿
只在 CH1 通道计数	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
只在 CH2 通道计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在 CH1、CH2 通道计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

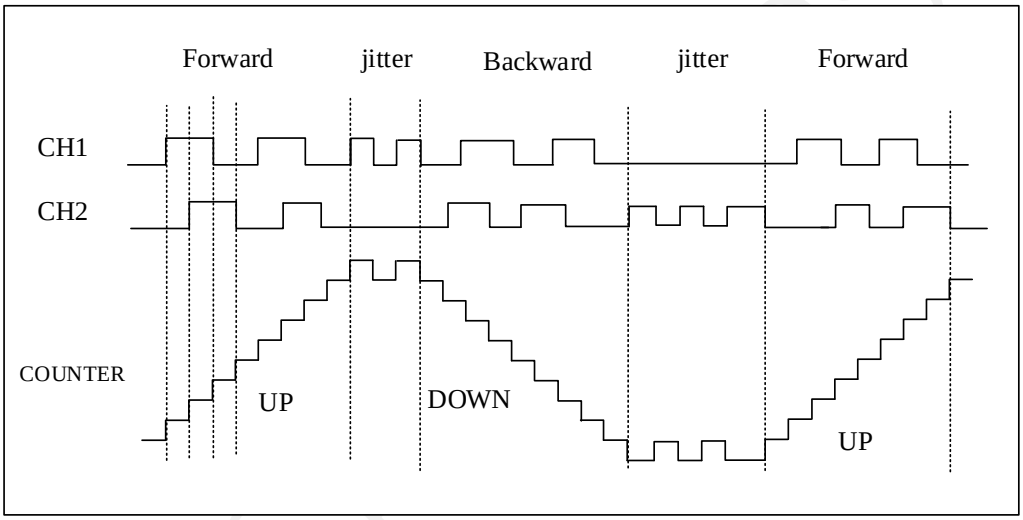
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

外部增量编码器可以直接连接到 MCU，无需外部接口逻辑。但是，比较器通常用于将编码器的差分输出转换为数字信号。这大大提高了抗噪性。指示机械零位的第三编码器输出可以连接到外部中断输入并触发计数器复位。

图 79 给出了计数器操作的示例，显示了计数信号的产生和方向控制。它还显示了在选择两个边沿时如何补偿输入抖动。如果传感器位于其中一个切换点附近，则可能会发生这种情况。对于此示例，我们假设配置如下：

- CH1FS = 01（TIMx_CH12CFGR 寄存器，CH1FP1 映射到 CH1）
- CH2FS = 01（TIMx_CH34CFGR 寄存器，CH2FP2 映射到 CH2）
- CH1CCP = 0，CH1NCCP =0（TIMx_CCCTR 寄存器，CH1FP1 同相，CH1FP1 = CH1）
- CH2CCP = 0，CH2NCCP =0（TIMx_CCCTR 寄存器，CH2FP2 同相，CH2FP2 = CH2）
- SMCFG = 011（TIMx_SMCFG 寄存器，两个输入在上升沿和下降沿均有效）
- CEN = 1（TIMx_CTR1 寄存器，计数器已启用）

图 79 编码器接口模式下计数器行为示例



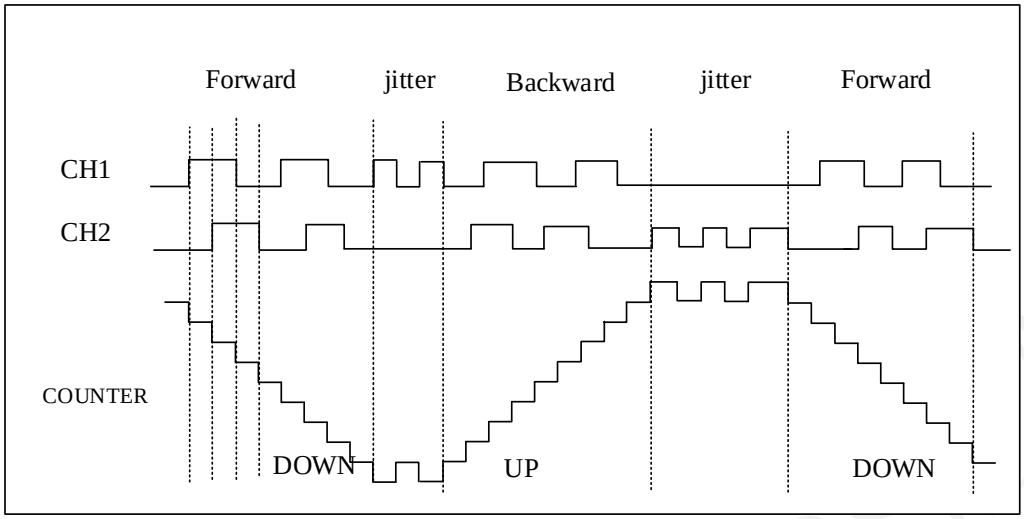
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 80 给出了 CH1FP1 极性反转时的计数器行为示例（除 CH1CCP = 1 外，其配置与上述同）。

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 80 CH1FP1 极性反转的编码器接口模式示例



在编码器接口模式配置时，定时器提供有关传感器当前位置的信息。配合使用第二个定时器配置为捕获模式，通过测量两个编码器事件的间隔，从而获取动态信息（速度，加速度，减速度）。编码器输出还可以用来指示机械零点。根据两个事件之间的时间间隔，也可以定期读取计数器。可以通过将计数器值锁定到第三个输入捕获来完成此操作（捕获信号必须是周期性的，并且由另一个定时器生成）；还可以通过实时时钟生成的 DMA 请求读取其值。

12.2.17　定时器输入 XOR 功能

TIMx_CTR2 寄存器中的 TI1XOR 位允许通道 1 的输入滤波器连接到 XOR 门的输出，将三个输入引脚 TIMx_CH1，TIMx_CH2 和 TIMx_CH3 组合在一起。XOR 输出可用于所有定时器输入功能，如触发或输入捕获。下面给出此功能用于连接霍尔传感器的示例。

12.2.18　与霍尔传感器连接

这是使用高级控制定时器（TIM1）来产生 PWM 信号以驱动电动机和另一个定时器 TIMx（TIM2 或 TIM3）作为“接口定时器”连接霍尔传感器。3 个定时器输入脚通过一个异或门连接到 CH1 输入通道，供接口定时器捕获。

从机模式控制器配置为复位模式，从机输入为 CH1F_ED。因此，每当 3 个输入中的一个切换时，计数器将从 0 重新开始计数。由此产生一个由霍尔输入端的任何变化而触发的时间基准。

在“接口定时器”上，捕获/比较通道 1 配置为捕获模式，捕获信号为 TRC。捕获值对应于输入上 2 次更改之间经过的时间，提供有关电机速度的信息。

“接口定时器”可用于输出模式以产生脉冲，该脉冲改变高级控制定时器（TIM1）的通道配置（通过触发 COM 事件）。 TIM1 定时器用于产生 PWM 信号以驱动电机。为此，必须对接口定时器通道进行编程，以便在编程延迟（输出比较或 PWM 模式）后产生正脉冲。该脉冲通过 TRGO 输出发送到高级控制定时器（TIM1）。

示例：每次在连接到其中一个 TIMx 定时器的霍尔输入发生变化时，希望在变化后更改高级控制定时器 TIM1 的 PWM 配置。

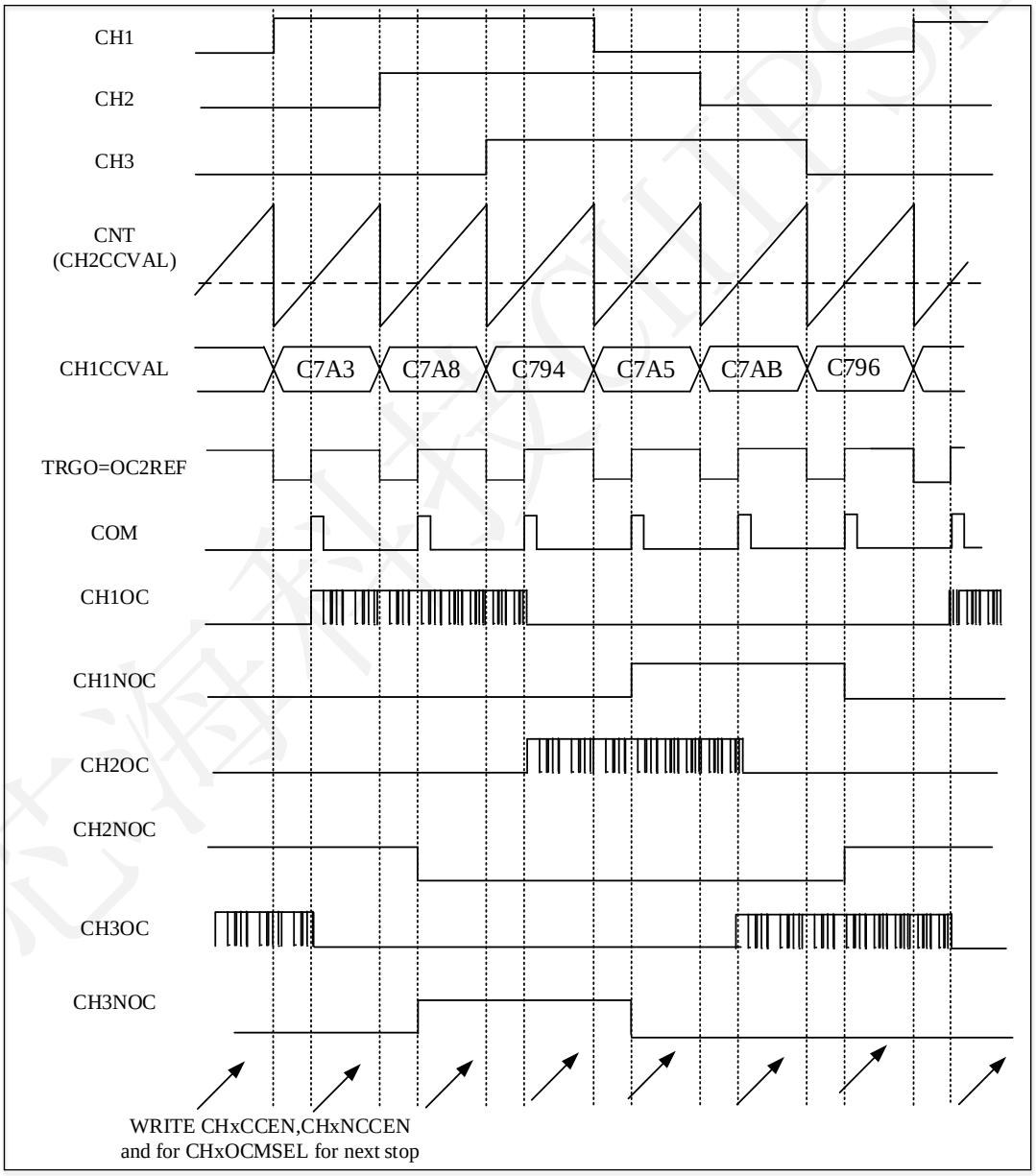
- 通过将 TIMx_CTR2 寄存器中的 TI1XOR 位写入“1”，将 3 个定时器输入配置为与 CH1 输入通道进行异或，

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 编程时基：将 TIMx_UVAL 写入最大值（必须通过 CH1 更改清除计数器。设置预分频器，使其最大计数器周期长于传感器上 2 次更改之间的时间，
- 在捕获模式下编程通道 1（选择 TRC）：将 TIMx_CH12CFGR 寄存器中的 CH1FS 位写入“01”。您也可以根据需要对数字滤波器进行编程，
- 在 PWM 2 模式下编程通道 2，具有所需的延迟：在 TIMx_CH12CFGR 寄存器中将 CH2OCMSEL 位写入“111”，将 CH2FS 位写入“00”，
- 在 TRGO 上选择 CH2OCREF 作为触发输出：将 TIMx_CTR2 寄存器中的 MMTOC 位写入'101'，

在高级控制定时器 TIM1 中，必须选择 ITR 输入作为触发输入，定时器被编程为产生 PWM 信号，预装载捕获/比较控制信号（TIMx_CTR2 寄存器中的 CHPSEN＝1），由触发输入控制 COM 事件（TIMx_CTR2 寄存器中的 CHPUS＝1）。 PWM 控制位（CHxCCEN，CHxOCMSEL）的下一步配置在 COM 事件之后写入（这可以在 CH2OCREF 的上升沿产生的中断子程序中完成）

图 81 霍尔传感器接口示例



12.2.19 定时器和外部触发同步

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

TIMx 定时器可以在几种模式下与外部触发同步：复位模式和触发模式。

从机模式：复位模式

可以重新初始化计数器及其预分频器，以响应触发输入上的事件。此外，如果来自 TIMx_CTR1 寄存器的 URSEL 位为低，则生成更新事件 UEV。然后更新所有预装载寄存器（TIMx_UVAL，TIMx_CHxCCVAL）。

在以下示例中，响应 CH1 输入的上升沿清除向上计数器：

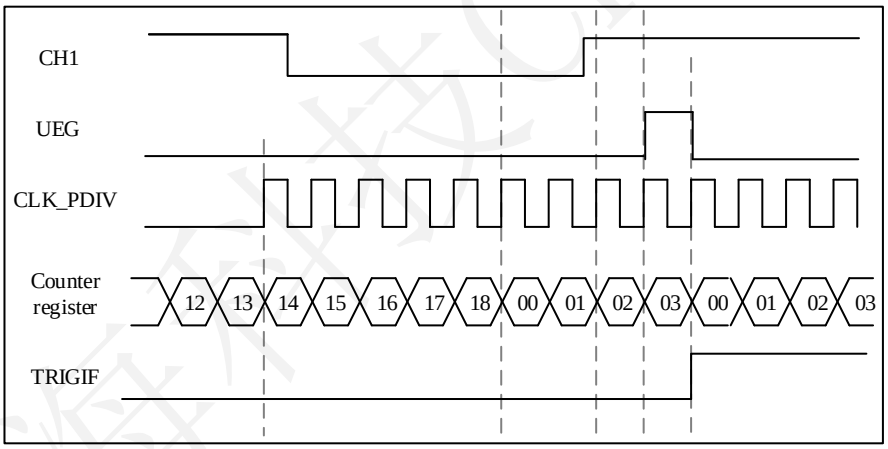
- 配置通道 1 以检测 CH1 的上升沿。配置输入滤波持续时间（在此示例中，我们不需要任何滤波，因此我们保持 CH1ICFLT = 0000）。捕获预分频器不用于触发，因此您无需进行配置。CH1FS 位仅选择输入捕获源，TIMx_CH12CFGR 寄存器中的 CH1FS = 01。在 TIMx_CCCTR 寄存器中写入 CH1CCP = 0 和 CH1NCCP = 0 以确定极性（仅检测上升沿）。
- 通过在 TIMx_SMCFG 寄存器中写入 SMCFG = 100，配置定时器工作在复位模式。通过在 TIMx_SMCFG 寄存器中写入 TRIGS = 101，选择 CH1 作为输入源。
- 通过在 TIMx_CTR1 寄存器中写入 CEN = 1 来启动计数器。

计数器开始对内部时钟进行计数，然后正常工作直到 CH1 上升沿。当 CH1 上升时，计数器清零并从 0 重新开始计数。同时，触发标志置位（TIMx_STS 寄存器中的 TRIGIF 位），若使能中断和 DMA，则将产生中断请求，DMA 请求（取决于 TIMx_DIEN 寄存器中 TINTEN 和 TDREN 位）。

下图显示了计数器更新寄存器 TIMx_UVAL = 0x18 时的这种情况。

CH1 上升沿与计数器实际复位之间的延迟是由 CH1 输入上的重新同步电路引起的。

图 82 复位模式下的控制时序



从机模式：触发模式

计数器可以响应所选输入上的事件而启动。

在以下示例中，向上计数器响应 CH2 输入的上升沿启动计数：

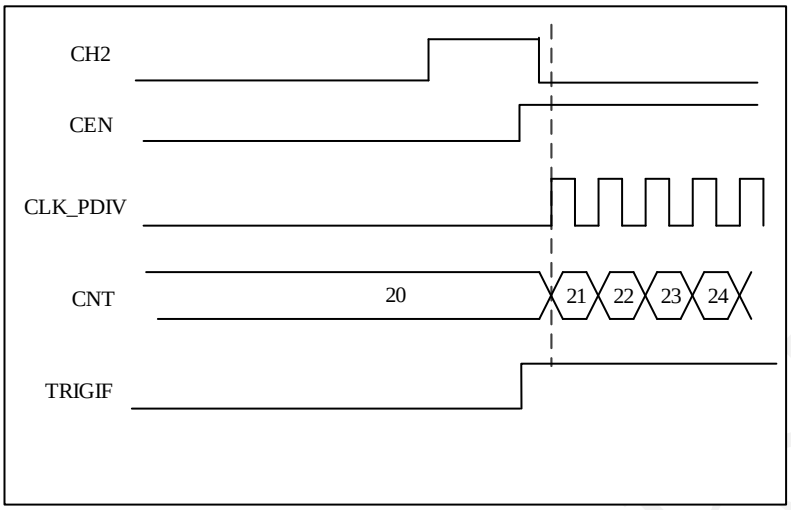
- 配置通道 2 以检测 CH2 上的上升沿。 配置输入滤波持续时间（在此示例中，我们不需要任何滤波，因此我们保持 CH2ICFLT = 0000）。 捕获预分频器不用于触发，因此您无需进行配置。CH2FS 位仅选择输入捕获源，TIMx_CH12CFGR 寄存器中的 CH2FS = 01。在 TIMx_CCCTR 寄存器中写入 CH2CCP = 1 和 CH2NCCP = 0 以验证极性（并仅检测低电平）。
- 通过在 TIMx_SMCFG 寄存器中写入 SMCFG = 110，配置定时器工作在触发模式下。 通过在 TIMx_SMCFG 寄存器中写入 TRIGS = 110，选择 CH2 作为输入源。

当 CH2 上出现上升沿时，计数器开始对内部时钟进行计数，并置位 TRIGIF 标志。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

CH2 上升沿与计数器实际启动之间的延迟是由 CH2 输入上的重新同步电路引起的。

图 83 触发模式下的控制时序



从机模式：外部时钟模式 2 +触发模式

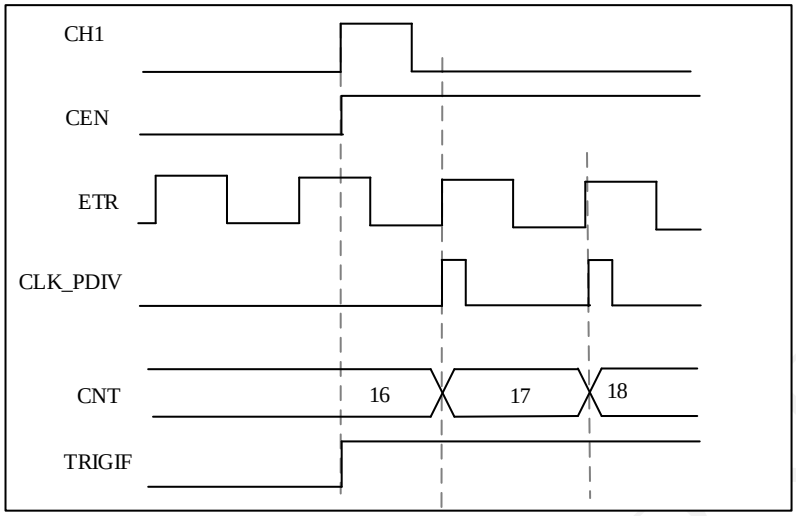
除了外部时钟模式 1 和编码器模式外，还可以使用外部时钟模式 2。 在这种情况下，ETR 信号用作外部时钟输入，当在复位模式，触发模式下工作时，可以选择另一个输入作为触发输入。 建议不要通过 TIMx_SMCFG 寄存器的 TRIGS 位选择 ETR 作为 TRGI。

在下面的示例中，一旦 CH1 的上升沿出现，向上计数器在 ETR 信号的每个上升沿计数：

1. 通过对 TIMx_SMCFG 寄存器进行编程来配置外部触发输入电路，如下所示：
   - ETFLT = 0000：无滤波
   - ETPDIV = 00：禁用预分频器
   - ETRINV = 0：检测到 ETR 上升沿和 ECMODE2 = 1 以启用外部时钟模式 2。
2. 按如下方式配置通道 1，以检测 CH1 上的上升沿：
   - CH1ICFLT = 0000：无滤波.
   - 捕获预分频器不用于触发，也不需要配置。
   - 在 TIMx_CH12CFGR 寄存器中 CH1FS = 01，仅选择输入捕获源
   - TIMx_CCCTR 寄存器中 CH1CCP = 0 且 CH1NCCP = 0，以确定极性（仅检测上升沿）
3. 通过在 TIMx_SMCFG 寄存器中写入 SMCFG = 110，在触发模式下配置定时器。通过在 TIMx_SMCFG 寄存器中写入 TRIGS = 101，选择 CH1 作为输入源。CH1 的上升沿使能计数器并置位 TRIGIF 标志。然后计数器依靠 ETR 上升沿计数。ETR 信号的上升沿和计数器的实际复位之间的延迟是由于 ETRP 输入上的重新同步电路引起的。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 84 外部时钟模式 2 +触发模式下的控制时序



12.2.20 定时器同步

TIM 定时器在内部连接在一起，用于定时器同步或连接。有关详细信息，请参见第 13.2.15 节：定时器同步。

12.2.21 调试模式

当微控制器进入调试模式（Cortex™-M0 内核暂停）时，TIM1 计数器将继续正常工作或停止，具体取决于 DBG 模块中的 TIM1_DBG_PAUSE 配置位

12.3 寄存器

12.3.1 寄存器概览

表 35 TIM1 寄存器概览

名称	偏移地址	描述	复位值
TIM1_CTR1	0x000	TIM1 控制寄存器 1	0x00000000
TIM1_CTR2	0x004	TIM1 控制寄存器 2	0x00000000
TIM1_SMCFG	0x008	TIM1 从机模式配置寄存器	0x00000000
TIM1_DIEN	0x00C	TIM1 DMA 和中断请求使能寄存器	0x00000000
TIM1_STS	0x010	TIM1 状态寄存器	0x00000000
TIM1_SWEGR	0x014	TIM1 软件事件生成寄存器	0x00000000
TIM1_CH12CFGR	0x018	TIM1 通道 1 和通道 2 配置寄存器	0x00000000
TIM1_ CH34CFGR	0x01C	TIM1 通道 3 和通道 4 配置寄存器	0x00000000
TIM1_CCCTR	0x020	TIM1 通道捕获比较控制寄存器	0x00000000
TIM1_CNT	0x024	TIM1 计数器	0x00000000
TIM1_PDIV	0x028	TIM1 预分频	0x00000000
TIM1_UVAL	0x02C	TIM1 计数器更新寄存器	0x0000FFFF
TIM1_UVALREP	0x030	TIM1 计数器更新重复寄存器	0x00000000
TIM1_CH1CCVAL	0x034	TIM1 通道 1 捕获比较寄存器	0x00000000

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

TIM1_CH2CCVAL	0x038	TIM1 通道 2 捕获比较寄存器	0x00000000
TIM1_ CH3CCVAL	0x03C	TIM1 通道 3 捕获比较寄存器	0x00000000
TIM1_ CH4CCVAL	0x040	TIM1 通道 4 捕获比较寄存器	0x00000000
TIM1_CHOPR	0x044	TIM1 通道输出保护寄存器	0x00000000
TIM1_DMAACR	0x048	TIM1 DMA 读写配置寄存器	0x00000000
TIM1_DMAIR	0x04C	TIM1 DMA 接口寄存器	0x00000000

12.3.2 TIM1 控制寄存器 1（TIM1_CTR1）

对该寄存器的写入操作只支持半字或字写入。

TIM1_CTR1 (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	CKDIV[1:0]		UVALSEN	CPS[1:0]		DIR	SPEN	UREL	UPD	CEN
						r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:10]	保留	
[9:8]	CKDIV	**时钟分频** 用于确定死区时间、采样时钟和计数器输入时钟之间的比例 00：Tclk_dts=Tclk_int 01：Tclk_dts=2xTclk_int 10：Tclk_dts=4xTclk_int 11：保留
7	UVALSEN	**UVAL 影子寄存器使能** 0:TIMx_UVAL 寄存器没有缓冲器 1:TIMx_UVAL 寄存器有缓冲器
[6:5]	CPS	**计数方式选择** 00：边沿计数模式，DIR 位决定计数方向 01：中央对齐模式 1，计数器交替向上和向下计数。配置为输出通道(TIMx_CHxxCFGR 寄存器中 CCxFS=00)的输出比较中断标志位只在计数器向下计数且发生比较匹配时被置位 10：中央对齐模式 2，计数器交替向上和向下计数。配置为输出通道(TIMx_CHxxCFGR 寄存器中 CCxFS=00)的输出比较中断标志位只在计数器向上计数且发生比较匹配时被置位 11：中央对齐模式 3，计数器交替向上和向下计数。配置为输出的通道(TIMx_CHxxCFGR 寄存器中 CCxFS=00)的输出比较中断标志位在向上和向下

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		计数且发生比较匹配时均被置位 注意：只要计数器使能有效（CEN＝1），就不允许从边沿对齐模式切换到中央对齐模式。
4	DIR	**计数方向** 0：向上计数 1：向下计数 注意：在中央对齐模式或编码器模式下，该位只读。
3	SPEN	**单脉冲使能** 0：更新事件发生时，计数器不停止 1：更新事件发生时，计数器停止计数(清除 CEN 位)
2	URSEL	**更新请求过滤** 0：如果使能中断或者 DMA 请求，下述任意一个事件产生都可以更新中断或 DMA 请求 计数器上溢/下溢 软件写 UEG 位 从机模式控制器产生的更新 1：如果使能中断或 DMA 请求，只在计数器上溢/下溢时产生更新中断或 DMA 请求
1	UPD	**禁止更新** 0：计数器上溢/下溢、写 UEG 位、从机模式控制产生的更新都将会产生 UEV，具有缓存的寄存器将装入他们的预装载值 1：禁止 UEV。不产生更新事件，影子寄存器(UVAL、PDIV、CHxCCVAL)保持它们的值。如果写 UEG 位或从机模式控制器收到一个硬件复位，则计数器和预分频器被重新初始化。
0	CEN	**计数器使能** 0：禁止计数器 1：使能计数器 注意：外部时钟和编码器模式只有先置位 CEN 位时才能工作。 但是，触发模式可以通过硬件自动置位 CEN 位。

12.3.3 TIM1 控制寄存器 2（TIM1_CTR2）

TIM1_CTR2 (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	IVO4	IVO3N	IVO3	IVO2N	IVO2	IVO1N	IVO1	TI1XOR	MMTOC[2:0]			CHDMARS	CHPUS	保留	CHPSEN
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

Bit 位	名称	描述
[31:15]	保留	
14	IVO4	**通道 4 输出空闲值**(参考 IVO1)
13	IVO3N	**通道 3 互补输出空闲值**(参考 IVO1N)
12	IVO3	**通道 3 输出空闲值**(参考 IVO1)
11	IVO2N	**通道 2 互补输出空闲值**(参考 IVO1N)
10	IVO2	**通道 2 输出空闲值**(参考 IVO1)
9	IVO1N	**通道 1 互补输出空闲值** 0：当 CHOPEN=0，死区时间后 CH1NOC=0 1：当 CHOPEN=0，死区时间后 CH1NOC=1
8	IVO1	**通道 1 输出空闲值** 0：当 CHOPEN=0，如果有 CH1NOC，死区时间后 CH1OC=0 1：当 CHOPEN=0，如果有 CH1NOC，死区时间后 CH1OC=1
7	TI1XOR	**异或输入** 0：CH1 引脚连接通道 1 输入 1：CH1、CH2 和 CH3 管脚经异或后连接到通道 1 输入。
[6:4]	MMTOC	**主机模式触发输出控制** 这三位用于选择在主机模式下送到从定时器的同步信息(TRGO)。可能的组合如下： 000：复位 – TIMx_SWEGR 寄存器的 UEG 位被用于作为触发输出(TRGO)。如果触发输入(从机模式控 制器处于复位模式)产生复位，则 TRGO 上的信号相对实际的复位会有一个延迟 001：使能 – 计数器使能信号 CNT_EN 被用于作为触发输出(TRGO)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。当计数器使能信号受控于触发输入时，TRGO 上会有一个延迟，除非选择了主/从机模式(见 TIMx_SMCFG 寄存器中 MSM 位的描述)。 010：更新 – 更新事件被选为触发输出(TRGO)。例如，一个主定时器可以被用作一个从定时器的预分频器。 011：比较脉冲 – 发生一次捕获或比较匹配，当要置位 CH1CCIF 标志时(即使它已经为 高)，触发输出送出一个正脉冲(TRGO)。 100：比较 – CH1OCREF 信号被用于作为触发输出(TRGO)。 101：比较 – CH2OCREF 信号被用于作为触发输出(TRGO)。 110：比较 – CH3OCREF 信号被用于作为触发输出(TRGO)。 111：比较 – CH4OCREF 信号被用于作为触发输出(TRGO)。
3	CHDMARS	**通道 DMA 请求源** 0：当发生 CHx 事件时，送出 CHx 的 DMA 请求 1：当发生更新事件时，送出 CHx 的 DMA 请求
2	CHPUS	**通道预装载更新源** 0：如果通道配置预装载使能(CHPSEN=1)，只能通过写 COMEG 位来更新 1：如果通道配置预装载使能(CHPSEN=1),可以通过写 COMEG 位或 TRGI 上的上升沿来更新
1	保留	
0	CHPSEN	**通道配置预装载使能** 0：CHxCCEN、CHxNCCEN、CHxOCMSEL 不是预装载的

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1：CHxCCEN、CHxNCCEN、CHxOCMSEL 是预装载的，该位置位后，只有在发生 COM 事件(写 COMEG 位或 TRGI 上升沿，取决于 CHPUS 位)时被更新 注：该位对具有互补输出的通道有效

12.3.4 TIM1 从机模式配置寄存器（TIM1_SMCFG）

TIM1_SMCFG (偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETRINV	ECMODE2	ETPDIV[1:0]		ETFLT[3:0]				MSM	TRIGS[2:0]			保留	SMCFG[2:0]		
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
15	ETRINV	**ETR 反转** 该位控制选择 ETR 或 ETR 反转来作为触发输入 0：ETR 不反转，上升沿或高电平有效 1：ETR 反转，下降沿或低电平有效
14	ECMODE2	**外部时钟模式 2 使能** 0：禁止外部时钟模式 2 1：使能外部时钟模式 2。计数器由 ETRF 信号上的任意有效边沿驱动 注 1：设定 ECMODE2 位与选择外部时钟模式 1 并将 TRGI 连接到 ETRF(SMCFG=111 和 TRIGS=111)具有相同的效果。 注 2：以下的从机模式可以和外部时钟模式 2 同时使用:复位模式、触发模式，但是 TRGI 不能连接到 ETRF(TRIGS 位不能为 111) 注 3：外部时钟模式 1 和模式 2 同时被使能时，外部时钟输入为 ETRF
[13:12]	ETPDIV	**外部触发预分频** 外部触发信号 ETRP 的频率最高是 TIMxCLK 频率的 1/4。当输入较快的外部时钟时，可以使用预分频功能降低 ETRP 的频率 00：关闭预分频功能 01：ETRP 频率除以 2 10：ETRP 频率除以 4 11：ETRP 频率除以 8
[11:8]	ETFLT	**外部触发滤波** 定义对 ETRP 信号采样的频率和数字滤波的长度，数字滤波由一个事件计数器构成，当记录到 N 个事件后会产生一个输出的跳变 0000：无滤波，$f_{SAMPLING}=f_{DTS}$ 采样

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0001：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=2 0010：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=4 0011：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=8 0100：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=6 0101：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=8 0110：采样频率 $f_{SAMPLING}=f_{DTS}/4$，N=6 0111：采样频率 $f_{SAMPLING}=f_{DTS}/4$，N=8 1000：采样频率 $f_{SAMPLING}=f_{DTS}/8$，N=6 1001：采样频率 $f_{SAMPLING}=f_{DTS}/8$，N=8 1010：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=5 1011：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=6 1100：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=8 1101：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=5 1110：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=6 1111：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=8
7	MSM	**主/从机模式** 0：无作用 1：触发输入(TRGI)上的事件被延迟，以允许在当前定时器与它的从定时器间的完美同步(通过 TRGO)。
[6:4]	TRIGS	**触发源选择** 同步计数器的触发输入选择 000：内部触发 0(ITR0) 001：内部触发 1(ITR1) 010：内部触发 2(ITR2) 011：内部触发 3(ITR3) 100：通道 1 的边沿检测器(CH1F_ED) 101：滤波后的定时器输入 1(CH1FP1) 110：滤波后的定时器输入 2(CH2FP2) 111：外部触发输入(ETRF) 注：这些位只能在未用到(如 SMCFG=000)时被改变，以避免在改变时产生错误的边沿检测。
3	保留	
[2:0]	SMCFG	**从机模式配置** 000：禁止从机模式–如果 CEN=1，则预分频器直接由内部时钟驱动。 001：编码器模式 1–根据 CH1FP1 的电平，计数器在 CH2FP2 的边沿向上/下计数。 010：编码器模式 2–根据 CH2FP2 的电平，计数器在 CH1FP1 的边沿向上/下计数。 011：编码器模式 3–根据另一个输入的电平，计数器在 CH1FP1 和 CH2FP2 的边沿向上/下计数。 100：复位模式–选中的触发输入(TRGI)的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。 101：保留。 110：触发模式–计数器在触发输入 TRGI 的上升沿启动(但不复位)，只有计数

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		器的启动是受控的。 111：外部时钟模式 1– 选中的触发输入(TRGI)的上升沿驱动计数器。 注：必须在接收主定时器触发事件之前使能从计时器的时钟，不得在运行中进行更改。

表 36 TIM1 内部触发连接

Slave TIM	ITR0(TRIGS=000)	ITR1=(TRIGS=001)	ITR2=(TRIGS=010)	ITR3=(TRIGS=011)
TIM1	TIM15	TIM2	TIM3	TIM17

12.3.5 TIM1 DMA 和中断请求使能寄存器（TIM1_DIEN）

TIM1_DIEN (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	TDREN	COMDEN	CH4DEN	CH3DEN	CH2DEN	CH1DEN	UPDEN	BRKINTEN	TINTEN	COMINTEN	CH4INTEN	CH3INTEN	CH2INTEN	CH1INTEN	UPINTEN
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:15]	保留	
14	TDREN	**触发事件 DMA 请求使能** 0：触发 DMA 请求禁止 1：触发 DMA 请求允许
13	COMDEN	**COM 事件 DMA 请求使能** 0：COM 事件 DMA 请求禁止 1：COM 事件 DMA 请求允许
12	CH4DEN	**通道 4 DMA 请求使能** 0：通道 4 DMA 请求禁止 1：通道 4 DMA 请求允许
11	CH3DEN	**通道 3 DMA 请求使能** 0：通道 3 DMA 请求禁止 1：通道 3 DMA 请求允许
10	CH2DEN	**通道 2 DMA 请求使能** 0：通道 2 DMA 请求禁止 1：通道 2 DMA 请求允许
9	CH1DEN	**通道 1 DMA 请求使能** 0：通道 1 DMA 请求禁止 1：通道 1 DMA 请求允许

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

8	UPDEN	**更新 DMA 请求使能** 0：更新 DMA 请求禁止 1：更新 DMA 请求允许
7	BRKINTEN	**刹车中断使能** 0：刹车中断禁止 1：刹车中断允许
6	TINTEN	**触发事件中断使能** 0：触发事件中断禁止 1：触发事件中断允许
5	COMINTEN	**COM 事件中断使能** 0：COM 事件中断禁止 1：COM 事件中断允许
4	CH4INTEN	**通道 4 中断使能** 0：通道 4 中断禁止 1：通道 4 中断允许
3	CH3INTEN	**通道 3 中断使能** 0：通道 3 中断禁止 1：通道 3 中断允许
2	CH2INTEN	**通道 2 中断使能** 0：通道 2 中断禁止 1：通道 2 中断允许
1	CH1INTEN	**通道 1 中断使能** 0：通道 1 中断禁止 1：通道 1 中断允许
0	UPINTEN	**更新中断使能** 0：更新中断禁止 1：更新中断允许

12.3.6 TIM1 状态寄存器（TIM1_STS）

TIM1_STS (偏移地址=0x010，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	CH4ICOF	CH3ICOF	CH2ICOF	CH1ICOF	保留	BRKIF	TRIGIF	CHCOMIF	CH4CCIF	CH3CCIF	CH2CCIF	CH1CCIF	UPIF
			r/w0c	r/w0c	r/w0c	r/w0c		r/w0c	r/w0c	r/w0c	r/w0c	r/w0c	r/w0c	r/w0c	r/w0c

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

Bit 位	名称	描述
[31:13]	保留	
12	CH4ICOF	**通道 4 输入捕获溢出**，参考 CH1ICOF
11	CH3ICOF	**通道 3 输入捕获溢出**，参考 CH1ICOF
10	CH2ICOF	**通道 2 输入捕获溢出**，参考 CH1ICOF
9	CH1ICOF	**通道 1 输入捕获溢出** 0：无重复捕获产生 1：当 CH1CCIF 位为 1 时，通道再次发生输入捕获，该位置位。中
8	保留	
7	BRKIF	**刹车中断标志** 0：无刹车事件产生 1：检测到刹车输入信号有效电平
6	TRIGIF	**触发中断标志** 当发生触发事件(当从机模式控制器，在 TRGI 输入端检测到有效边沿)时由硬件对该位置 1，它由软件清 0。 0：无触发事件产生 1：触发中断等待响应
5	CHCOMIF	**通道通讯事件中断标志** 一旦产生 COM 事件(当捕获/比较控制位:CHxCCEN、CHxNCCEN、CHxOCMSEL 已被更新)该位由硬件置 1，它由软件清 0。 0：无 COM 事件产生 1：COM 中断等待响应
4	CH4CCIF	**通道 4 捕获比较中断标志**，参考 CH1CCIF
3	CH3CCIF	**通道 3 捕获比较中断标志**，参考 CH1CCIF
2	CH2CCIF	**通道 2 捕获比较中断标**志，参考 CH1CCIF
1	CH1CCIF	**通道 1 捕获比较中断标志** 如果通道 1 配置为输出模式: 当计数器的值和比较值匹配时该位由硬件置 1，但是中央对齐模式除外(参考 TIMx_CTR1 中的 CPS 位)。它由软件清 0。 0：无匹配发生 1：TIMx_CNT 和 TIMx_CH1CCVAL 的值匹配。当 TIMx_CH1CCVAL 的值大于 TIMx_UVAL 的值时，在向上或中央对齐模式计数器溢出，或向下计数模式时计数器下溢，CH1CCIF 置高。 如果通道 1 配置为输入模式: 当发生捕获时，该位由硬件置 1，通过软件清 0 或者通过读取 TIMx_CH1CCVAL 寄存器清 0 0：无输入捕获产生 1：计数器的值捕获到 TIMx_CH1CCVAL
0	UPIF	**更新中断标志** 当产生更新事件时该位由硬件置 1，软件清 0 0：无更新事件产生 1：产生更新中断等待响应 —若 TIMx_CTR1 寄存器中 UPD=0，当重复计数器计数值上溢或者下溢 —若 TIMx_CTR1 寄存器中的 UPD=0，URSEL=0，当写 TIMx_SWEGR 寄存器

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		中的 UEG 位时产生更新事件，通过软件对计数器 CNT 重新初始化时。 —若 TIMx_CTR1 寄存器中的 UPD=0，URSEL=0，当计数器 CNT 被触发事件重新初始化时。

12.3.7 TIM1 软件事件生成寄存器（TIM1_SWEGR）

TIM1_SWEGR (偏移地址=0x14，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	BRKEG	TRIGEG	COMEG	CH4CCG	CH3CCG	CH2CCG	CH1CCG	UEG
								w	w	w	w	w	w	w	w

Bit 位	名称	描述
[31:8]	保留	
7	BRKEG	**刹车事件生成** 该位由软件置 1，用于产生一个刹车事件，由硬件自动清 0 0：无动作 1：产生一个刹车事件。此时 CHOPEN=0、BRKIF=1，若开启对应的中断使能和 DMA 请求使能，将产生相应的中断和 DMA 请求。
6	TRIGEG	**触发事件生成** 该位由软件置 1，用于产生一个触发事件，由硬件自动清 0 0：无动作 1：TIMx_STS 中的 TRIGIF=1，若开启对应的中断使能和 DMA 请求使能，将产生相应的中断和 DMA 请求。
5	COMEG	**COM 事件生成** 该位由软件置 1，硬件自动清 0 0：无动作 1：当寄存器 TIMx_CTR2 中 CHPSEN=1，允许更新 CHxCCEN、CHxNCCEN、CHxOCMSEL 位 注:只对带互补输出的通道有效
4	CH4CCG	**通道 4 捕获比较事件生成**，参考 CH1CCG
3	CH3CCG	**通道 3 捕获比较事件生成**，参考 CH1CCG
2	CH2CCG	**通道 2 捕获比较事件生成**，参考 CH1CCG
1	CH1CCG	**通道 1 捕获比较事件生成** 该位由软件置 1，产生捕获/比较事件，由硬件自动清 0 0：无动作 1：在通道 1 上产生捕获/比较事件

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		若通道 1 为输出通道: 置位 CH1CCIF，若开启对应的中断使能和 DMA 请求使能，将产生响应的中断和 DMA 请求 若通道 1 位输入通道: 当计数器的值被捕获至 TIMx_CH1CCVAL 寄存器；置位 CH1CCIF，若开启对应的中断使能和 DMA 请求使能，将产生响应的中断和 DMA 请求。若 CH1CCIF 已经为 1，置位 CH1ICOF。
0	UEG	**更新事件生成** 该位由软件置 1，硬件自动清 0 0：无动作 1：重新初始化计数器 CNT，并且产生一个更新事件。预分频系数保持不变但预分频计数器被清 0。在中央对齐模式下或者 DIR=0(向上计数)，计数器被清 0；若 DIR=1(向下计数)，计数器取 TIMx_UVAL 的值。

12.3.8 TIM1 通道 1 和通道 2 配置寄存器（TIM1_CH12CFGR）

TIM1_CH12CFGR (偏移地址=0x018，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH2OCCEN	CH2OCMSEL[2:0]			CH2OCVPEN	CH2OCFEN	CH2FS[1:0]		CH1OCCEN	CH1OCMSEL[2:0]			CH1OCVPEN	CH1OCFEN	CH1FS[1:0]	
CH2ICFLT[3:0]				CH2ICPDIV[1:0]				CH1ICFLT[3:0]				CH1ICPDIV[1:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

输出比较模式

Bit 位	名称	描述
[31:16]	保留	
15	CH2OCCEN	**通道 2 输出比较清除使能**，参考 CH1OCCEN
[14:12]	CH2OCMSEL	**通道 2 输出比较模式选择**，参考 CH1OCMSEL
11	CH2OCVPEN	**通道 2 输出比较值预装载使能**，参考 CH1OCVPEN
10	CH2OCFEN	**通道 2 输出比较快速使能**，参考 CH1OCFEN
[9:8]	CH2FS	**通道 2 功能选择** 00：通道 2 被配置为输出 01：通道 2 被配置为输入，映射到 CH2 上 10：通道 2 被配置为输入，映射到 CH1 上 11：通道 2 被配置为输入，映射到 TRC 上 注：CH2FS 仅在通道关闭时(TIMx_CCCTR 中的 CH2CCEN=0)才是可写的

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

7	CH1OCCEN	**通道 1 输出比较清除使能** 0：CH1OCREF 不受 ETRF 输入的影响 1：当 ETRF 输入高电平时，清除 CH1OCREF=0
[6:4]	CH1OCMSEL	**通道 1 输出比较模式选择** 该 3 位定义了输出参考信号 CH1OCREF 的行为，CH1OCREF 决定了 CH1OC、CH1NOC 的值。CH1OCREF 是高电平有效，而 CH1OC、CH1NOC 的有效电平取决于 CH1CCP、CH1NCCP 位。 000：冻结。输出比较寄存器 TIMx_CH1CCVAL 与计数器 TIMx_CNT 间的比较对 CH1OCREF 不起作用； 001：匹配时设置通道 1 为有效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CH1CCVAL)相同时，强制 CH1OCREF 为高。 010：匹配时设置通道 1 为无效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CH1CCVAL)相同时，强制 CH1OCREF 为低。 011：翻转。当 TIMx_CH1CCVAL=TIMx_CNT 时，翻转 CH1OCREF 的电平。 100：强制为无效电平。强制 CH1OCREF 为低。 101：强制为有效电平。强制 CH1OCREF 为高。 110：PWM 模式 1－在向上计数时，一旦 TIMx_CNT<TIMx_CH1CCVAL 时，通道 1 为有效电平，否则为无效电平；在向下计数时,TIMx_CNT>TIMx_CH1CCVAL 时，通道 1 为无效电平(CH1OCREF=0)，否则为有效电平(CH1OCREF=1)。 111：PWM 模式 2－在向上计数时,一旦 TIMx_CNT<TIMx_CH1CCVAL 时，通道 1 为无效电平，否则为有效电平；在向下计数时，TIMx_CNT>TIMx_CH1CCVAL 时，通道 1 为有效电平，否则为无效电平。 注 1：一旦 LCKLV 级别设为 3(TIMx_CHOPR 寄存器中的 LCKLV 位)并且 CH1FS=00(该通道配置成输出)则该位不能被修改。 注 2：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时，CH1OCREF 电平才改变。 注 3：在有互补输出通道时，此位被预装载。如果置位 TIMx_CTR2 中的 CHPSEN 位，CH1OCMSEL 只有在 COM 事件到来时才能得到预装载的值
3	CH1OCVPEN	**通道 1 输出比较值预装载使能** 0：禁止 TIMx_CH1CCVAL 寄存器的预装载功能，可随时写入 TIMx_CH1CCVAL 寄存器，并且新写入的数值立即起作用。 1：开启 TIMx_CH1CCVAL 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMx_CH1CCVAL 的预装载值在更新事件到来时被加载至当前寄存器中。 注 1：LCKLV 级别设为 3(TIMx_CHOPR 寄存器中的 LCKLV 位)并且 CH1FS=00(该通道配置成输出)则该位不能被修改。 注 2：仅在单脉冲模式下(TIMx_CTR1 寄存器的 SPEN=1)，可以在未打开预装载寄存器情况下使用 PWM 模式，否则无法确定其行为。
2	CH1OCFEN	**通道 1 输出比较快速使能** 该位用于加快通道输出对触发输入事件的响应。 0：根据计数器与 TIMx_CH1CCVAL 的值，CH1 正常变化，即使触发打开。触发输入有效沿到 CH1 输出有效的最小延时为 5 个时钟周期。 1：触发输入有效沿的作用就像发生了一次比较匹配。因此，CH1OC 被设置

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		为比较电平而与比较结果无关。触发有效沿和 CH1 输出有效的延时被缩短为 3 个时钟周期。CH1OCFEN 只在通道被配置成 PWM1 或 PWM2 模式时起作用。
[1:0]	CH1FS	**通道 1 功能选择** 00：通道 1 被配置为输出 01：通道 1 被配置为输入，映射到 CH1 上 10：通道 1 被配置为输入，映射到 CH2 上 11：通道 1 被配置为输入，映射到 TRC 上 注：CH1FS 仅在通道关闭时(TIMx_CCCTR 中的 CH1CCEN=0)才是可写的

输入捕获模式

Bit 位	名称	描述
[31:16]	保留	
[15:12]	CH2ICFLT	**通道 2 输入捕获滤波**
[11:10]	CH2ICPDIV	**通道 2 输入捕获预分频**
[9:8]	CH2FS	**通道 2 功能选择** 00：通道 2 被配置为输出 01：通道 2 被配置为输入，映射到 CH2 上 10：通道 2 被配置为输入，映射到 CH1 上 11：通道 2 被配置为输入，映射到 TRC 上 注：CH2FS 仅在通道关闭时(TIMx_CCCTR 中的 CH2CCEN=0)才是可写的
[7:4]	CH1ICFLT	**通道 1 输入捕获滤波** 定义了 CH1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成，它记录到 N 个事件后会产生一个输出的跳变： 0000:无滤波器，以 f_{DTS} 采样 0001：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=2 0010：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=4 0011：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=8 0100：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=6 0101：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=8 0110：采样频率 $f_{SAMPLING}=f_{DTS}/4$，N=6 0111：采样频率 $f_{SAMPLING}=f_{DTS}/4$，N=8 1000：采样频率 $f_{SAMPLING}=f_{DTS}/8$，N=6 1001：采样频率 $f_{SAMPLING}=f_{DTS}/8$，N=8 1010：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=5 1011：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=6 1100：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=8 1101：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=5 1110：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=6 1111：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=8
[3:2]	CH1ICPDIV	**通道 1 输入捕获预分频** 这 2 位定义了 CH1 输入的预分频系数。 一旦 CH1CCEN=0(TIMx_CCCTR 寄存器中)，则预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获；

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		01：每 2 个事件触发一次捕获； 10：每 4 个事件触发一次捕获； 11：每 8 个事件触发一次捕获。
[1:0]	CH1FS	**通道 1 功能选择** 00：通道 1 被配置为输出 01：通道 1 被配置为输入，映射到 CH1 上 10：通道 1 被配置为输入，映射到 CH2 上 11 ：通道 1 被配置为输入，映射到 TRC 上 注：CH1FS 仅在通道关闭时(TIMx_CCCTR 中的 CH1CCEN=0)才是可写的

12.3.9 TIM1 通道 3 和通道 4 配置寄存器（TIM1_CH34CFGR）

TIM1_CH34CFGR (偏移地址=0x01C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH4OCCEN	CH4OCMSEL2:0[			CH4OCVPEN	CH4OCFEN	CH4FS[1:0]		CH3OCCEN	CH3OCMSEL[2:0]			CH3OCVPEN	CH3OCFEN	CH3FS[1:0]	
CH4ICFLT[3:0]				CH4ICPDIV[1:0]				CH3ICFLT[3:0]				CH3ICPDIV[1:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

输出比较模式

Bit 位	名称	描述
[31:16]	保留	
15	CH4OCCEN	**通道 4 输出比较清除使能**
[14:12]	CH4OCMSEL	**通道 4 输出比较模式选择**
11	CH4OCVPEN	**通道 4 输出比较值预装载使能**
10	CH4OCFEN	**通道 4 输出比较快速使能**
[9:8]	CH4FS	**通道 4 功能选择** 00：通道 4 被配置为输出 01：通道 4 被配置为输入，映射到 CH4 上 10：通道 4 被配置为输入，映射到 CH3 上 11：通道 4 被配置为输入，映射到 TRC 上 注：CH4FS 仅在通道关闭时(TIMx_CCCTR 中的 CH4CCEN=0)才是可写的
7	CH3OCCEN	**通道 3 输出比较清除使能**
[6:4]	CH3OCMSEL	**通道 3 输出比较模式选择**
3	CH3OCVPEN	**通道 3 输出比较值预装载使能**
2	CH3OCFEN	**通道 3 输出比较快速使能**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

[1:0]	CH3FS	**通道 3 功能选择** 00：通道 3 被配置为输出 01：通道 3 被配置为输入，映射到 CH3 上 10：通道 3 被配置为输入，映射到 CH4 上 11：通道 3 被配置为输入，映射到 TRC 上 注：CH3FS 仅在通道关闭时(TIMx_CCCTR 中的 CH3CCEN=0)才是可写的

输入捕获模式

Bit 位	名称	描述
[31:16]	保留	
[15:12]	CH4ICFLT	**通道 4 输入捕获滤波**
[11:10]	CH4ICPDIV	**通道 4 输入捕获预分频**
[9:8]	CH4FS	**通道 4 功能选择** 00：通道 4 被配置为输出 01：通道 4 被配置为输入，映射到 CH4 上 10：通道 4 被配置为输入，映射到 CH3 上 11：通道 4 被配置为输入，映射到 TRC 上 注：CH4FS 仅在通道关闭时(TIMx_CCCTR 中的 CH4CCEN=0)才是可写的
[7:4]	CH3ICFLT	**通道 3 输入捕获滤波**
[3:2]	CH3ICPDIV	**通道 3 输入捕获预分频**
[1:0]	CH3FS	**通道 3 功能选择** 00:通道 3 被配置为输出 01:通道 3 被配置为输入，映射到 CH3 上 10:通道 3 被配置为输入，映射到 CH4 上 11:通道 3 被配置为输入，映射到 TRC 上 注:CH3FS 仅在通道关闭时(TIMx_CCCTR 中的 CH3CCEN=0)才是可写的

12.3.10　TIM1 通道捕获比较控制寄存器（TIM1_CCCTR）

TIM1_CCCTR (偏移地址=0x020，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	CH4CCP	CH4CCEN	CH3NCCP	CH3NCCEN	CH3CCP	CH3CCEN	CH2NCCP	CH2NCCEN	CH2CCP	CH2CCEN	CH1NCCP	CH1NCCEN	CH1CCP	CH1CCEN
		r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:14]	保留	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

13	CH4CCP	**通道 4 捕获比较极性**，参考 CH1CCP
12	CH4CCEN	**通道 4 捕获比较使能**，参考 CH1CCEN
11	CH3NCCP	**通道 3 互补通道捕获比较极性**，参考 CH1NCCP
10	CH3NCCEN	**通道 3 互补通道捕获比较使能**，参考 CH1NCCEN
9	CH3CCP	**通道 3 捕获比较极性**，参考 CH1CCP
8	CH3CCEN	**通道 3 捕获比较使能**，参考 CH1CCEN
7	CH2NCCP	**通道 2 互补通道捕获比较极性**，参考 CH1NCCP
6	CH2NCCEN	**通道 2 互补通道捕获比较使能**，参考 CH1NCCEN
5	CH2CCP	**通道 2 捕获比较极性**，参考 CH1CCP
4	CH2CCEN	**通道 2 捕获比较使能**，参考 CH1CCEN
3	CH1NCCP	**通道 1 互补通道捕获比较极性** CH1 通道配置为输出 0：CH1NOC 高电平有效 1：CH1NOC 低电平有效 CH1 通道配置为输入 将和 CH1CCP 联合定义 CH1FP1 和 CH2FP1 的极性 注 1：在通道有互补输出时，本位被预装载。如果 TIMx_CTR2 中的 CHPSEN 被置 1，那么 CH1NCCP 有效位预装载的新值只有在 COM 事件发生时才起作用 注 2：当 LCKLV 级别(TIMx_CHOPR 中 LCKLV)设定为 3 或者 2 且 CH1FS=00(通道配置为输出)则该位不能被修改
2	CH1NCCEN	**通道 1 互补通道捕获比较使能** 0:关闭－ CH1NOC 禁止输出,因此 CH1NOC 的输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1CCEN 位的值。 1：开启－ CH1NOC 信号输出到对应的输出引脚，其输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1CCEN 位的值。
1	CH1CCP	**通道 1 捕获比较极性** CH1 通道配置为输出 0：CH1OC 高电平有效 1：CH1OC 低电平有效 CH1 通道配置为输入 CH1NCCP/CH1CCP 位选择在触发或者捕获模式下 CH1FP1 和 CH2FP1 的有效极性 00：不翻转/上升沿有效。 01：翻转/下降沿有效。 10：保留 11：不翻转/上升沿和下降沿都有效。
0	CH1CCEN	**通道 1 捕获比较使能** CH1 通道配置为输出 0：关闭－CH1OC 禁止输出，因此 CH1NOC 的输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1NCCEN 位的值。 1：开启－ CH1OC 信号输出到对应的输出引脚，其输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1NCCEN 位的值。 CH1 通道配置为输入

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		该位决定了计数器的值是否能捕获入 TIMx_CH1CCVAL 寄存器。 0：捕获禁止； 1：捕获使能。

表 37 互补通道 CHxOC 和 CHxNOC 输出控制位

控制位输出状态					输出状态	
CHOPEN 位	**IDLEOS 位**	**RUNOS 位**	**CHxCCEN 位**	**CHxNCCEN 位**	CHxOC 输出状态	CHxNOC 输出状态
1	X	0	0	0	输出已禁用（不是由计时器驱动） CHxOC = 0， CHxOC_EN = 0	输出已禁用（不是由计时器驱动） CHxOC = 0，CHxOC_EN = 0
		0	0	1	输出已禁用（不是由计时器驱动） CHxOC = 0， CHxOC_EN = 0	CHxOCREF + Polarity CHxNOC=CHxOCREF xor CHxNCCP, CHxNOC_EN=1
		0	1	0	CHxOCREF + Polarity CHxOC =CHxOCREF xor CHxCCP CHxOC _EN=1	输出已禁用（不是由计时器驱动） CHxNOC = 0，CHxNOC _EN = 0
		0	1	1	CHxOCREF + Polarity + 死区时间+ CHxOC _EN=1	CHxOCREF 反相 (not CHxOCREF) + Polarity + dead-time CHxNOC _EN=1
		1	0	0	输出已禁用（不是由计时器驱动） CHxOC =CHxCCP, CHxOC _EN=0	输出已禁用（不是由计时器驱动） CHxNOC =CHxNCCP, CHxNOC _EN=0
		1	0	1	关闭状态（输出使能且无效状态） CHxOC = CHxCCP ，	CHxOCREF + Polarity CHxNOC =CHxOCREF xor CHxNCCP, CHxNOC _EN=1

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

					CHxOC _EN = 1	
		1	1	0	CHxOCREF + Polarity CHxOC =CHxOCREF xor CHxCCP, CHxOC _EN=1	关闭状态（输出使能且无效状态） CHxNOC =CHxNCCP, CHxNOC _EN=1
		1	1	1	CHxOCREF + Polarity + dead-time CHxOC _EN=1	CHxOCREF 反相 (not CHxOCREF) + Polarity + dead-time CHxNOC _EN=1
0	0	X	0	0	输出已禁用（不是由计时器驱动） CHxOC =CHxCCP, CHxOC _EN=0	输出已禁用（不是由计时器驱动） CHxNOC =CHxNCCP, CHxNOC _EN=0
	0		0	1	输出已禁用（不是由计时器驱动） 异步：CHxOC = CHxCCP，CHxOC _EN = 0，CHxNOC = CHxNCCP，CHxNOC _EN = 0，如果时钟存在：假设 IVOx 和 IVOxN 与 CHxOC 和 CHxNOC 不相同且不全部处于有效状态，则在死区时间后 CHxOC = IVOx 和 CHxNOC = IVOxN。	
	0		1	0		
	0		1	1		
	1		0	0	输出已禁用(不是由计时器驱动) CHxOC =CHxCCP, CHxOC _EN=0	输出已禁用(不是由计时器驱动) CHxNOC =CHxNCCP, CHxNOC _EN=0
	1		0	1	关闭状态（输出使能且无效状态）异步：CHxOC = CHxCCP，CHxOC _EN = 1，CHxNOC = CHxNCCP，CHxNOC _EN = 1 如果时钟存在：假设 IVOx 和 IVOxN 与 CHxOC 和 CHxNOC 不相同且不全部处于有效状态，则在死区时间后 CHxOC = IVOx 和 CHxNOC = IVOxN。	
	1		1	0		
	1		1	1		

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

12.3.11　TIM1 计数器（TIM1_CNT）

对该寄存器的写入操作只支持半字或字写入。

TIM1_CNT (偏移地址=0x024，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CNT	计数器

12.3.12　TIM1 预分频（TIM1_PDIV）

TIM1_PDIV (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDIV															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	PDIV	**预分频** 计数器的时钟频率(f_{CLK_CNT})等于 f_{CLK_PDIV}/(PDIV+1)。当更新事件产生时，PDIV 的值被装入当前预分频寄存器；更新事件包括写 TIMx_SWEGR 中的 UEG 位或工作在复位模式将计数器清 0.

12.3.13　TIM1 计数器更新寄存器（TIM1_UVAL）

TIM1_UVAL (偏移地址=0x02C，复位值=0x0000FFFF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	UVAL	**自动重载值** 当自动重载值 UVAL 为 0 时，计数器不工作

12.3.14　TIM1 计数器更新重复寄存器（TIM1_UVALREP）

TIM1_UVALREP(偏移地址=0x030，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	UVALREP[7:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:8]	保留	
[7:0]	UVALREP	**计数器更新重复次数** 开启了预装载功能后，这些位允许用户设置比较寄存器的更新速率(即周期性地从预装载寄存器传输到当前寄存器)；如果允许产生更新中断，则会同时影响产生更新中断的速率。 每次向下计数器 UVALREP_CNT 达到 0，会产生一个更新事件并且计数器 UVALREP_CNT 重新从 UVALREP 值开始计数。由于 UVALREP_CNT 只有在周期更新事件发生时才重载 UVALREP 值，因此对 TIM1_UVALREP 寄存器写入的新值只在下次周期更新事件发生时才起作用。 这意味着在 PWM 模式中，(UVALREP+1)对应着： — 在边沿对齐模式下，PWM 周期的数目； — 在中央对齐模式下，PWM 半周期的数目；

12.3.15　TIM1 通道 1 捕获比较寄存器（TIM1_CH1CCVAL）

TIM1_CH1CCVAL (偏移地址=0x034，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

CH1CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CH1CCVAL	**通道 1 捕获比较值** 若通道 1 配置为输出： CH1CCVAL 包含了装入当前捕获比较 1 寄存器的值(预装载值)。 如果 TIMx_CH12CFGR 寄存器(CH1OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获比较 1 寄存器中。当前捕获比较寄存器同计数器 TIMx_CNT 比较，并在 CH1OC 端口上产生输出信号。 若通道 1 配置为输入： CH1CCVAL 包含了由上一次输入捕获 1 事件传输的计数器值。

12.3.16　TIM1 通道 2 捕获比较寄存器（TIM1_CH2CCVAL）

TIM1_CH2CCVAL (偏移地址=0x038，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH2CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CH2CCVAL	**通道 2 捕获比较值** CH2CCVAL 包含了装入当前捕获比较 2 寄存器的值(预装载值)。 如果 TIMx_CH12CFGR 寄存器(CH2OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获比较 2 寄存器中。当前捕获/比较寄存器同计数器 TIMx_CNT 比较，并在 CH2OC 端口上产生输出信号。 若通道 2 配置为输入： CH2CCVAL 包含了由上一次输入捕获 2 事件传输的计数器值。

12.3.17　TIM1 通道 3 捕获比较寄存器（TIM1_CH3CCVAL）

TIM1_CH3CCVAL (偏移地址=0x03C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH3CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CH3CCVAL	**通道 3 捕获比较值** CH3CCVAL 包含了装入当前捕获比较 3 寄存器的值(预装载值)。 如果 TIMx_CH34CFGR 寄存器(CH3OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获比较 3 寄存器中。当前捕获比较寄存器同计数器 TIMx_CNT 比较，并在 CH3 端口上产生输出信号。 若通道 3 配置为输入： CH3CCVAL 包含了由上一次输入捕获 3 事件传输的计数器值。

12.3.18　TIM1 通道 4 捕获比较寄存器（TIM1_CH4CCVAL）

TIM1_CH4CCVAL(偏移地址=0x040，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH4CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CH4CCVAL	**通道 4 捕获比较值** CH4CCVAL 包含了装入当前捕获比较 4 寄存器的值(预装载值)。 如果 TIMx_CH34CFGR 寄存器(CH4OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获比较 4 寄存器中。当前捕获/比较寄存器同计数器 TIMx_CNT 比较，并在 CH4 端口上产生输出信号。 若通道 4 配置为输入： CH4CCVAL 包含了由上一次输入捕获 4 事件传输的计数器值。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

12.3.19　TIM1 通道输出保护寄存器（TIM1_CHOPR）

TIM1_CHOPR (偏移地址=0x044，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHOPEN	CHOPAEN	BRKPOL	BRKEN	RUNOS	IDLEOS	LCKLV[1:0]		DTCFG[7:0]							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
15	CHOPEN	**通道引脚输出使能** 一旦刹车输入有效，该位被硬件异步清 0。根据 CHOPAEN 位的值，该位可以由软件置 1 或根据 CHOPAEN 位值自动置 1。它仅对配置为输出的通道有效。 0：禁止 CHxOC 和 CHxNOC 输出或强制为空闲状态； 1：如果设置了相应的使能位(TIMx_CCCTR 寄存器的 CHxCCEN、CHxNCCEN 位)，则开启 CHxOC 和 CHxNOC 输出。
14	CHOPAEN	**输出引脚自动使能** 0：CHOPEN 只能被软件置 1 1：CHOPEN 能被软件置 1 或在下一次更新事件被自动置 1(如果刹车输入无效) 注：LCKLV 级别设置为 1，则该位不能被修改
13	BRKPOL	**刹车极性** 0：刹车输入低电平有效 1：刹车输入高电平有效 注：当 LCKLV 级别设为 1 时，则该位不能被修改
12	BRKEN	**刹车使能** 0：刹车输入禁止 1：刹车输入允许 注：当 LCKLV 级别设为 1 时，则该位不能被修改
11	RUNOS	**运行模式的关闭状态** 该位用于当 CHOPEN=1 且通道为互补输出时。没有互补输出的定时器中不存在 RUNOS 位。 0：当定时器不工作时，禁止 CHxOC/CHxNOC 输出(CHxOC/CHxNOC 使能输出信号=0)； 1：当定时器不工作时，一旦 CHxCCEN=1 或 CHxNCCEN=1，首先开启 CHxOC/CHxNOC 并输出无效电平，然后置 CHxOC/CHxNOC 使能输出信号=1。 注：一旦 LCKLV 级别设为 2，则该位不能被修改。
10	IDLEOS	**空闲模式的关闭状态**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		该位用于当 CHOPEN=0 且通道设为输出时。 0：当定时器不工作时，禁止 CHxOC/CHxNOC 输出(CHxOC/OCN 使能输出信号=0)； 1：当定时器不工作时，一旦 CHxCCEN=1 或 CHxNCCEN=1 ，CHxOC/CHxNOC 首先输出其空闲电平，然后 CHxOC/CHxNOC 使能输出信号=1。 注：一旦 LCKLV 级别设为 2，则该位不能被修改。
[9:8]	LCKLV	**锁定层级控制** 该位提供写保护 00：锁定关闭，寄存器无写保护 01：锁定级别 1，不能够写入 TIMx_CHOPR 寄存器中的 DTCFG、BRKPOL、BRKEN、CHOPAEN 位和 TIMx_CTR2 寄存器中的 IVOx 和 IVOxN。 10：锁定级别 2，不能够写入锁定级别 1 中的寄存器位，同时也不可以写入通道的极性位(当相关的通道 CHxFS 设置为输出，通道的极性位是 TIMx_CCCTR 中的 CHxCCP 和 CHxNCCP)以及 RUNOS 和 IDLEOS 位 11：锁定级别 3，不能写入锁定级别 2 中的寄存器位，同时也不可以写入通道控制位(当相关的通道 CHxFS 设置为输出，通道的控制位是 TIMx_CHxxCFGR 寄存器中的 CHxOCMSEL 和 CHxOCVPEN) 注：在系统复位之后，LCKLV 只能写一次，写入的内容将冻结直到复位
[7:0]	DTCFG	**死区时间配置** 定义了插入互补输出的死区持续时间，假设 DT 表示其持续时间： DTCFG[7：5]=0xx => DT=DTCFG[7：0] ×Tdtg ， Tdtg = T_{DTS}； DTCFG[7：5]=10x => DT=(64+DTCFG[5：0]) × Tdtg，Tdtg = 2 × T_{DTS} DTCFG[7：5]=110 => DT=(32+DTCFG[4：0]) × Tdtg，Tdtg = 8 × T_{DTS} DTCFG[7：5]=111 => DT=(32+DTG[4：0]）× Tdtg，Tdtg = 16 × T_{DTS} 注：一旦 LCKLV 级别设为 1、2 或 3，则不能修改这些位。

12.3.20　TIM1 DMA 读写配置（TIM1_DMAACR）

TIM1_DMAACR (偏移地址=0x048，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	DMATL[4:0]					保留	保留	保留	DMASA[4:0]				
			r/w	r/w	r/w	r/w	r/w				r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:13]	保留	
[12:8]	DMATL	**DMA 传输长度** 这些位定义了 DMA 的 传输次数(当对 TIMx_DMAIR 寄存器进行读或写时，定时器则认为进行了一次突发传输) 00000：1 次传输

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		00001：2 次传输 00010：3 次传输 ..... 10001：18 次传输
[7:5]	保留	
[4:0]	DMASA	**DMA 起始地址** 这些位定义了 DMA 传输的起始地址(当对 TIMx_DMAIR 寄存器进行读或写时)，DMASA 定义为从 TIMx_CTR1 寄存器所在地址开始的偏移量： 00000：TIMx_CTR1 00001：TIMx_CTR2 00010：TIMx_SMCFG …

12.3.21　TIM1 DMA 接口寄存器（TIM1_DMAIR）

TIM1_DMAIR (偏移地址=0x04C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAI															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	DMAI	**DMA 接口** 对 TIMx_DMAIR 寄存器的读写会对导致对下面的地址所在寄存器的访问(TIMx_CTR1 地址)+(DMASA +DMA 索引)x4,其中 TIMx_CTR1 地址是该控制寄存器所在的地址，DMASA 是 DMAACR 中定义的基地址，DMA 索引是由 DMA 自动控制的偏移量，它取决于 TIMx_DMAACR 中定义的 DMATL

使用 DMA 的并发操作的例子

在此示例中，定时器 DMA 并发功能用于更新 CHxCCVAL 的内容（x = 2,3,4），DMA 将半字传送到 CHxCCVAL 寄存器。

这是通过以下步骤完成的：

1.配置相应的 DMA 通道，如下所示：

- DMA 通道外设地址是 DMAIR 寄存器地址
- DMA 通道存储器地址是 RAM 中缓冲区的地址，包含要由 DMA 传输到 CHxCCVAL 寄存器的数据。
- 要传输的数据数= 3（参见下面的注释）。
- 禁用循环模式。

2.配置 DMAACR 寄存器的 DMASA 和 DMATL 位字段，如下所示：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

DMATL = 3 次传输，DMASA = 0xE。
3.使能 TIMx 更新 DMA 请求（置位 DIEN 寄存器中的 UPDEN 位）。
4.使能 TIMx
5.使能 DMA 通道
注：此示例适用于每个 CHxCCVAL 寄存器更新一次的情况。 例如，如果要更新每个 CHxCCVAL 寄存器两次，则要传输的数据数应为 6。以 RAM 中包含 data1，data2，data3，data4，data5 和 data6 的缓冲区为例。 数据传输到 CHxCCVAL 寄存器，如下所示：在第一次更新 DMA 请求时，data1 传输到 CH2CCVAL，data2 传输到CH3CCVAL，data3 传输到CH4CCVAL，在第二次更新DMA 请求时，data4 传输到CH2CCVAL，data5 转移到 CH3CCVAL，data 6 转移到 CH4CCVAL。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

13 通用定时器 (TIM2 和 TIM3)

概述

13.1.1 简介

通用定时器由可编程预分频器驱动的 16 位或 32 位自动装载计数器组成。

通用定时器可用于测量输入信号的脉冲宽度（输入捕获）或用于生成输出波形（输出比较及 PWM）。

13.1 通过使用定时器预分频器和 RCU 时钟控制预分频器，可以将脉冲的宽度以及波形的周期设置为几个微秒到几毫秒的范围不等。

这些定时器是完全独立的，不与其他组件共享任何资源。他们可以被同步地进行操作。

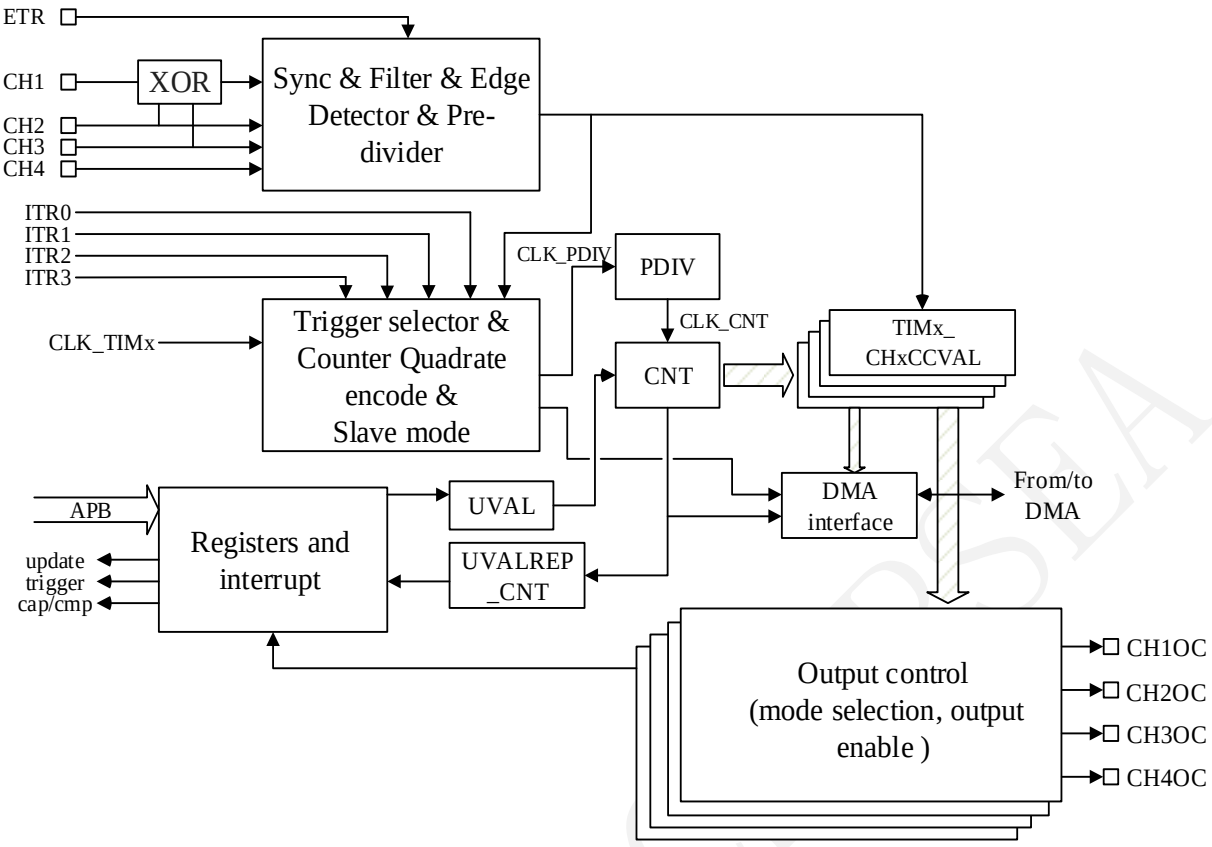
注： CS32F03X-RA 版本无 TIM2 功能

13.1.2 功能概述

- 16 位 (TIM3)或 32 位(TIM2)向上、向下、向上/下自动装载计数器
- 16 位可编程 (可以实时配置) 预分频器， 其预分频系数可以为 1 ～ 65535 之间的任意数值
- 4 个独立通道：
  - 输入捕获
  - 输出比较
  - PWM 产生 (边沿以及中央对齐模式)
  - 单脉冲模式输出
- 通过同步电路用外部信号控制定时器并使几个计时器相互连接。
- 下面事件发生时，产生中断/DMA 请求：
  - 更新：计数器上溢/下溢，计数器初始化(由软件或内部/外部触发)
  - 触发事件(计数器启动、停止、初始化或由内部/外部触发计数)
  - 输入捕获
  - 输出比较
- 支持增量(正交)编码器以及霍尔传感器电路，用于定位。
- 外部时钟触发输入或按周期进行的电流管理

图 85 通用定时器框图（TIM2 及 TIM3）

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



13.2 模块操作

13.2.1 时基单元

可编程定时器的主模块是一个 16 位/32 位计数器及其相关的自动加载寄存器。计数器可以向上计数或向下计数，也可以向上向下计数。计数器时钟可由预分频器进行分频后获得。

计数器、自动重新加载寄存器和预分频器寄存器可以通过软件进行读出和写入操作。即使在计数器正在运行时也是如此。

时基单元包括：

- 计数器寄存器（TIMx_CNT）
- 预分频寄存器（TIMx_PDIV）
- 计数器更新寄存器(TIMx_UVAL)

计数器更新寄存器是预装载的。写入或者读取计数器更新寄存器访问的是预装载寄存器。根据 TIMx_CTR1 寄存器中的 UVAL 影子寄存器使能位（UVALSEN），预装载寄存器的内容将立刻或在每个更新事件（UEV）时传输到影子寄存器中。如果 TIMx_CTR1 寄存器中的 UPD 位等于 0，当计数器上溢（或向下计数时下溢）时，更新事件产生。更新事件可由软件配置生成。随后会详细描述每种配置下更新事件的产生。

计数器由预分频器输出 CLK_CNT 提供时钟，该输出仅在 TIMx_CTR1 寄存器中的计数器使能位（CEN）置 1 时起作用（参见从机模式控制器的描述获得有关计数器使能的更多细节）。

注意：真正的计数器使能信号 CNT_EN 在 CEN 置位后的一个时钟周期被置 1。

预分频器

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

预分频器可以将计数器的时钟频率以 1 到 65536 之间的任意数值来进行分频。它是基于一个(在 TIMx_PDIV 寄存器中的)16 位寄存器控制的 16/32 位计数器。 这个控制寄存器带有缓冲器， 它能够在工作时被改变。新的预分频器分频值在下一次更新事件到来时被使用。

图 86 和图 87 给出了在预分频器正在运行时更改计数器分频值的例子。

图 86 预分频器的分频系数从 1 变为 2 时的计数器时序图

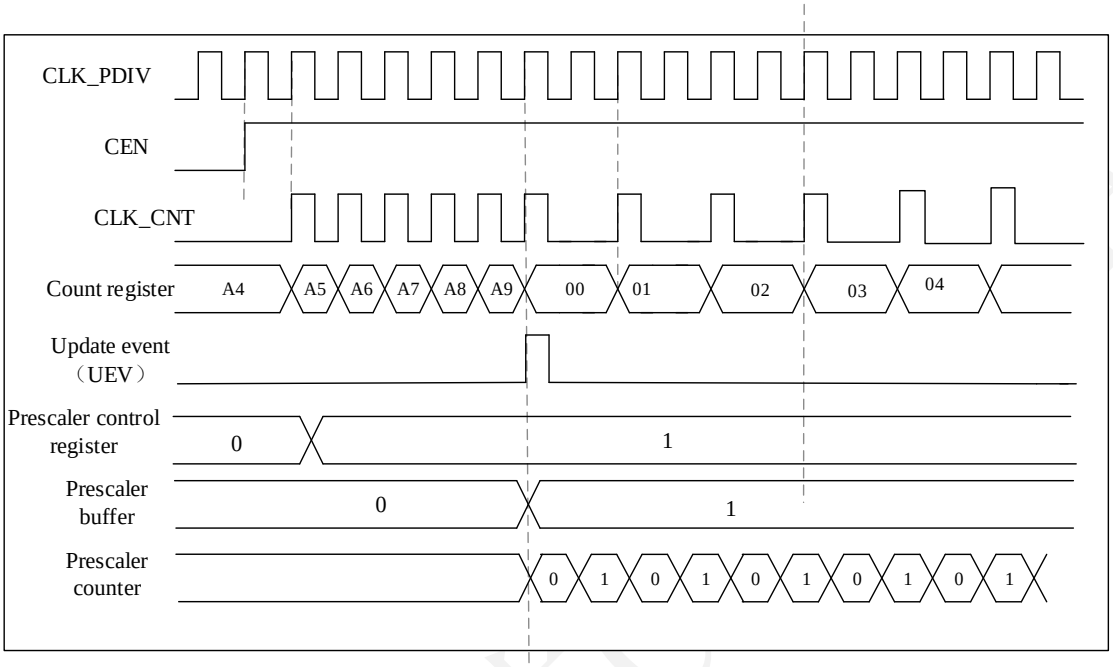
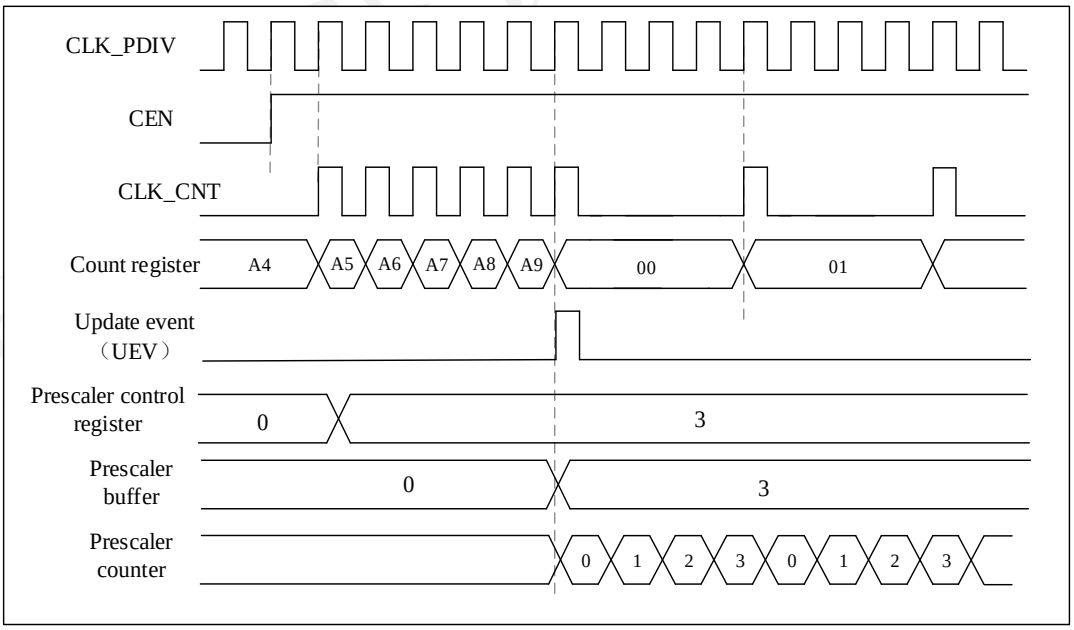


图 87 预分频器的分频系数从 1 变为 4 时的计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

13.2.2 计数器模式

向上计数

在向上计数模式下，计数器从 0 计数到 UVAL 值（即 TIMx_UVAL 寄存器中的内容），然后从 0 重新开始计数并产生计数器上溢事件。

可以在每次计数器上溢时生成更新事件，也可以通过写 TIMx_SWEGR 寄存器中的 UEG 位（通过软件或使用从机模式控制器）生成更新事件。

可以通过软件将 TIMx_CTR1 寄存器中的 UPD 位置 1 来禁止 UEV 事件。这是为了避免在预装载寄存器中写入新值时更新影子寄存器。在 UPD 位写入 0 之前不会发生更新事件。但是，计数器以及预分频器的计数器从 0 重新开始计数（但预分频率不会改变）。此外，如果 TIMx_CTR1 寄存器中的 URSEL 位（更新请求选择）已置 1，则写 UEG 位会生成更新事件 UEV 但不置位 UPIF 标志（因此不生成中断或 DMA 请求）。这是为了避免在捕获事件清除计数器时，同时生成更新和捕获中断。

发生更新事件时，将更新所有寄存器并依据 URSEL 的值置位更新标志（TIMx_STS 寄存器中的 UPIF 位）：

- 预分频器的缓冲器重载了预装载值（TIMx_PDIV 寄存器的内容）
- 自动重载影子寄存器更新为预装载值（TIMx_UVAL）

下图显示了不同时钟的频率 TIMx_UVAL = 0x18 时计数器行为的一些示例

图 88 内部时钟分频系数为 1 时的计数器时序图

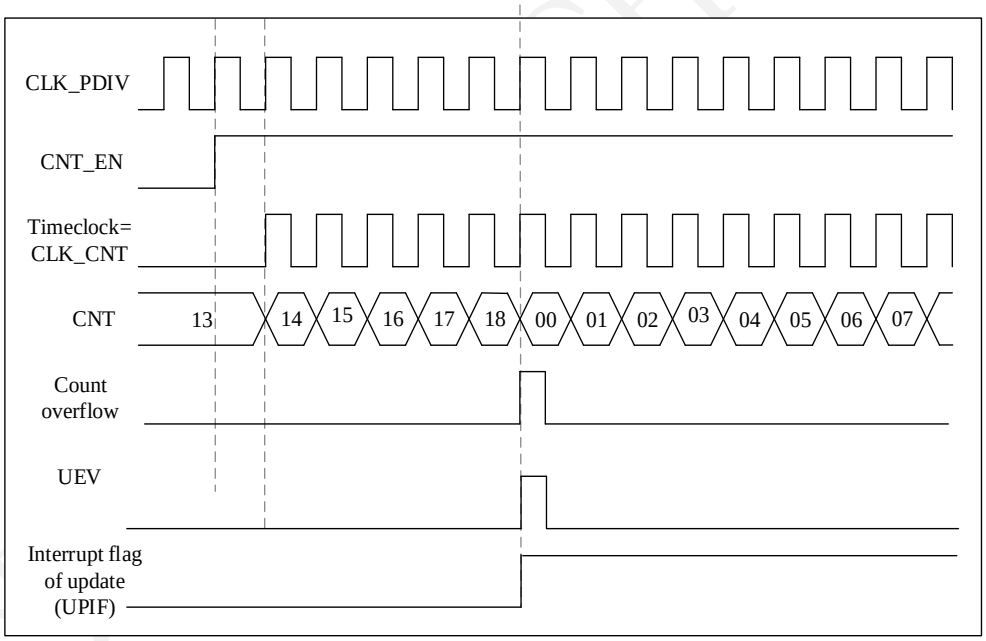


图 89 内部时钟分频系数为 2 时的计数器时序图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

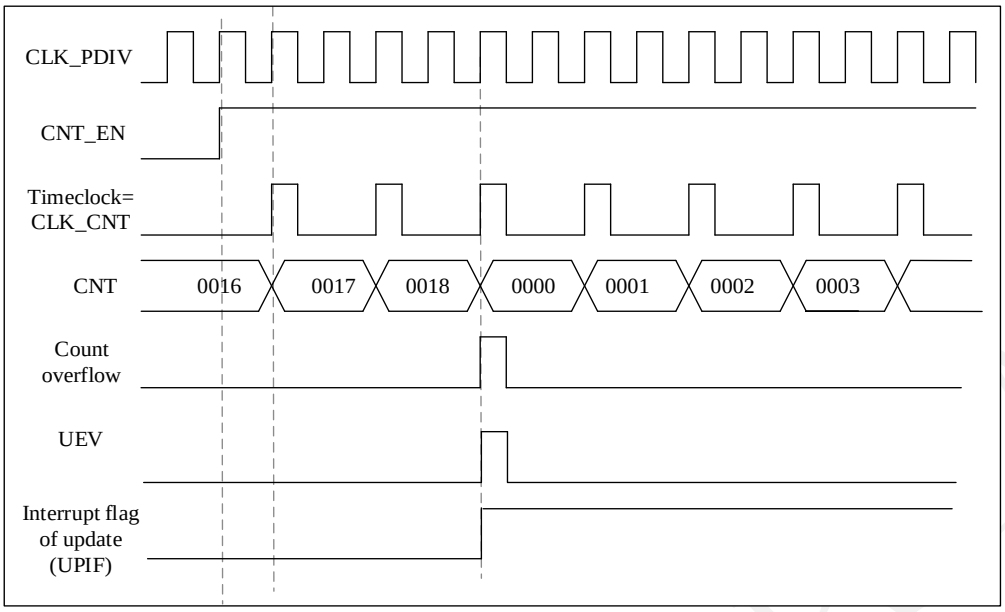


图 90 内部时钟分频系数为 4 时的计数器时序图

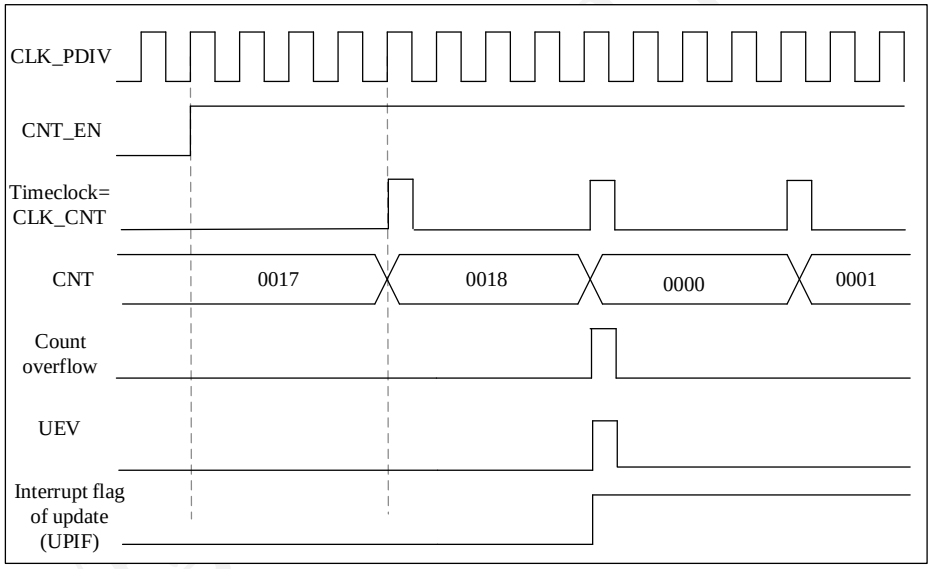


图 91 内部时钟分频系数为 N 时的计数器时序图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

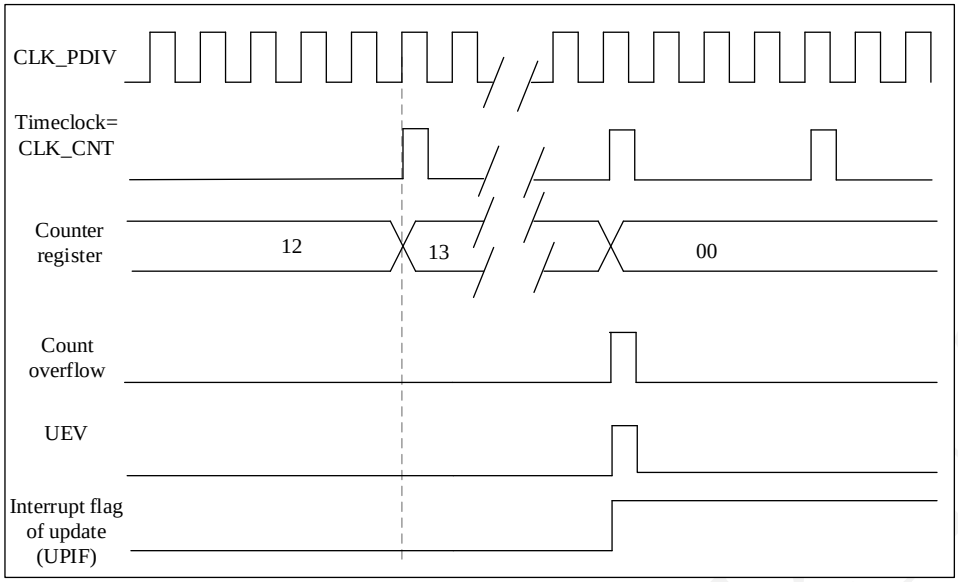


图 92 当 UVALSEN = 0 时的更新事件，计数器时序图（TIMx_UVAL 未预装载）

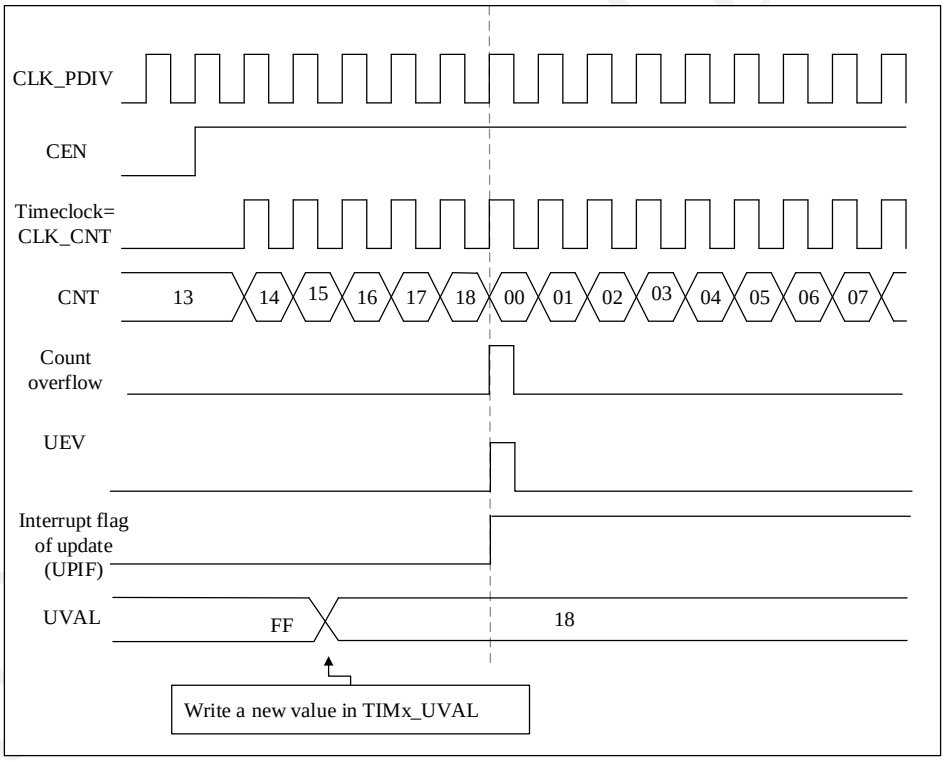
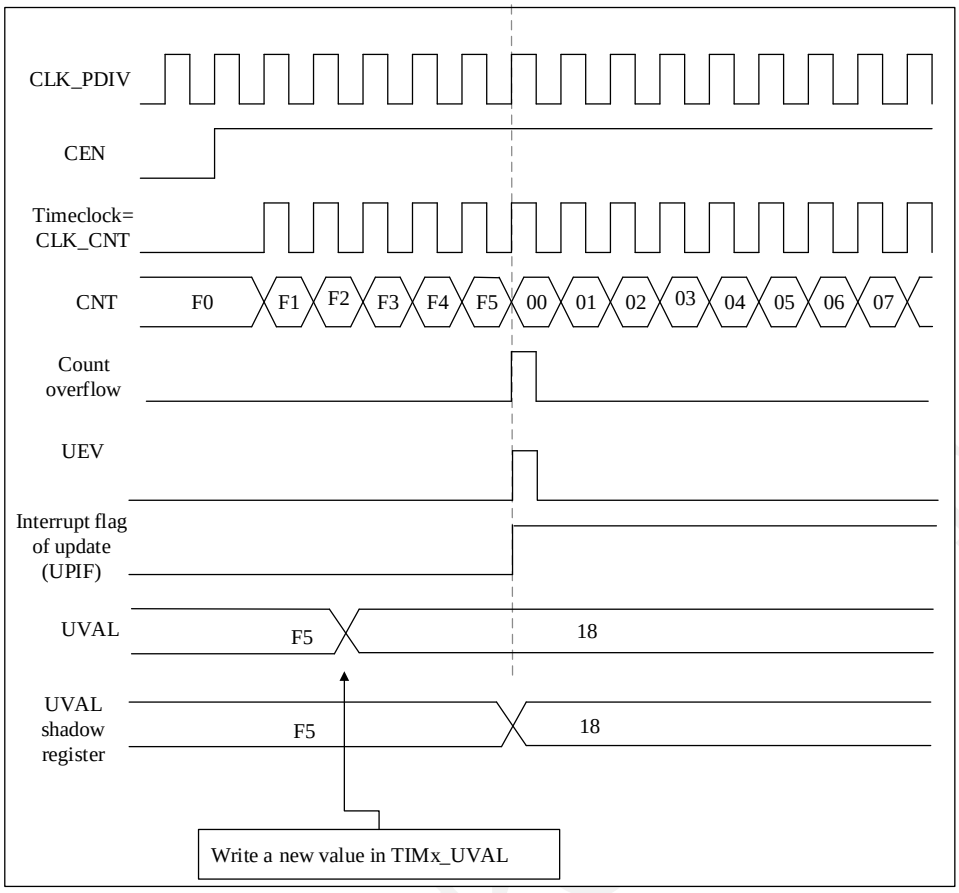


图 93 当 UVALSEN = 1 时的更新事件，计数器时序图（TIMx_UVAL 预装载）

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



向下计数模式

在向下计数模式中，计数器从 UVAL 值（即 TIMx_UVAL 寄存器中的内容）计数到 0，然后从 UVAL 重新计数并产生计数器下溢事件。

更新事件在计数器每次下溢时产生，也可以通过写 TIMx_SWEGR 寄存器中的 UEG 位（通过软件或使用从机模式控制器）生成更新事件。

可以通过软件将 TIMx_CTR1 寄存器中的 UPD 位进行置 1 来禁止 UEV 事件。这是为了避免在预加载寄存器中写入新值时更新影子寄存器。在 UPD 位写入 0 之前不会发生更新事件。但是，计数器从当前 UVAL 重新计数，而预分频器的计数器从 0 重新计数（但预分频值不会改变）。

此外，如果 TIMx_CTR1 寄存器中的 URSEL 位（更新请求选择）被置位，则置位 UEG 位会生成更新事件 UEV 但不置位 UPIF 标志（因此不会生成中断或 DMA 请求）。这是为了避免在捕获模式下清除计数器时，同时生成更新和捕获中断。

注：计数器配置为向下计数模式，UPIF 会在 CEN 从无效变为有效时置位，需要软件执行一次清除操作。

在发生更新事件时，将更新所有寄存器并根据 URSEL 置位更新标志（TIMx_STS 寄存器中的 UPIF 位）：

- 预分频器的缓冲器重载了预装载值（TIMx_PDIV 寄存器的内容）
- 自动重载影子寄存器更新为预装载值（TIMx_UVAL）。请注意，在重新加载计数器之前会更新自动重载寄存器，以便下一个周期是预期的值。

下图显示了在 TIMx_UVAL = 0x18 时不同时钟频率的计数器行为的一些示例。

图 94 内部时钟分频系数为 1 时的计数器时序图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

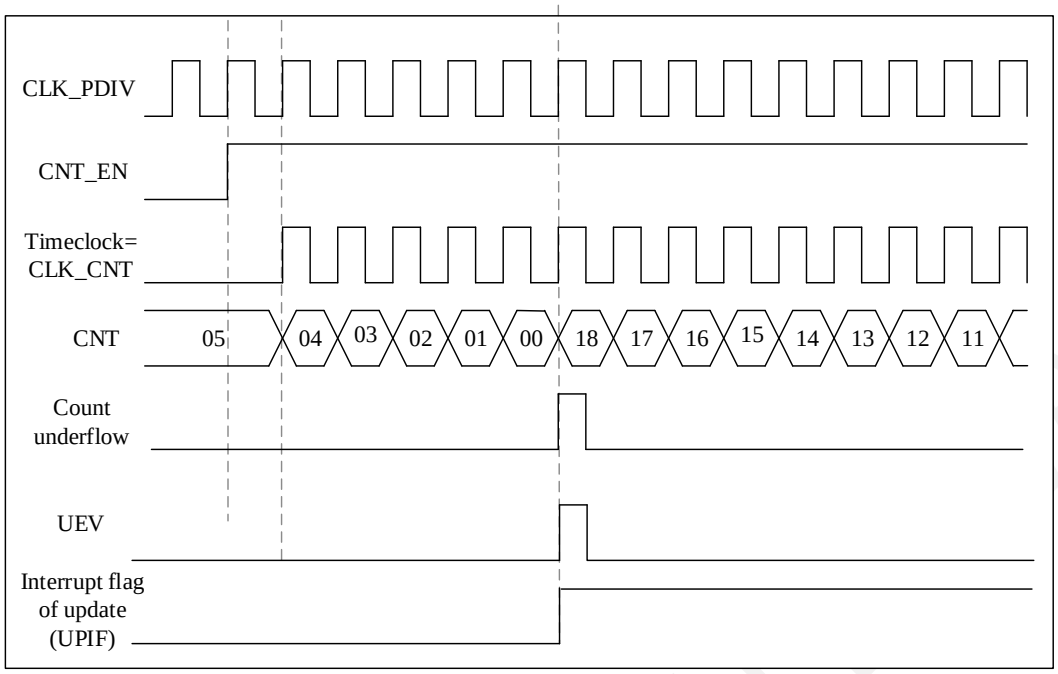


图 95 内部时钟分频系数为 2 时的计数器时序图

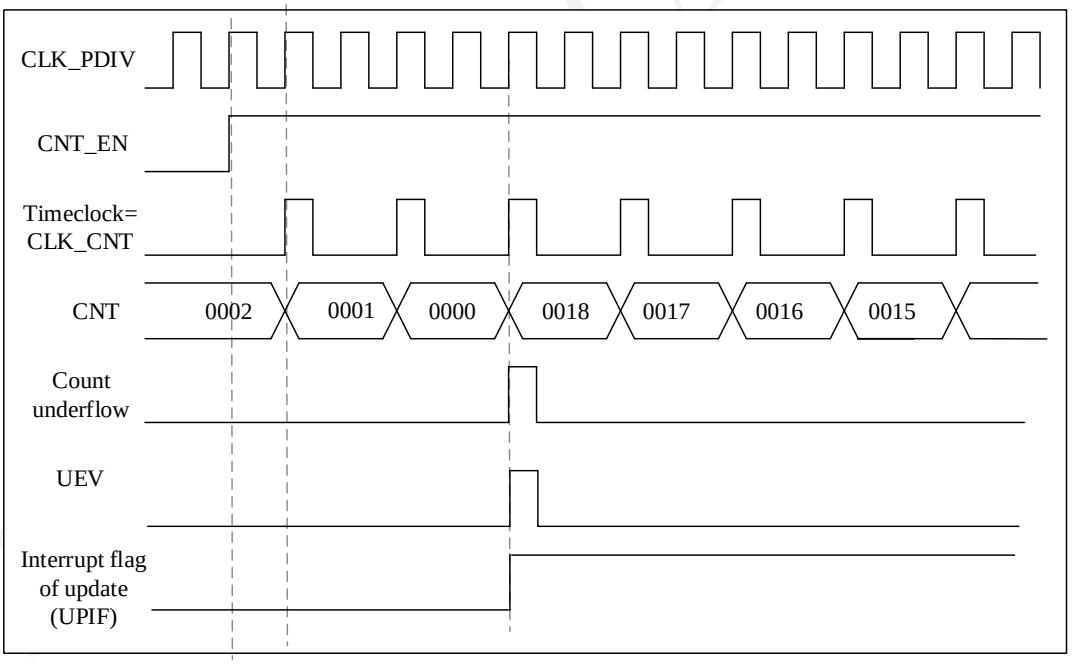


图 96 内部时钟分频系数为 4 时的计数器时序图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

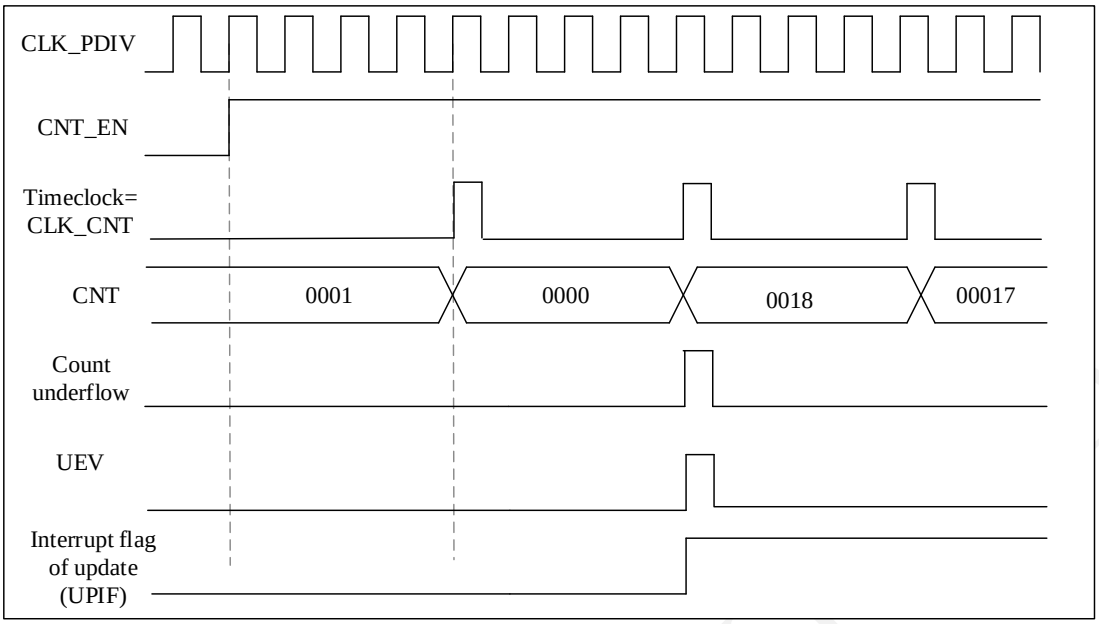


图 97 内部时钟分频系数为 N 时的计数器时序图

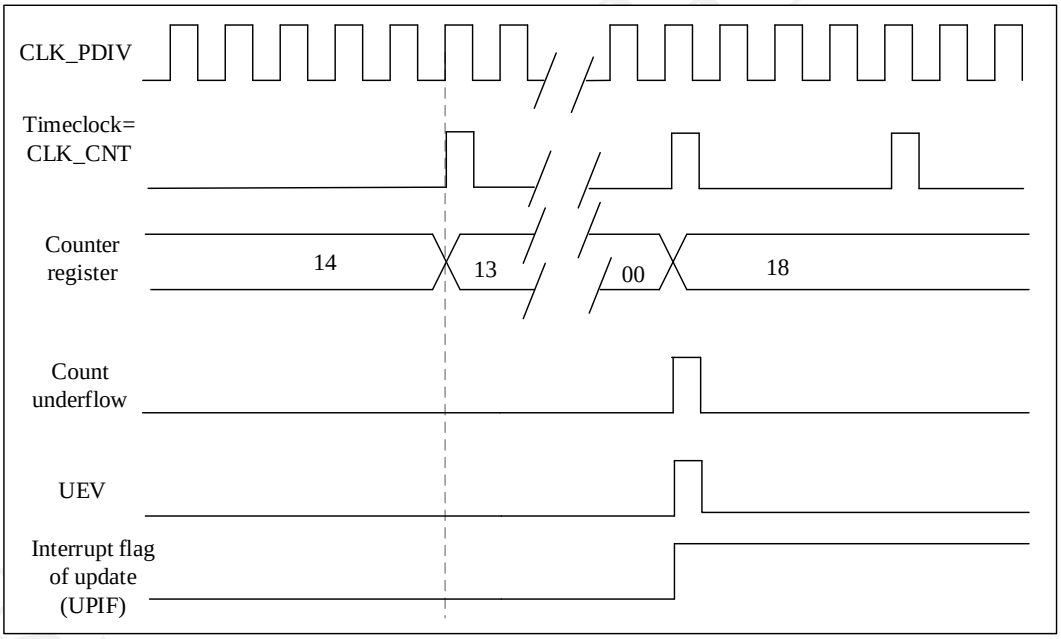
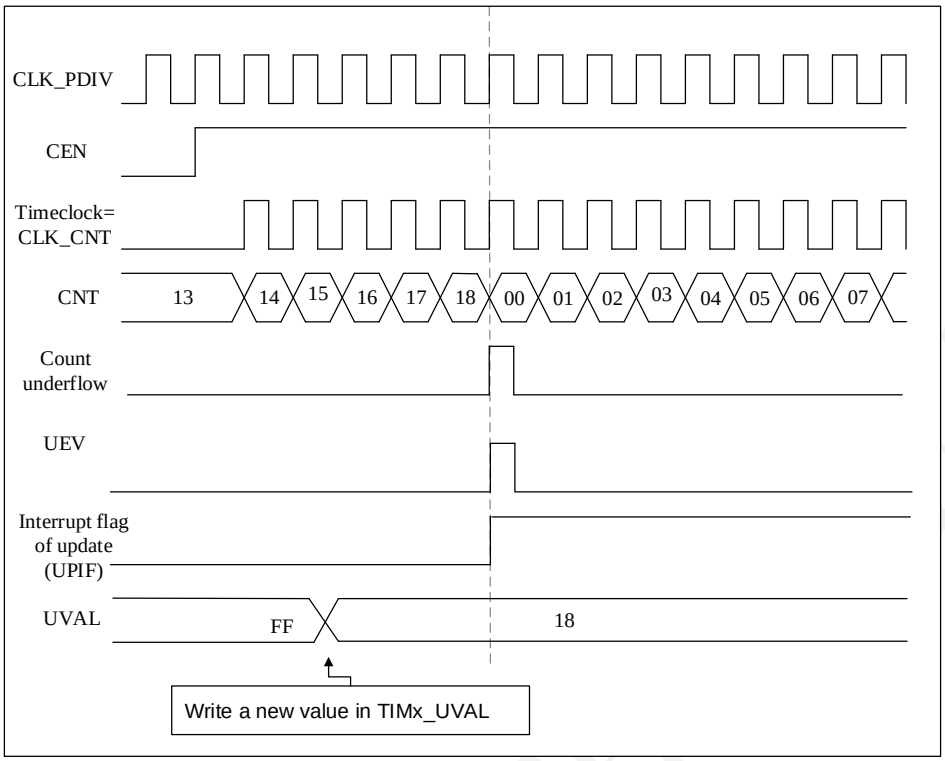


图 98 当 UVALSEN= 0 时的更新事件，计数器时序图（TIMx_UVAL 未预装载）

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



中央对齐模式（向上/向下计数）

中央对齐模式下，计数器从 0 开始计数到 UVAL-1，产生计数器上溢事件，然后从 UVAL 向下计数到 1，产生计数器下溢事件，然后重新重 0 开始计数。

当 TIMx_CTR1 寄存器中的 CPS 位不等于 00 时，中央对齐模式有效。 通道的输出比较中断标志在以下情况下置位：计数器向下计数（中央对齐模式 1，CPS ="01"），计数器向上计数（中央对齐模式 2，CPS ="10"）和计数器向上和向下计数（中央对齐模式 3，CPS ="11"）。

在此模式下，无法写入方向位（TIMx_CTR1 寄存器的 DIR 位）。它由硬件更新以指示计数器的当前方向。

可以在每次计数器上溢和下溢时生成更新事件，或者通过写 TIMx_SWEGR 寄存器中的 UEG 位（通过软件或使用从机模式控制器）也会生成更新事件。在这种情况下，计数器从 0 开始计数，预分频器的计数器也是如此。

通过将 TIMx_CTR1 寄存器中的 UPD 位进行置 1，可以禁止 UEV 更新事件。这是为了避免在预装载寄存器中写入新值时更新影子寄存器。在 UPD 写入 0 之前不会发生更新事件。但是，计数器会根据当前的 UVAL 继续向上和向下计数。

此外，如果 TIMx_CTR1 寄存器中的 URSEL 位（更新请求选择位）被置位，则写 UEG 位会生成更新事件 UEV，但不置位 URIF 标志（因此不会生成中断或 DMA 请求）。这是为了避免在捕获事件清除计数器时，同时生成更新和捕获中断。

发生更新事件时，将更新所有寄存器并根据 URSEL 的值置位更新标志（TIMx_STS 寄存器中的 UPIF 位）：

- 预分频器的缓冲器重载了预装载值（TIMx_PDIV 寄存器的内容）。
- 自动重载影子寄存器更新为预装载值（TIMx_UVAL）。注意，如果更新源是计数器溢出，则在重新加载计数器之前更新自动重载寄存器，以便下一个周期是预期的值（计数器加载新值）。

下图显示了不同时钟频率的计数器行为的一些示例。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 99 内部时钟分频系数为 1 时的计数器时序图，TIMx_UVAL = 0x6

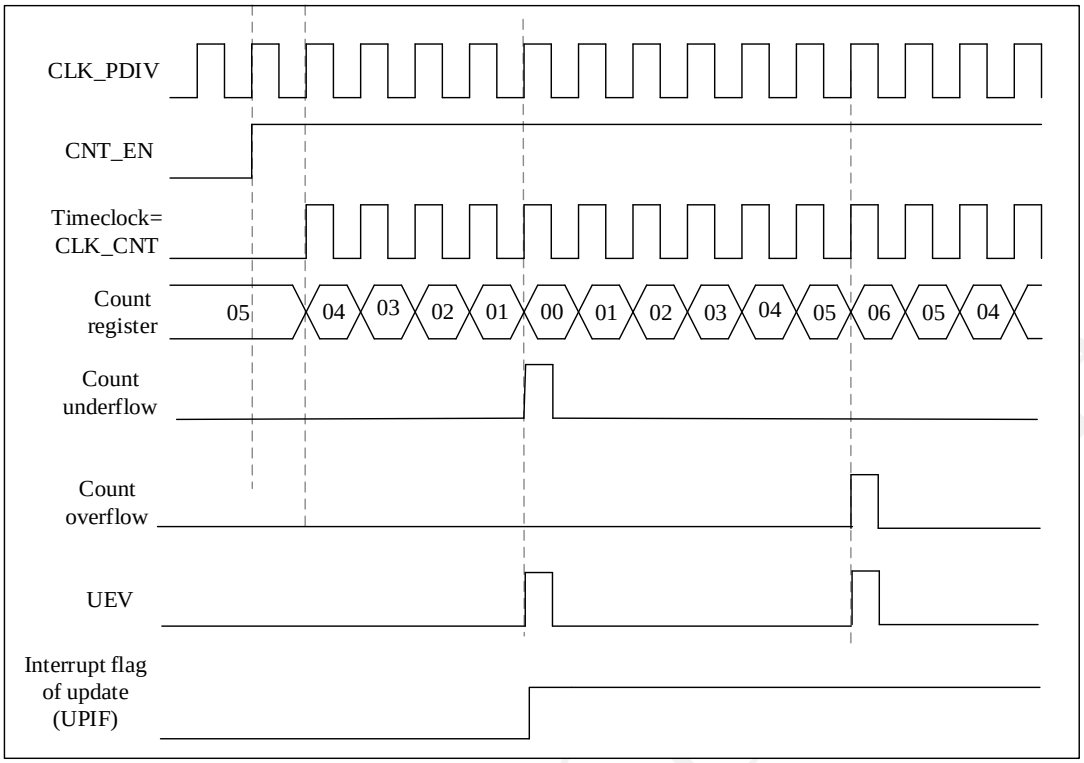
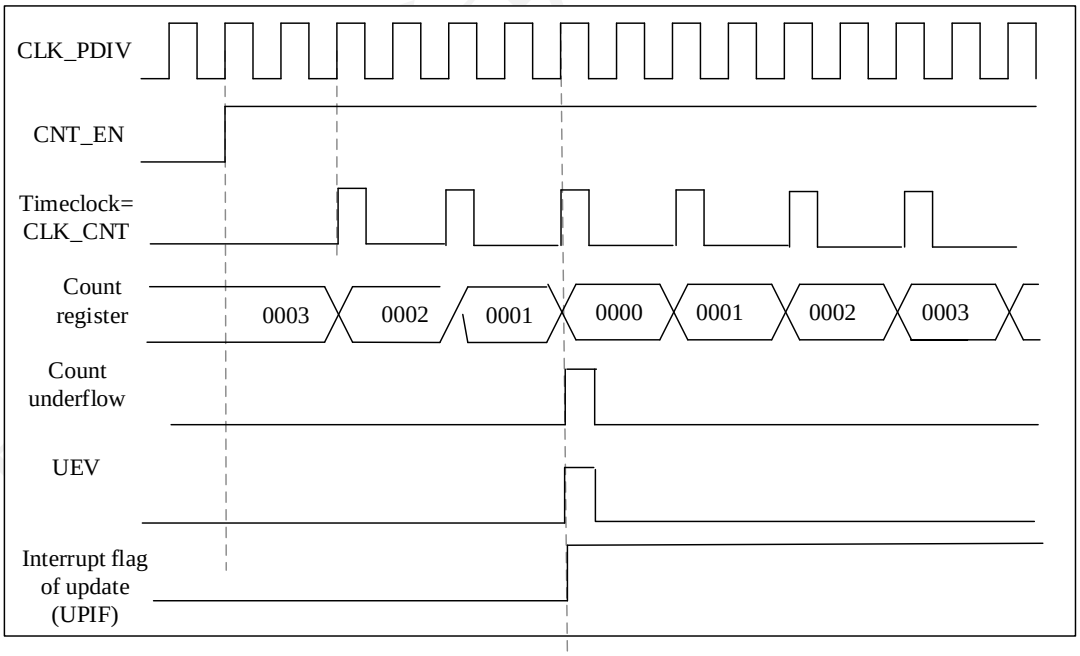


图 100 内部时钟分频系数为 2 时的计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 101 内部时钟分频系数为 4 时的计数器时序图,TIMx_UVAL=0x18

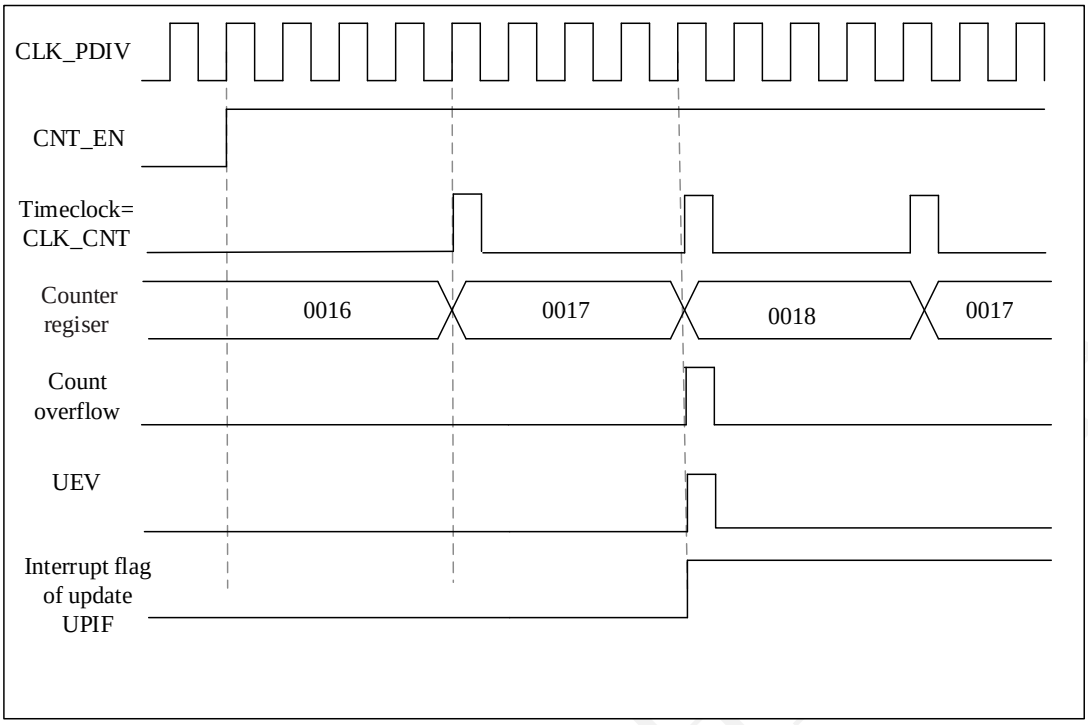
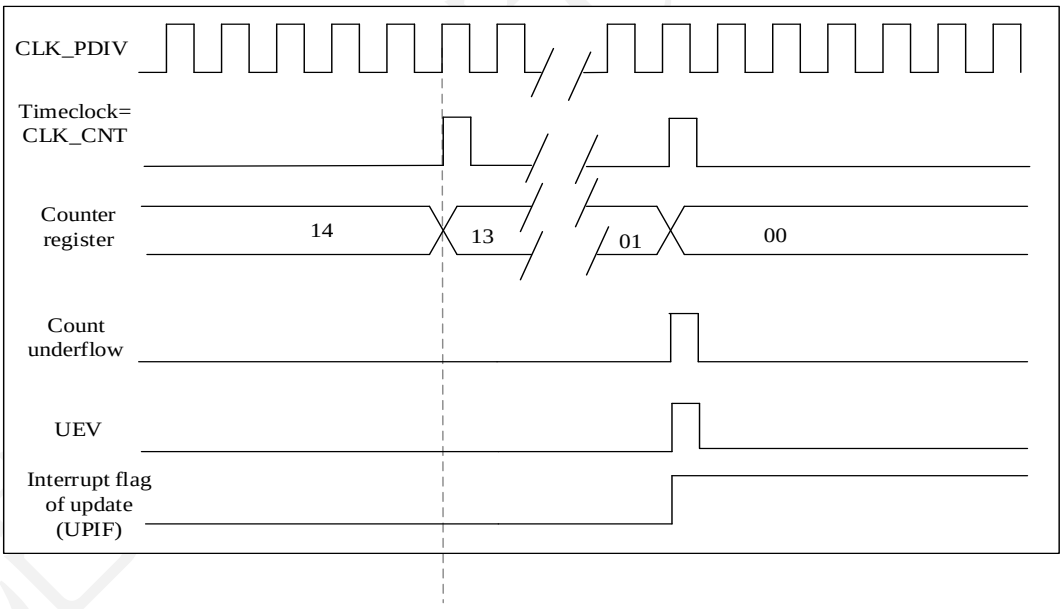
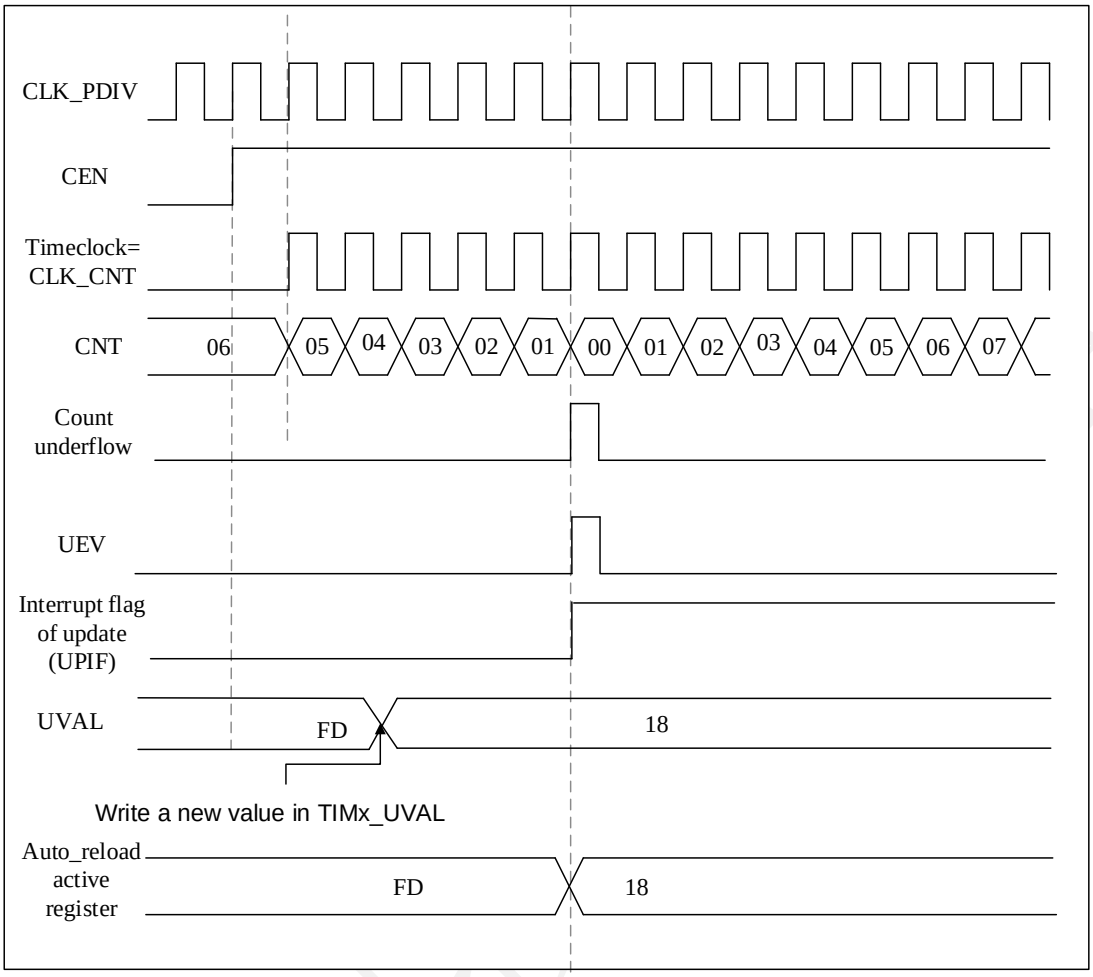


图 102 内部时钟分频系数为 N 时的计数器时序图



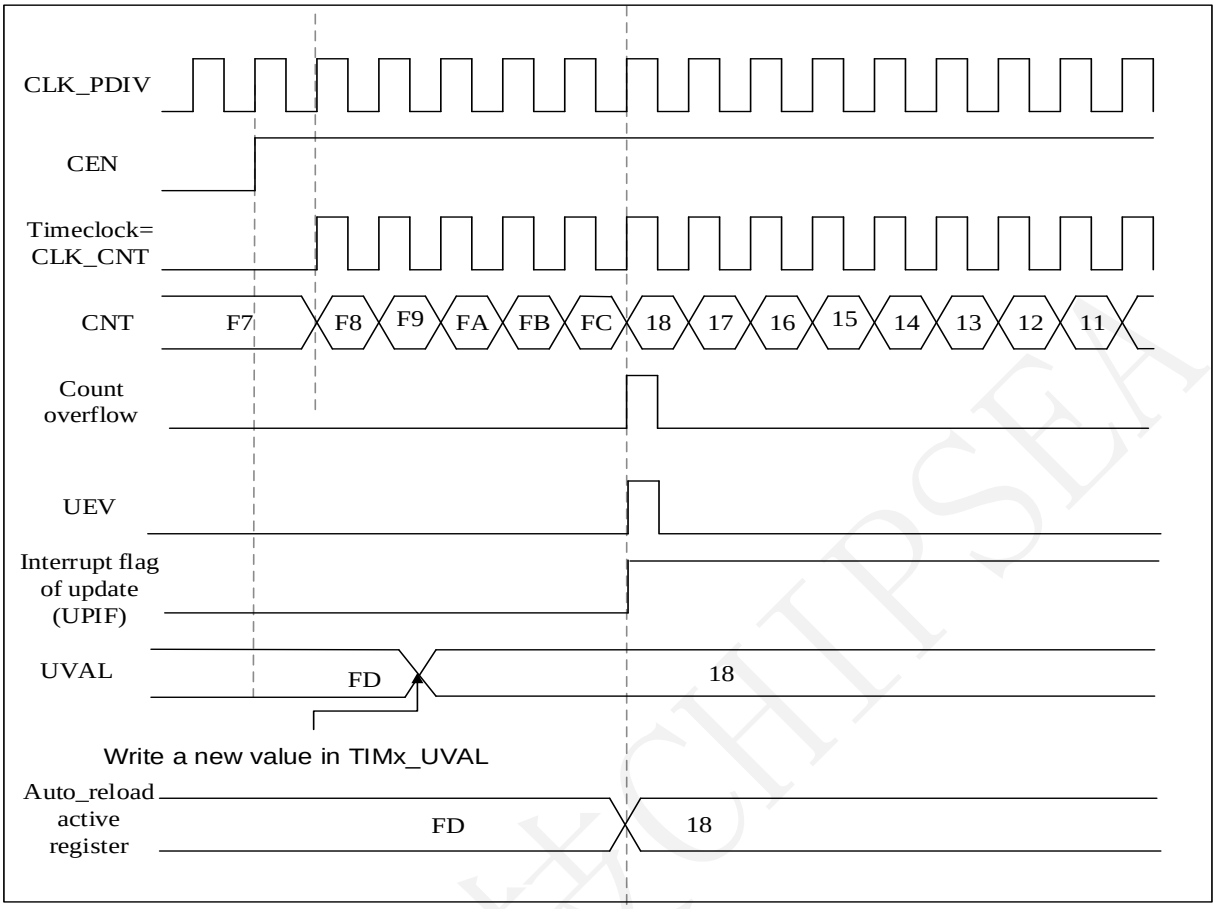
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 103　当 UVALSEN= 1 的更新事件时，计数器时序图（计数器下溢）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 104 当 UVALSEN = 1 时的更新事件，计数器时序图（计数器上溢）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

13.2.3 时钟源

计数器时钟可由以下时钟源提供：

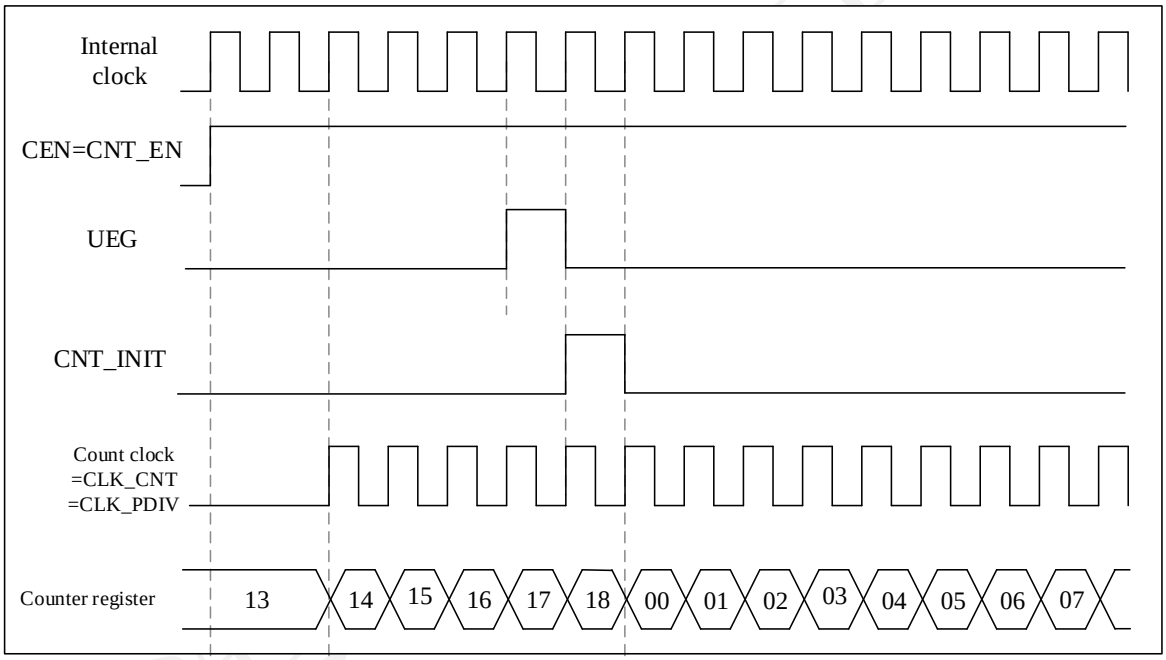
- 内部时钟（CLK_INT）
- 外部时钟模式 1：外部输入引脚（CHx）
- 外部时钟模式 2：外部触发输入（ETR）
- 内部触发输入（ITRx）：使用一个定时器作为另一个定时器的预分频器，例如，可以将定时器 1 配置为定时器 2 的预分频器。

内部时钟源（CLK_INT）

如果禁用从机模式控制器（TIMx_SMCFG 寄存器中的 SMCFG=000），则 CEN，DIR（在 TIMx_CTR1 寄存器中）和 UEG 位（在 TIMx_SWEGR 寄存器中）是实际控制位，只能由软件更改（除了 UEG 自动清除）。一旦 CEN 位写入 1，预分频器就由内部时钟 CLK_INT 提供时钟。

图 105 显示了没有预分频器的一般模式下控制时序和向上计数器的行为

图 105 一般模式下的控制时序，内部时钟分频系数为 1

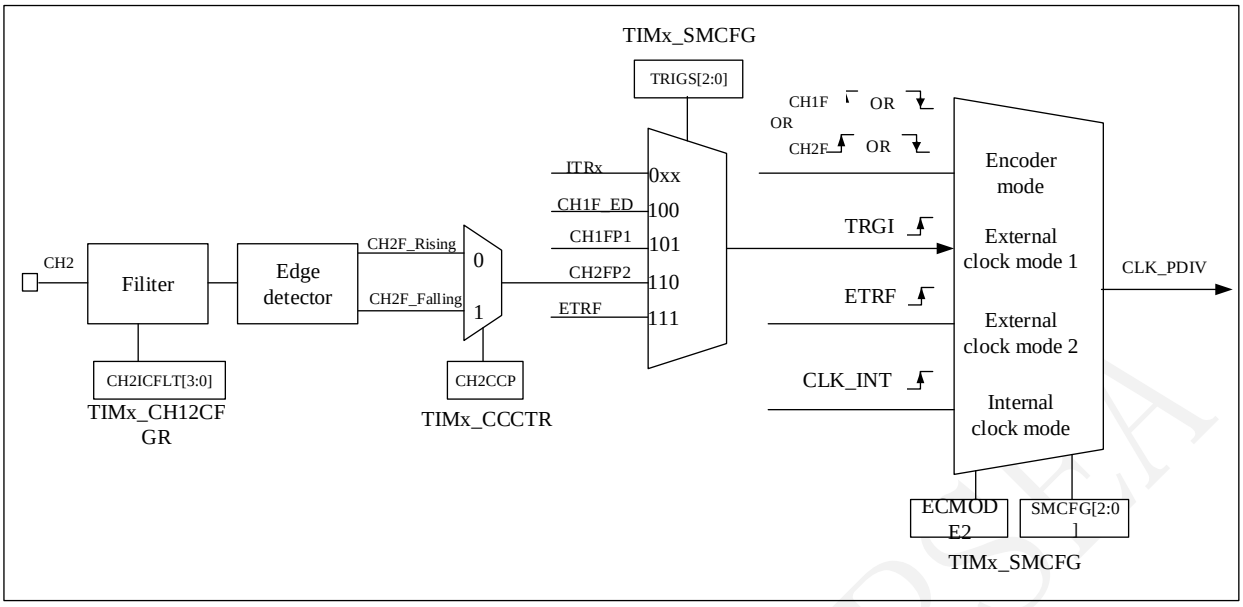


外部时钟源模式 1

当 TIMx_SMCFG 寄存器中的 SMCFG＝111 时，选择此模式。计数器可以在所选输入的每个上升沿或下降沿计数。

图 106 CH2 外部时钟连接示例

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



例如，要配置向上计数器以响应 CH2 输入的上升沿进行计数，请使用以下过程：

1.通过在 TIMx_CH12CFGR 寄存器中写入 CH2FS = 01，将通道 2 配置为检测 CH2 输入的上升沿。

2.通过写入 TIMx_CH12CFGR 寄存器中的 CH2ICFLT [3：0]位来配置输入滤波器持续时间（如果不需要滤波器，则保持 CH2ICFLT= 0000）。

3.通过在 TIMx_CCCTR 寄存器中写入 CH2CCP = 0 和 CH2NCCP = 0 来选择上升沿极性。

4.通过在 TIMx_SMCFG 寄存器中写入 SMCFG = 111，配置定时器工作在外部时钟模式 1 下。

5.通过在 TIMx_SMCFG 寄存器中写入 TRIGS= 110，选择 CH2 作为输入源。

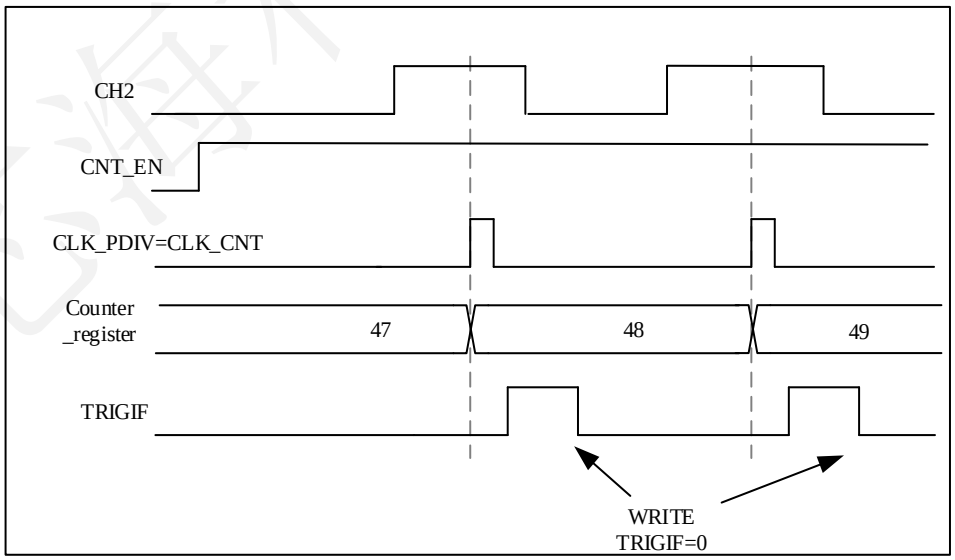
6.通过在 TIMx_CTR1 寄存器中写入 CEN = 1 来使能计数器。

注意：捕获预分频器不用于触发，因此无需进行配置。

当 CH2 上出现上升沿时，计数器计数一次，并且 TRIGIF 标志被置位。

CH2 的上升沿与计数器的实际时钟之间的延迟是由 CH2 输入上的重新同步电路引起的。

图 107 外部时钟模式下的控制时序

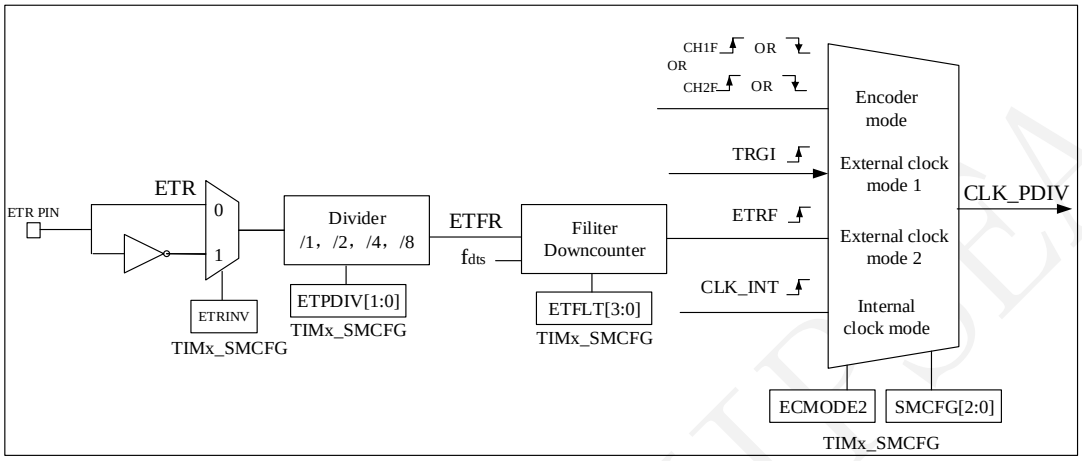


本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

外部时钟源模式 2

通过在 TIMx_SMCFG 寄存器中写入 ECMODE2 = 1 来选择该模式。
计数器可以在外部触发输入 ETR 的每个上升沿或下降沿计数。
图 108 给出了外部触发输入模块的概述。

图 108 外部触发输入框图



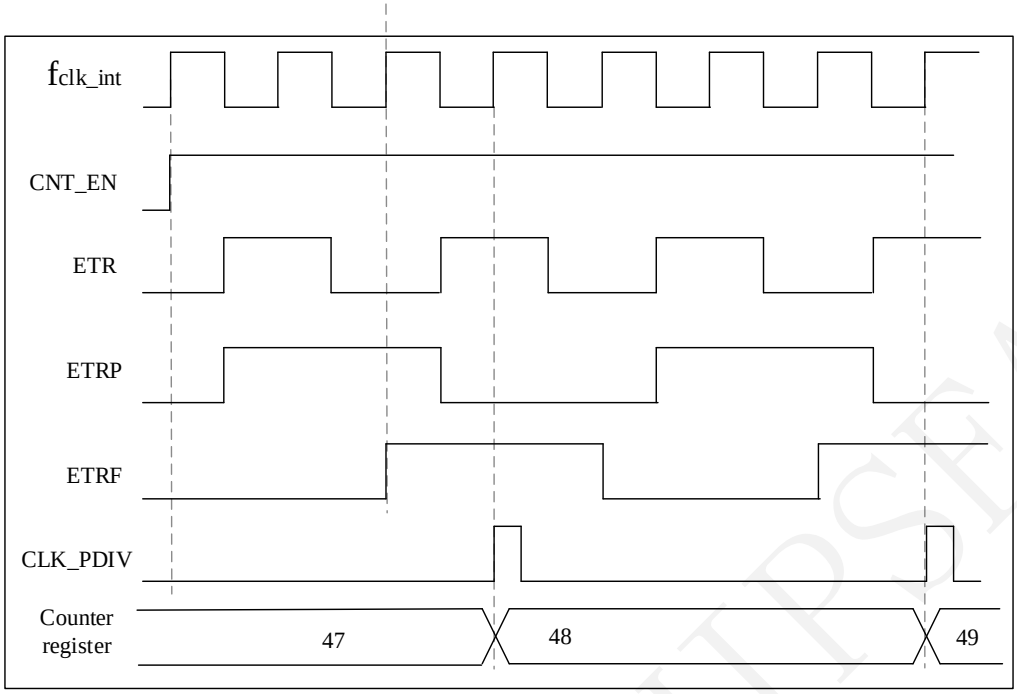
例如，要配置 ETR 每 2 个上升沿计数器计数一次，请使用以下过程：

1.由于此示例中不需要滤波器，因此在 TIMx_SMCFG 寄存器中写入 ETFLT [3: 0] = 0000
2.通过在 TIMx_SMCFG 寄存器中写入 ETPDIV[1：0] = 01 来设置预分频器
3.通过在 TIMx_SMCFG 中写入 ETRINV= 0，在 ETR 引脚上选择上升沿检测
4.通过在 TIMx_SMCFG 寄存器中写入 ECMODE2 = 1 来使能外部时钟模式 2
5.通过在 TIMx_CTR1 寄存器中写入 CEN = 1 来使能计数器。

计数器每 2 个 ETR 上升沿计数一次。
ETR 上升沿与计数器实际时钟之间的延迟是由于 ETRP 信号上的重新同步电路。

图 109 外部时钟模式 2 下的控制时序

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



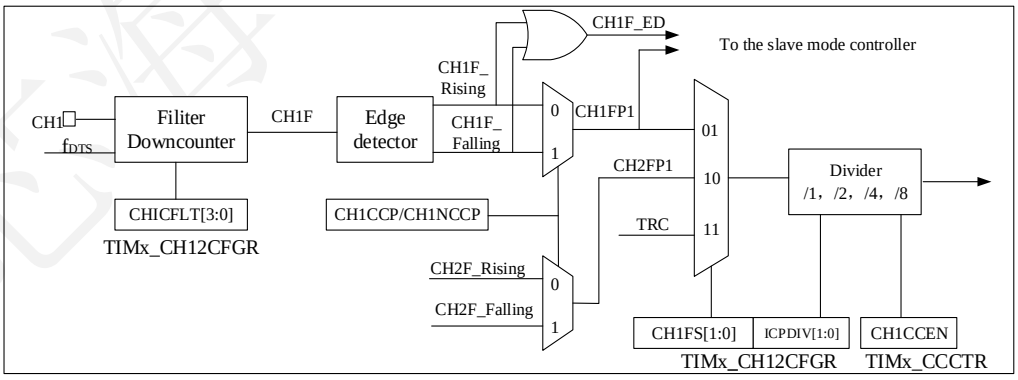
13.2.4 捕获/比较 通道

每个捕获/比较通道由捕获/比较寄存器（包括影子寄存器），捕获输入级（带数字滤波器，多路复用和预分频器）和输出级（带比较器和输出控制）组成。

下图概述了一个捕获/比较通道。

输入级对相应的 CHx 输入进行采样以产生滤波信号 CHxF。然后，具有极性选择的边沿检测器产生信号（CHxFPx），其可以用作从机模式控制器的触发输入或用作捕获命令。它在捕获寄存器之前预分频。

图 110 捕获/比较通道（例如：通道 1 输入级）



输出级生成一个中间波形，然后用于参考：CHxOCREF（高电平有效）。极性取决于链的末端。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 111 捕获/比较通道 1 主电路

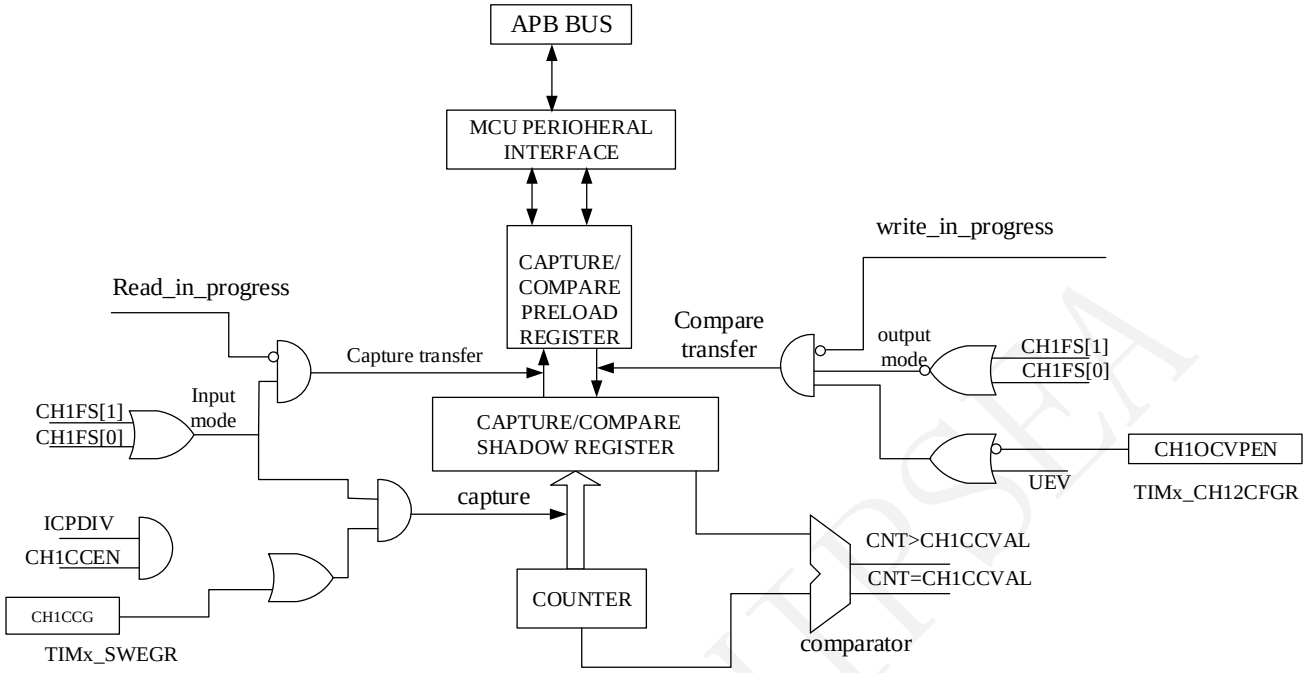
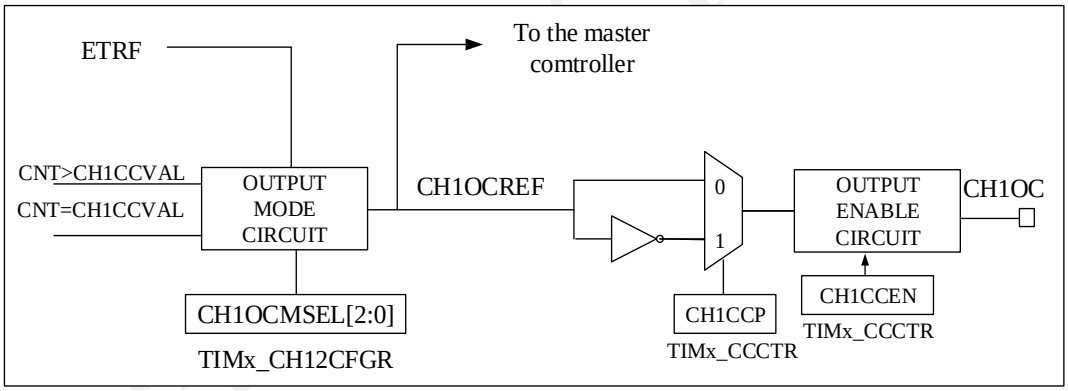


图 112 捕获/比较通道的输出级（通道 1）



捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。写入和读取始终访问预装载寄存器。

在捕获模式下，捕获实际上在影子寄存器中完成，该寄存器被复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，该寄存器与计数器进行比较。

13.2.5 输入捕获模式

在输入捕获模式下，在相应 CHx 信号检测到数据变化后，将计数器的值锁存到捕获/比较寄存器（TIMx_CH1CCVAL）中。发生捕获时，会置位相应的 CHxCCIF 标志（TIMx_STS 寄存器），如果使能中断或 DMA 请求，则可以产生中断和 DMA 请求。如果在 CH1CCIF 标志已经为高电平时发生捕获，则置位捕获溢出标志 CH1ICOF（在 TIMx_STS 寄存器中）。CHxCCIF 可以通过软件将其写入 0 或读取存储在 TIMx_CHxCCVAL 寄存器中的捕获数据来清除。当将其写入 0 时，CHxICOF 将被清除。

以下示例显示当 CH1 输入上升沿时如何捕获计数器的值到 TIMx_CH1CCVAL 中。使用以下步骤：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 选择有效输入：TIMx_CH1CCVAL 必须连接到 CH1 输入，因此在 TIMx_CH12CFGR 寄存器中将 CH1FS 位写入 01。一旦 CH1FS 不是 00，通道被配置成输入，TIMx_CH1CCVAL 寄存器变为只读。
- 根据连接到定时器的信号，配置所需的输入滤波器持续时间（TIMx_CHxxCFGR 寄存器中的 CHxICFLT 位），例如，当数据翻转时，输入信号在 5 个内部时钟周期不稳定。我们必须配置滤波器持续时间超过这 5 个时钟周期。当检测到 8 个连续样本（以 f_{DTS} 频率采样）时，确认 CH1 上新的有效边沿变换，在 TIMx_CH12CFGR 寄存器中将 CH1ICFLT 位写入 0011 即可。
- 通过将 TIMx_CCCTR 寄存器中的 CH1CCP 和 CH1NCCP 位写入 0（在本例中为上升沿），选择 CH1 通道上有效转换的边沿。
- 配置输入预分频器。在我们的示例中，我们希望在每次有效转换时执行捕获，因此禁用预分频器（在 TIMx_CH12CFGR 寄存器中将 CH1ICPS 位写入 00）。
- 通过将 TIMx_CCCTR 寄存器中的 CH1CCEN 位置 1，使能捕获功能，发生捕获时可以将计数器的值捕获到捕获寄存器。
- 如果需要，通过置位 TIMx_DIEN 寄存器中的 CH1INTEN 位来使能中断请求，通过将 TIMx_DIEN 寄存器中的 CH1DEN 位置 1 来使能相关的 DMA 请求。

发生输入捕获时：

- 在有效转换时，TIMx_CH1CCVAL 寄存器捕获计数器的值。
- CH1CCIF 标志置位（中断标志）。如果至少发生两次连续捕获而标志未被清除，则 CH1ICOF 也会置位。
- 使能 CH1INTEN 位产生中断。
- 使能 CH1DEN 位生成 DMA 请求。

为了处理捕获溢出，建议在捕获溢出标志之前读取数据。这是为了避免错过在读取标志之后和读取数据之前可能发生的捕获溢出。

注：通过写 TIMx_SWEGR 寄存器中相应的 CHxCCG 位，软件可以生成 CHx 捕获中断/DMA 请求。

13.2.6 PWM 输入模式

此模式是输入捕获模式的特定情况。配置步骤相同，除了：

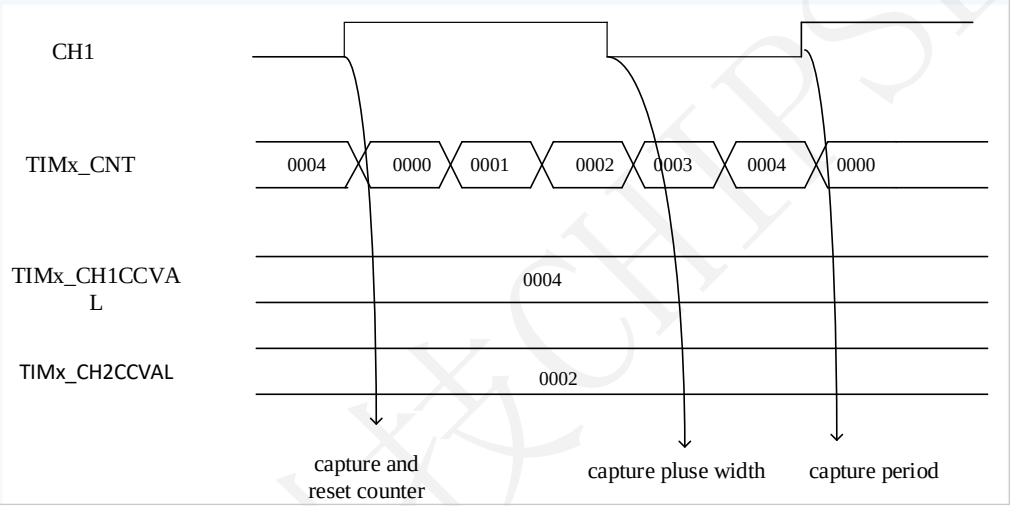
- 两个通道映射在同一 CHx 输入上。
- 这两个通道信号有效极性相反的。
- 选择两个 CHxFP 信号中的一个作为触发输入，并将从机模式控制器配置为复位模式。

例如，可以使用以下步骤（取决于 CLK_INT 频率和预分频值）测量 CH1 上施加的 PWM 的周期（在 TIMx_CH1CCVAL 寄存器中）和占空比（在 TIMx_CH2CCVAL 寄存器中）：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 选择 TIMx_CH1CCVAL 的有效输入：将 TIMx_CH12CFGR 寄存器中的 CH1FS 位写入 01（选择 CH1）。
- 选择 CH1FP1 的有效极性（用于 TIMx_CH1CCVAL 中的捕获和计数器清零）：将 CH1CCP 写入“0”，将 CH1NCCP 位写入“0”（上升沿有效）。
- 选择 TIMx_CH2CCVAL 的有效输入：将 TIMx_CH12CFGR 寄存器中的 CH2FS 位写入 10（选择 CH1）。
- 选择 CH1FP2 的有效极性（用于 TIMx_CH2CCVAL 中的捕获）：将 CH2CCP 位写入“1”，将 CH2NCCP 位写入“0”（下降沿有效）。
- 选择有效的触发输入：将 TIMx_SMCFG 寄存器中的 TRIGS 位写入 101（选择 CH1FP1）。
- 配置从机模式控制器为从复位模式下：在 TIMx_SMCFG 寄存器中将 SMCFG 位写入 100。
- 使能捕获：TIMx_CCCTR 寄存器中的将 CH1CCEN 和 CH2CCEN 位写入 “1”。

图 113 PWM 输入模式时序图



13.2.7 强制输出模式

在输出模式下（TIMx_CHxxCFGR 寄存器中的 CCxFS 为 00），每个输出比较信号（CHxOCREF 和 CHxOC）可以通过软件直接强制为有效或无效电平，与输出比较寄存器和计数器之间的任何比较无关。

置输出比较信号（CHxOCREF/CHxOC）为有效电平，只需在相应的 TIMx_CHxxCFGR 寄存器的 CHxOCMSEL 位中写入 101。因此，CHxOCREF 被强制为高（CHxOCREF 始终为高电平有效），CHxOC 与 CHxCCP 极性位的值相反。

例如：CHxCCP = 0（CHxOC 高电平有效）=> CHxOC 被强制为高电平。

通过在 TIMx_CHxxCFGR 寄存器中将 CHxOCMSEL 位写入 100，可以将 CHxOCREF 信号强制为低电平。

无论如何，仍然执行 TIMx_CHxCCVAL 影子寄存器和计数器之间的比较，并允许置位标志位。可以相应地生成中断和 DMA 请求。输出比较模式部分对此进行了描述。

13.2.8 输出比较模式

此功能用于控制输出波形或指示一段给定的时间已经结束。

当捕获/比较寄存器和计数器之间发现匹配时，输出比较功能：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 相应的输出引脚的值可以配置，由输出比较模式（TIMx_CHxxCFGR 寄存器中的 CHxOCMSEL 位）和输出极性（TIMx_CCCTR 寄存器中的 CHxCCP 位）共同决定。输出引脚可以保持其电平（CHxOCMSEL = 000），设置为有效（CHxOCMSEL = 001），设置为无效（CHxOCMSEL = 010）或可以匹配时翻转（CHxOCMSEL = 011）。
- 在中断状态寄存器中置位标志位（TIMx_STS 寄存器中的 CHxCCIF 位）。
- 如果相应的中断使能位被置 1（TIMx_DIEN 寄存器中的 CHxINTEN 位），则产生中断。
- 如果相应的 DMA 使能位置 1（TIMx_DIEN 寄存器中的 CHxDEN 位，TIMx_CTR2 寄存器中的 CHDMARS 位用于 DMA 请求选择），则发送 DMA 请求。

可以配置 TIMx_CHxxCFGR 寄存器中的 CHxOCVPEN 位，TIMx_CHxCCVAL 寄存器使用或不使用预装载寄存器。

在输出比较模式中，更新事件 UEV 对 CHxOCREF 和 CHxOC 输出没有影响。定时器的精确度是计数器的一个计数时钟。输出比较模式也可用于输出单脉冲（在单脉冲模式下）。

配置步骤：

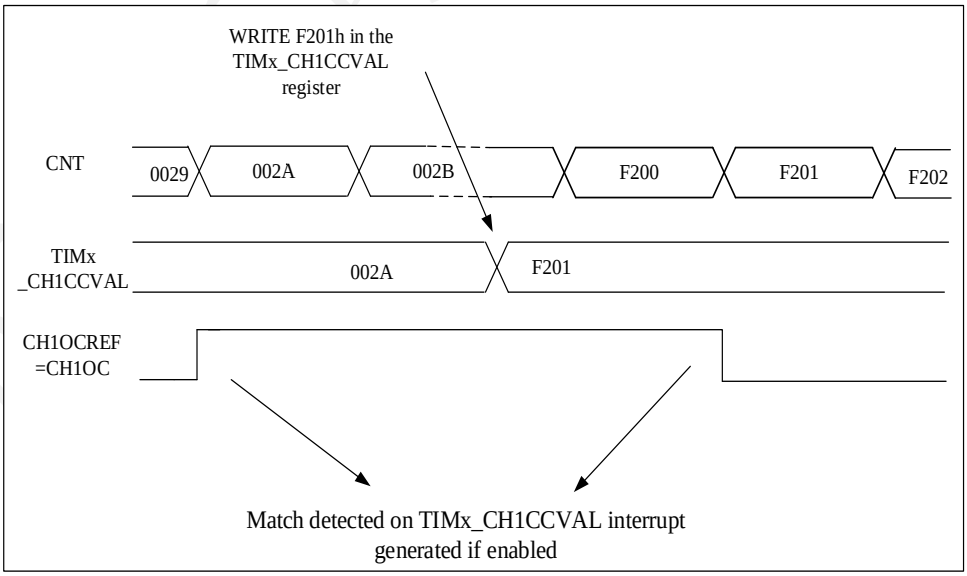
1. 选择计数器时钟（内部，外部，预分频器）。
2. 在 TIMx_UVAL 和 TIMx_CHxCCVAL 寄存器中写入所需数据。
3. 如果要发出中断请求，则需置位 CHxINTEN 位。
4. 选择输出模式。例如，

- 写入 CHxOCMSEL = 011，当 CNT 与 CHxCCVAL 匹配时，翻转 CHxOC 输出引脚，
- 写 CHxOCVPEN = 0，不使用 CHxCCVAL 预装载；
- 写 CHxCCP = 0 选择极性高有效
- 写 CHxCCEN = 1，使能 CHxOC 输出使能

5. 通过将 TIMx_CTR1 寄存器中的 CEN 位置 1 来使能计数器。

如果未使能预装载寄存器（CHxOCVPEN = 0，否则 TIMx_CHxCCVAL 影子寄存器仅在下一个更新事件 UEV 时更新），可以随时通过软件更新 TIMx_CHxCCVAL 寄存器以控制输出波形。图 114 给出了一个例子。

图 114 输出比较模式，CH1OC 翻转



13.2.9 PWM 模式

脉冲宽度调制模式允许生成一个信号，其频率由 TIMx_UVAL 寄存器的值决定，占空比由

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

TIMx_CHxCCVAL 寄存器的值决定。

通过在 TIMx_CHxxCFGR 寄存器的 CHxOCMSEL 位中写入 110（PWM 模式 1）或 111（PWM 模式 2），可以在每个通道上独立选择 PWM 模式（每个 CHxOC 输出一个 PWM）。必须通过置位 TIMx_CHxxCFGR 寄存器中的 CHxOCVPEN 位来启用相应的预装载寄存器，并通过置位 TIMx_CTR1 寄存器中的 UVALSEN 位来使能自动重载预装载寄存器（在向上计数或中央对齐模式下）。

由于仅在发生更新事件时将预装载寄存器传送到影子寄存器，因此在启动计数器之前，必须通过将 TIMx_SWEGR 寄存器中的 UEG 位写 1 来初始化所有寄存器。

CHxOC 极性可通过软件配置 TIMx_CCCTR 寄存器 CHxCCP 位。它可以编程为高电平有效或低电平有效。通过 TIMx_CCCTR 寄存器中的 CHxCCEN 位使能 CHxOC 输出。更多详细信息，请参见 TIMx_CCCTRx 寄存器说明

在 PWM 模式（1 或 2）中，始终比较 TIMx_CNT 和 TIMx_CHxCCVAL 以确定 TIMx_CHxCCVAL≤TIMx_CNT 或 TIMx_CNT≤TIMx_CHxCCVAL（取决于计数器的方向）。但是，为了符合 OCREF_CLR 功能（OCREF 可以通过 ETR 信号的外部事件消除，直到下一个 PWM 周期），OCREF 信号仅在以下情况被产生：

- 当比较结果发生变化时，
- 当输出比较模式（TIMx_CHxxCFGR 寄存器中的 CHxOCMSEL 位）从“冻结”配置（无比较，CHxOCMSEL =000）切换到其中一种 PWM 模式（CHxOCMSEL =110 或 111）时。

这在定时器运行时通过软件强制 PWM。

定时器能够以边沿对齐模式或中央对齐模式生成 PWM，具体取决于 TIMx_CTR1 寄存器中的 CPS 位。

注意：PWM 占空比的精度为一个预分频时钟。

PWM 边沿对齐模式

向上计数配置

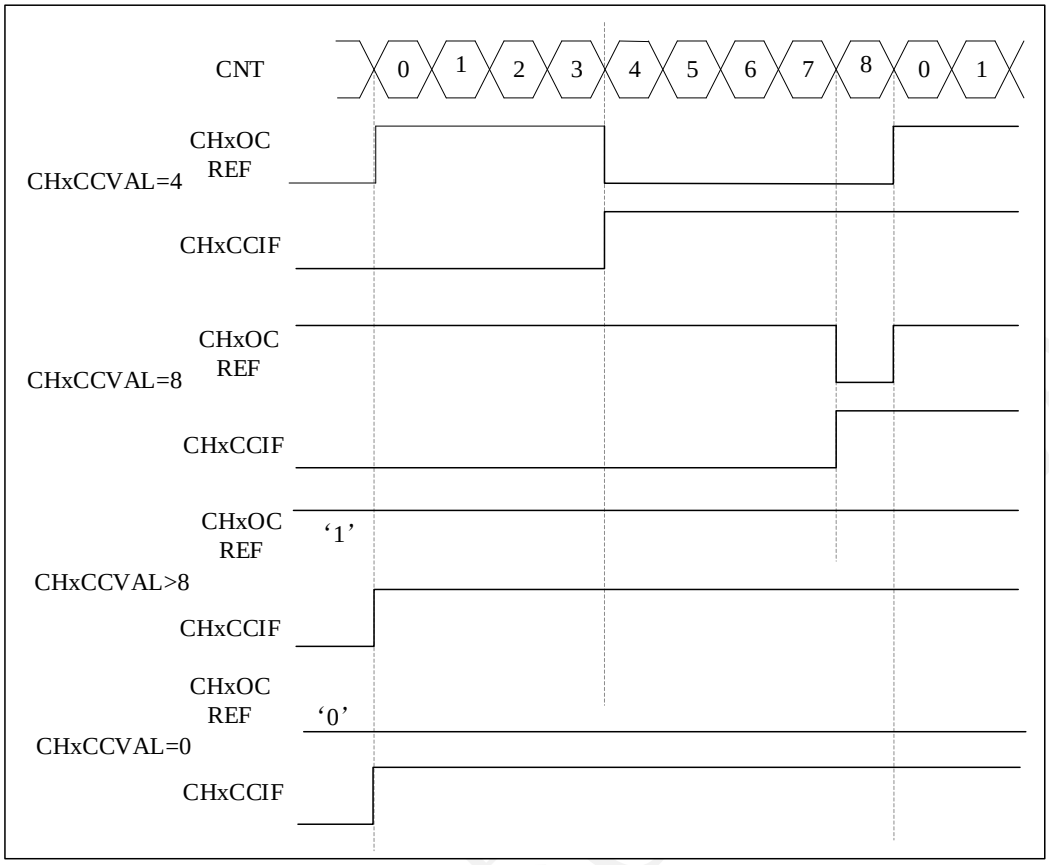
当 TIMx_CTR1 寄存器中的 DIR 位为低电平时，向上计数有效。

在下面的示例中，我们考虑 PWM 模式 1.只要 TIMx_CNT <TIMx_CHxCCVAL，参考 PWM 信号 CHxOCREF 就为高电平，否则它变为低电平。如果 TIMx_CCRx 中的比较值大于自动重载值（在 TIMx_UVAL 中），则 CHxOCREF 保持为 1。

如果比较值为 0，则 CHxOCREF 保持为 0。图 115 显示了 TIMx_UVAL = 8 时，一些边沿对齐 PWM 波形。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 115 边沿对齐 PWM 波形（ARR = 8）



向下计数配置

当 TIMx_CTR1 寄存器中的 DIR 位为高电平时，向下计数有效。

在 PWM 模式 1 中，只要 TIMx_CNT> TIMx_CHxCCVAL，参考信号 CHxOCREF 就为低，否则它变高。如果 TIMx_CHxCCVAL 中的比较值大于 TIMx_UVAL 中的 UVAL 值，则 CHxOCREF 保持为 1。在此模式下无法使用占空比 0%的 PWM。

注意：当 CHxCCVAL 配置为 0 时，预分频系数 PDIV 也必须配置为 0。

PWM 中央对齐模式

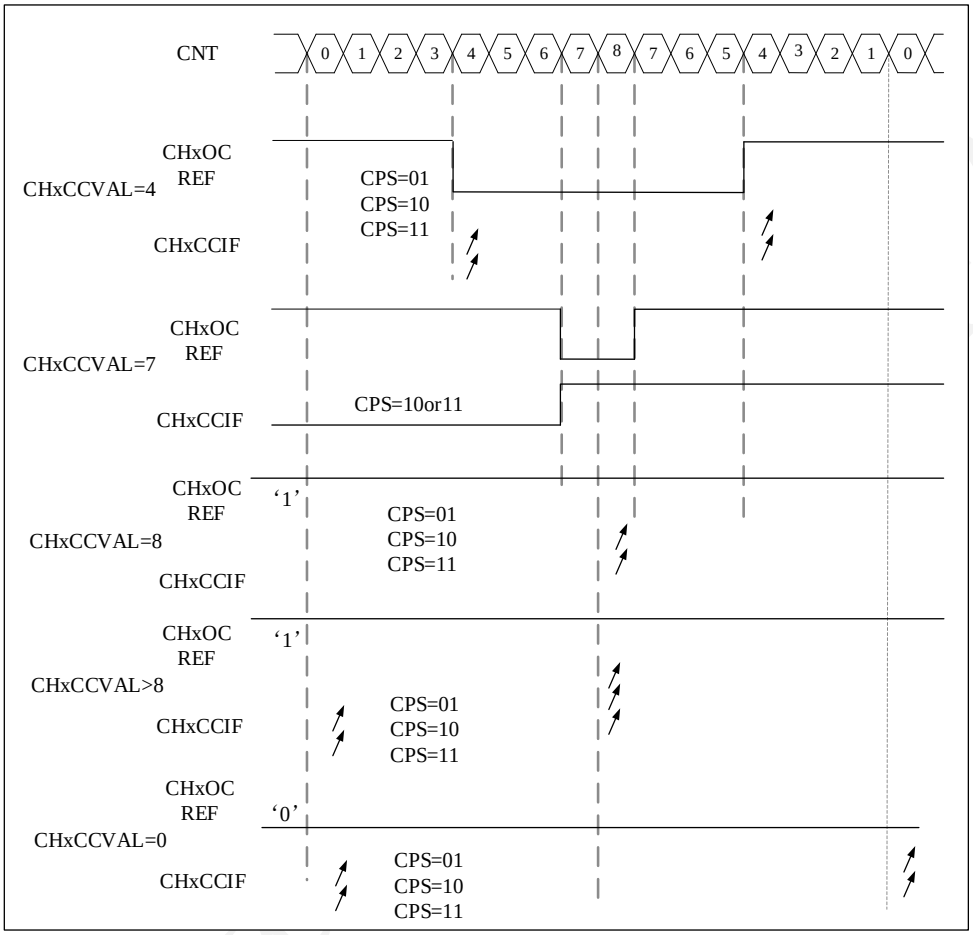
当 TIMx_CTR1 寄存器中的 CPS 位不是 00 时（所有其余配置对 CHxOCREF/CHxOC 信号具有相同影响），中央对齐模式有效。比较匹配标志在计数器向上计数，向下计数，或在向上和向下计数时置位，具体取决于 CPS 位配置。TIMx_CTR1 寄存器中的方向位（DIR）由硬件更新，禁止由软件更改。

图 116 显示了一些中央对齐的 PWM 波形示例，其中：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- TIMx_UVAL = 8，
- PWM 模式代表 PWM 模式 1，
- TIMx_CTR1 寄存器中为 CPS = 01 选择的中央对齐模式 1，当计数器向下计数时，该标志位被置位。

图 116 中央对齐的 PWM 波形（UVAL = 8）



使用中央对齐模式的提示：

- 以中央对齐模式启动时，使用当前的向上/向下配置。 这意味着计数器根据写入 TIMx_CTR1 寄存器中 DIR 位的值向上或向下计数。 此外，软件不得同时更改 DIR 和 CPS 位。
- 建议不要在以中央对齐模式运行时写入计数器，因为它可能会导致意外结果。特别是：
  - 如果在计数器中写入的值大于自动重载值（TIMx_CNT> TIMx_UVAL），则不会更新方向。 例如，如果计数器正在向上计数，它会继续向上计数。
  - 如果写入 0 或在计数器中写入 TIMx_UVAL 值但未生成更新事件 UEV，则更新方向。
- 使用中央对齐模式的最安全方法是在启动计数器之前通过软件（写 TIMx_SWEGR 寄存器中的 UEG 位）生成更新，而不是在计数器运行时写入计数器。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

13.2.10　单脉冲模式

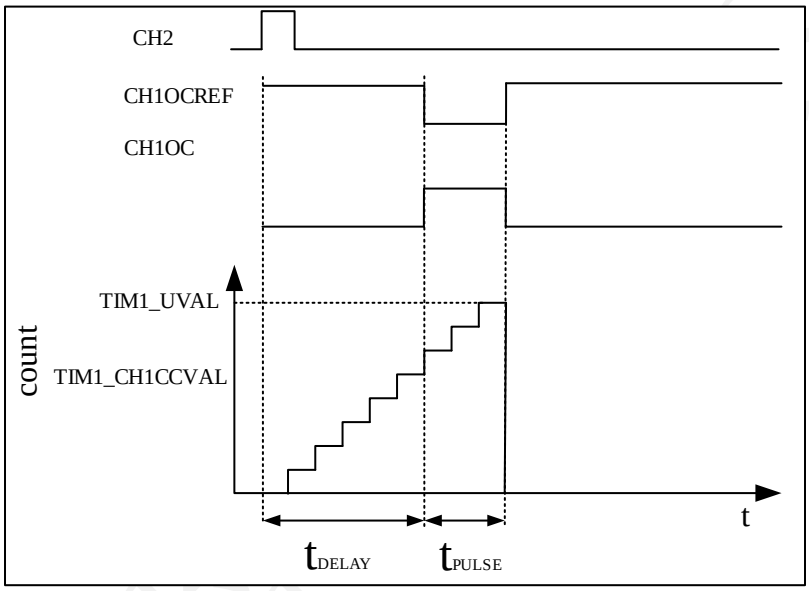
单脉冲模式（SPEN）是先前模式的特定情况。它允许计数器响应激励启动，并在可编程延迟后产生具有可编程长度的脉冲。

可以通过从机模式控制器控制启动计数器。 通过输出比较模式或 PWM 模式生成波形。 通过将 TIMx_CTR1 寄存器中的 SPEN 位置 1 选择单脉冲模式。这使得计数器在下一个更新事件 UEV 处自动停止。

仅当比较值与计数器初始值不同时，才能正确生成脉冲。在启动之前（当计时器等待触发时），配置必须是：

- 向上计数：CNT <CHxCCVAL≤UVAL（特别是 0 <CHxCCVAL），
- 向下计数：CNT> CHxCCVAL。

图 117 单脉冲模式示例



例如，希望在 CH2 输入引脚上检测到上升沿后延迟 t_{DELAY}，在 CH1OC 上生成长度为 t_{PULSE} 的正脉冲。

使用 CH2FP2 作为触发 1：

- 通过在 TIMx_CH12CFGR 寄存器中写入 CH2FS = 01 选择 CH2FP2。
- CH2FP2 必须检测上升沿，在 TIMx_CCCTR 寄存器中写入 CH2CCP = 0 和 CH2NCCP =0。
- 通过在 TIMx_SMCFG 寄存器中写入 TRIGS = 110，将 CH2FP2 配置为从机模式控制器（TRGI）的触发。
- 将 TIM 写入 TIMx_SMCFG 寄存器中的“110”，通过 CH2FP2（触发模式）来启动计数器。

由比较寄存器来定义 SPEN 波形（考虑时钟频率和计数器预分频器）：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- t_{DELAY} 由 TIMx_CH1CCVAL 寄存器中写入的值定义。
- t_{PULSE} 由自动重载值和比较值（TIMx_UVAL-TIMx_CH1CCVAL+1）之间的差异定义。

- 假设你希望构建一个波形，当比较匹配发生时从 0 变为 1，并且当计数器达到自动重载值时从“1”变为“0”。为此，可以在 TIMx_CH12CFGR 寄存器中写入 CH1OCMSEL = 111 来使能 PWM 模式 2。可以在 TIMx_CH12CFGR 寄存器中写入 CH1OCVPEN = 1 并在 TIMx_CTR1 寄存器中写入 UVALSEN=1 来启用预装载寄存器。在这种情况下，必须在 TIMx_CH1CCVAL 寄存器中写入比较值，TIMx_UVAL 寄存器中的自动重载值，通过写 UEG 位生成更新并等待 CH2 上的外部触发事件。在此示例中，CH1CCP 写入 0。
  在我们的示例中，TIMx_CTR1 寄存器中的 DIR 和 CPS 位应为低。

你只需要 1 个脉冲（单模式），因此在 TIMx_CTR1 寄存器的 SPEN 位中写入 1 以在下次更新事件时停止计数器（当计数器从自动重载值转变到 0 时）。当 TIMx_CTR1 寄存器中的 SPEN 位设置为“0”时，选择的是“重复模式”。

特殊情况：CHxOC 快速启用

在单脉冲模式下，CHx 输入的边沿检测将 CEN 位置 1，使能计数器。然后计数器和比较值之间的比较使输出切换。但是这些操作需要几个时钟周期，它限制了我们可以获得的最小延迟时间 t_{DELAY}。

如果要输出具有最小延迟的波形，可以将 TIMx_CHxxCFGR 寄存器中的 CHxOCFEN 位置 1。然后迫使 CHxOCREF（和 CHxOC）响应激励，而不考虑比较。输出波形与发生比较匹配时相同。仅当通道配置为 PWM1 或 PWM2 模式时，CHxOCFEN 才会起作用。

注：CHxOC 快速启用和单脉冲模式共同使用时，当 CEN 被自动清除时，输出的 PWM 波形保持不变。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

13.2.11　外部事件清除 CHxOCREF 信号

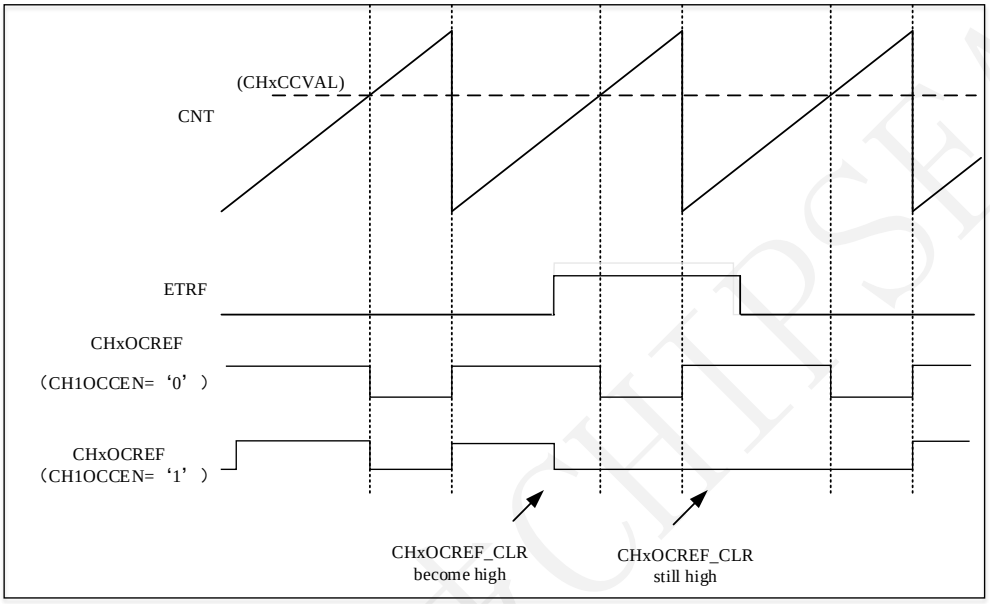
1.外部触发预分频器应保持关闭：TIMx_SMCFG 寄存器中的 ETPDIV [1：0]位配置为 00。

2.必须禁止外部时钟模式 2：TIM1_SMCFG 寄存器中的 ECMODE2 位清零。

3.可根据应用需求配置外部触发极性（ETRINV）和外部触发滤波器（ETFLT）。

图 118 显示了对于 CHxOCCEN 使能位的两个值，当 ETRF 输入变为高电平时 CHxOCREF 信号的行为。在此示例中，定时器 TIMx 配置为 PWM 模式。

图 118 清除 TIMx CHxOCREF



如果 PWM 具有 100％占空比（如果 CHxCCVAL> UVAL），则在下一次计数器溢出时，才能再次使能 CHxOCREF

13.2.12　编码器接口模式

选择编码器接口模式，如果计数器仅在 CH2 边沿上计数，则在 TIMx_SMCFG 寄存器中写入 SMCFG =001，如果仅在 CH1 边沿上，则 SMCFG = 010，如果在 CH1 和 CH2 边沿上，则 SMCFG = 011。

通过配置 TIMx_CCCTR 寄存器中的 CH1CCP 和 CH2CCP 位选择 CH1 和 CH2 极性。 CH1NCCP 和 CH2NCCP 必须保持清除状态。如果需要，你也可以配置对输入进行滤波。。

两个输入 CH1 和 CH2 用于连接增量编码器，参见表 38，假设它被使能（TIMx_CTR1 寄存器中的 CEN 位写入 1），计数器由 CH1FP1 或 CH2FP2 上的每个有效转换提供时钟（输入滤波器和极性选择后 CH1 和 CH2，如果未滤波且未反相，CH1FP1 = CH1，CH2FP2 = CH2，）。依据两个输入的序列顺序，产生计数脉冲以及方向信号。根据计数器向上或向下计数的顺序，TIMx_CTR1 寄存器中的 DIR 位会相应地由硬件修改。无论计数器仅依靠 CH1，CH2 还是 CH1 和 CH2， CH1 或 CH2 的每次转换都计算 DIR 位。

编码器接口模式类似带方向选择的外部时钟。这意味着计数器仅在 0 和 TIMx_UVAL 寄存器中的自动重载值之间连续计数（0 到 UVAL 或 UVAL 下降到 0，具体取决于方向）。所以你必须在启动之前配置 TIMx_UVAL。同样，捕获，比较，预分频器，触发输出功能继续正常工作。

在此模式下，计数器会根据增量编码器的速度和方向及其内容自动修改，因此始终代表编码器的位置。计数方向对应于连接的传感器的旋转方向。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

该表总结了可能的组合，假设 CH1 和 CH2 不在同一时间切换。

表 38 计数方向与编码器信号

有效边沿	反向信号电平	CH1FP1 信号		CH2FP2 信号	
		上升沿	下降沿	上升沿	下降沿
只在 CH1 通道计数	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
只在 CH2 通道计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在 CH1、CH2 通道计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

外部增量编码器可以直接连接到 MCU，无需外部接口逻辑。但是，比较器通常用于将编码器的差分输出转换为数字信号。这大大提高了抗噪性。指示机械零位的第三编码器输出可以连接到外部中断输入并触发计数器复位。

图 119 给出了计数器操作的示例，显示了计数信号的产生和方向控制。它还显示了在选择两个边沿时如何补偿输入抖动。如果传感器位于其中一个切换点附近，则可能会发生这种情况。对于此示例，我们假设配置如下：

- CH1FS = 01（TIMx_CH12CFGR 寄存器，CH1FP1 映射到 CH1）
- CH2FS = 01（TIMx_CH34CFGR 寄存器，CH2FP2 映射到 CH2）
- CH1CCP = 0，CH1NCCP =0（TIMx_CCCTR 寄存器，CH1FP1 同相，CH1FP1 = CH1）
- CH2CCP = 0，CH2NCCP =0（TIMx_CCCTR 寄存器，CH2FP2 同相，CH2FP2 = CH2）
- SMCFG = 011（TIMx_SMCFG 寄存器，两个输入在上升沿和下降沿均有效）
- CEN = 1（TIMx_CTR1 寄存器，计数器已启用）

图 119 编码器接口模式下的计数器操作示例

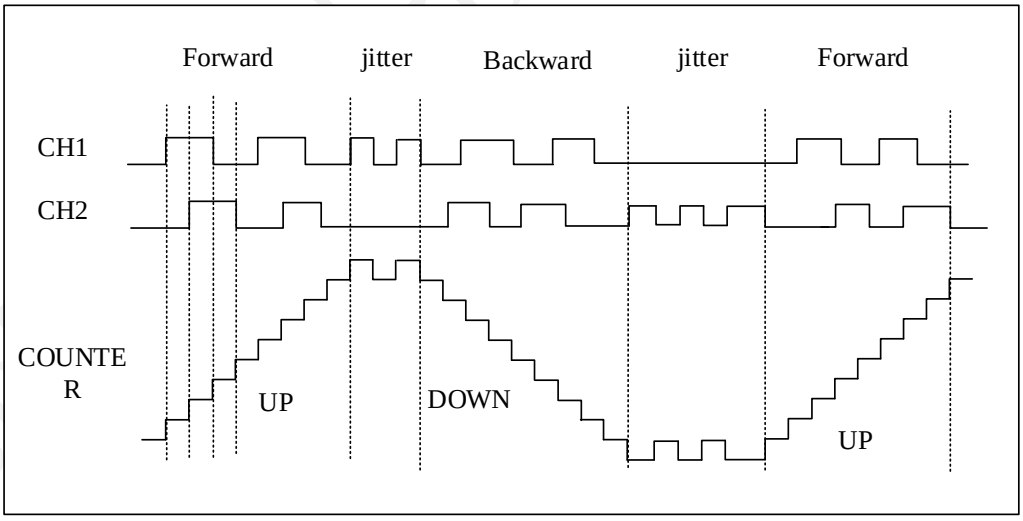
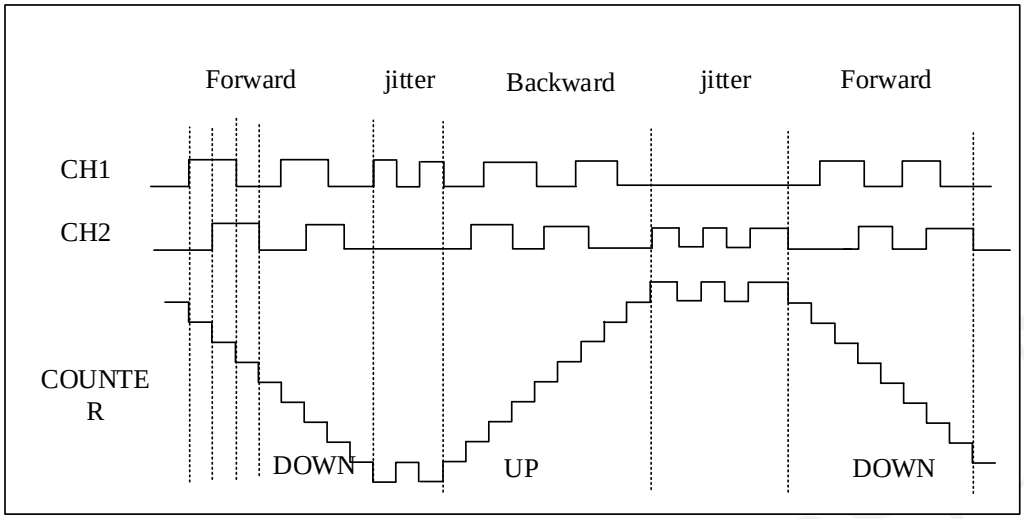


图 120 给出了 CH1FP1 极性反相时的计数器行为示例（除 CH1CCP= 1 外，其配置与上述同）。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 120 CH1FP1 极性反相的编码器接口模式示例



在编码器接口模式配置时，定时器提供有关传感器当前位置的信息。配合使用第二个定时器配置为捕获模式，通过测量两个编码器事件的间隔，从而获取动态信息（速度，加速度，减速度）。编码器输出还可以用来指示机械零点。根据两个事件之间的间隔，也可以定期读取计数器。可以通过将计数器值锁定到第三个输入捕获来完成此操作（捕获信号必须是周期性的，并且由另一个定时器生成）；还可以通过实时时钟生成的 DMA 请求读取其值。

13.2.13　定时器输入异或功能

TIM1_CTR2 寄存器中的 TI1XOR 位允许通道 1 的输入滤波器连接到 XOR 门的输出，三个输入是 CH1、CH2、CH3。

XOR 输出可用于所有定时器输入功能，如触发或输入捕获。

13.2.14　定时器和外部触发同步

TIMx 定时器可以在几种模式下与外部触发同步：复位模式和触发模式。

从机模式：复位模式

可以重新初始化计数器及其预分频器，以响应触发输入上的事件。此外，如果 TIMx_CTR1 寄存器的 URSEL 位为低，则生成更新事件 UEV。然后更新所有预装载的寄存器（TIMx_UVAL，TIMx_CHxCCVAL）。

在以下示例中，响应 CH1 输入的上升沿清除计数器的值：

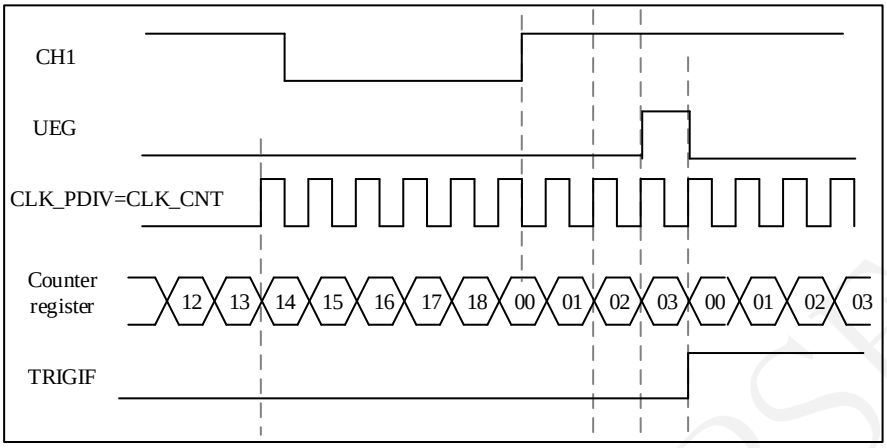
- 配置通道 1 以检测 CH1 的上升沿。配置输入滤波持续时间（在此示例中，我们不需要任何滤波，因此我们保持 CH1ICFLT = 0000）。捕获预分频器不用于触发，因此无需进行配置。CH1FS 位仅选择输入捕获源，TIMx_CH12CFGR 寄存器中的 CH1FS = 01。在 TIMx_CCCTR 寄存器中写入 CH1CCP = 0 和 CH1NCCP = 0 以确定极性（并仅检测上升沿）。
- 通过在 TIMx_SMCFG 寄存器中写入 SMCFG = 100，配置定时器工作在复位模式下。通过在 TIMx_SMCFG 寄存器中写入 TRIGS = 101，选择 CH1 作为输入源。
- 通过在 TIMx_CTR1 寄存器中写入 CEN = 1 来启动计数器。

计数器开始对内部时钟进行计数，然后正常工作直到 CH1 上升沿。当 CH1 上升时，计数器清零并从 0 重新开始计数。同时，触发标志置位（TIMx_STS 寄存器中的 TRIGIF 位），若使能中断和 DMA，则将产生中断请求/DMA 请求（取决于 TIMx_DIEN 寄存器中 TINTEN 和 TDREN 位）。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

下图显示了计数器更新寄存器 TIMx_UVAL = 0x18 时的这种情况。CH1 上升沿与计数器实际复位之间的延迟是由 CH1 输入上的重新同步电路引起的。

图 121 复位模式下的控制时序



从机模式：触发模式

计数器可以响应所选输入上的事件而启动。

在以下示例中，向上计数器响应 CH2 输入的上升沿启动计数：

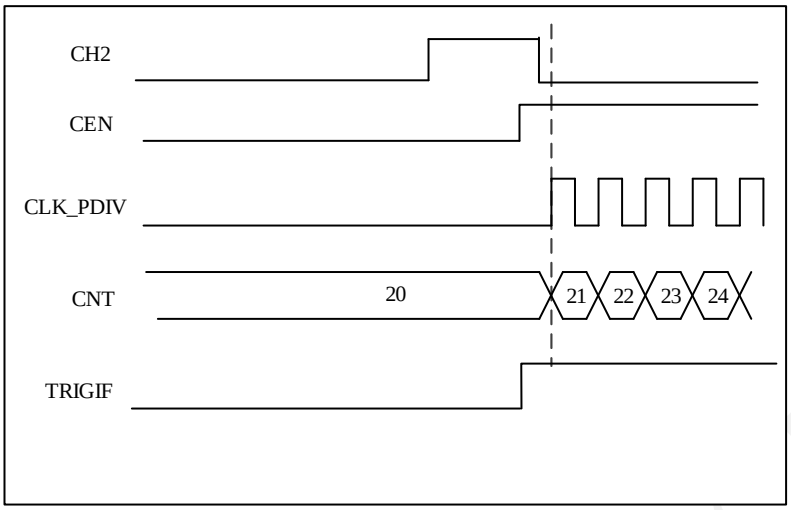
- 配置通道 2 以检测 CH2 上的上升沿。 配置输入滤波持续时间（在此示例中，我们不需要任何滤波，因此我们保持 CH2ICFLT = 0000）。 捕获预分频器不用于触发，因此无需进行配置。 CH2FS 位仅选择输入捕获源，TIMx_CH12CFGR 寄存器中的 CH2FS = 01。在 TIMx_CCCTR 寄存器中写入 CH2CCP = 1 和 CH2NCCP = 0 以确定极性（并仅检测低电平）。
- 通过在 TIMx_SMCFG 寄存器中写入 SMCFG = 110，配置定时器工作在触发模式下。 通过在 TIMx_SMCFG 寄存器中写入 TRIGS = 110，选择 CH2 作为输入源。

当 CH2 上出现上升沿时，计数器开始对内部时钟进行计数，并置位 TRIGIF 标志。

CH2 上升沿与计数器实际启动之间的延迟是由 CH2 输入上的重新同步电路引起的。

图 122 触发模式下的控制时序

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



从机模式：外部时钟模式 2 +触发模式

除了外部时钟模式 1 和编码器模式外，还可以使用外部时钟模式 2。 在这种情况下，ETR 信号用作外部时钟输入，当在复位模式或触发模式下工作时，可以选择另一个输入作为触发输入。 建议不要通过 TIMx_SMCFG 寄存器的 TRIGS 位选择 ETR 作为 TRGI。

在下面的示例中，一旦 CH1 的上升沿出现，向上计数器在 ETR 信号的每个上升沿计数：

1.通过对 TIMx_SMCFG 寄存器进行编程来配置外部触发输入电路，如下所示：

- ETFLT = 0000：无滤波
- ETPDIV = 00：禁用预分频器
- ETRINV = 0：检测到 ETR 上升沿和 ECMODE2 = 1 以启用外部时钟模式 2。

2.按如下方式配置通道 1，以检测 CH1 上的上升沿：

- CH1ICFLT = 0000：无滤波器。
- 捕获预分频器不用于触发，也不需要配置。
- 在 TIMx_CH12CFGR 寄存器中 CH1FS = 01，仅选择输入捕获源
- TIMx_CCCTR 寄存器中 CH1CCP = 0 且 CH1NCCP = 0，以确定极性（仅检测上升沿）。

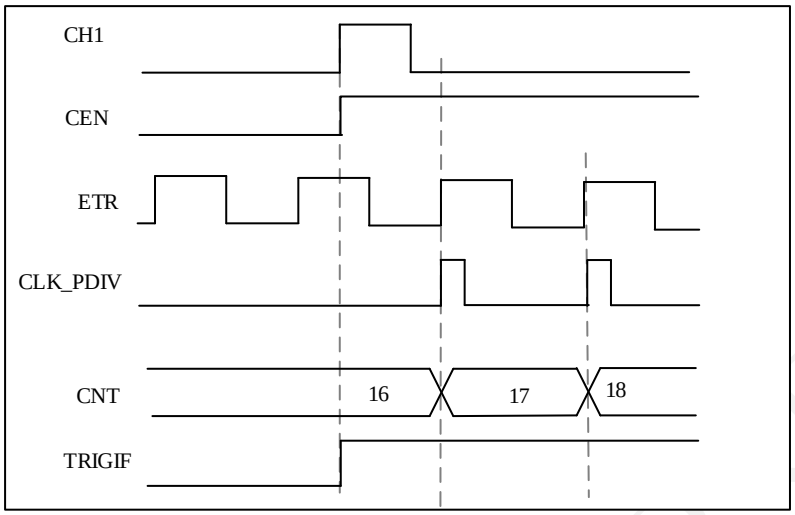
3.通过在 TIMx_SMCFG 寄存器中写入 SMCFG = 110，在触发模式下配置定时器。通过在 TIMx_SMCFG 寄存器中写入 TRIGS = 101，选择 CH1 作为输入源。

CH1 的上升沿使能计数器并置位 TRIGIF 标志。然后计数器依靠 ETR 上升沿计数。

ETR 信号的上升沿和计数器的实际复位之间的延迟是由于 ETRP 输入上的重新同步电路引起的。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 123 外部时钟模式 2 +触发模式下的控制时序

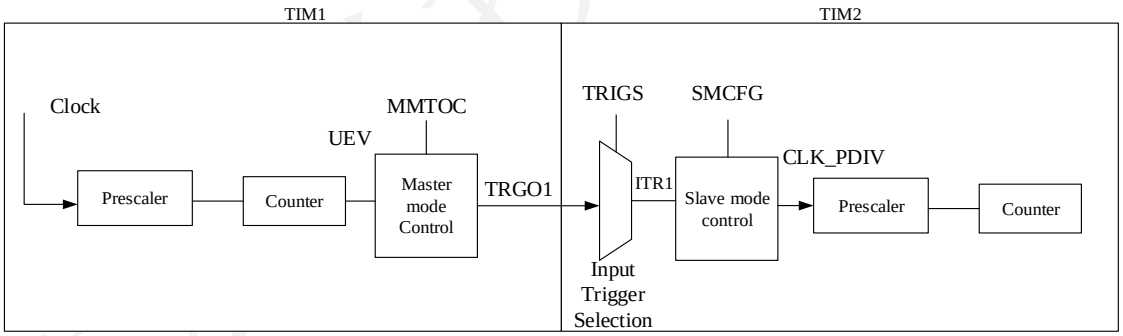


13.2.15　定时器同步

TIMx 定时器在内部连接在一起，用于定时器同步或连接。 当一个定时器配置为主机模式时，它可以复位，启动，停止从定时器，或为从定时器的计数器提供时钟。

使用一个定时器作为另一个定时器的分频器

图 124 主/从定时器示例



例如，你可以将定时器 1 配置为定时器 2 的预分频器。请参见图 124 为此：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 在主机模式下配置定时器 1，使其在每个更新事件 UEV 上输出周期性触发信号。如果在 TIM1_CTR2 寄存器中写入 MMTOC = 010，则每次生成更新事件时，TRGO1 都会输出上升沿。
- 要将定时器 1 的 TRGO1 输出连接到定时器 2，必须配置定时器 2 为使用 ITR1 作为内部触发的从机模式。通过 TIM2_SMCFG 寄存器中的 TRIGS 位选择此项（写入 TRIGS = 000）。
- 然后，定时器 2 的从机模式控制器应配置为外部时钟模式 1（在 TIM2_SMCFG 寄存器中写入 SMCFG = 111）。可以让定时器 2 基于定时器 1 周期性的触发信号上升沿（对应于定时器 1 计数器溢出）计数。
- 最后，必须通过在各自的 TIMx_CTR1 寄存器中设置各自的 CEN 位来使能两个定时器。在使能定时器 1 之前，请务必使能定时器 2。

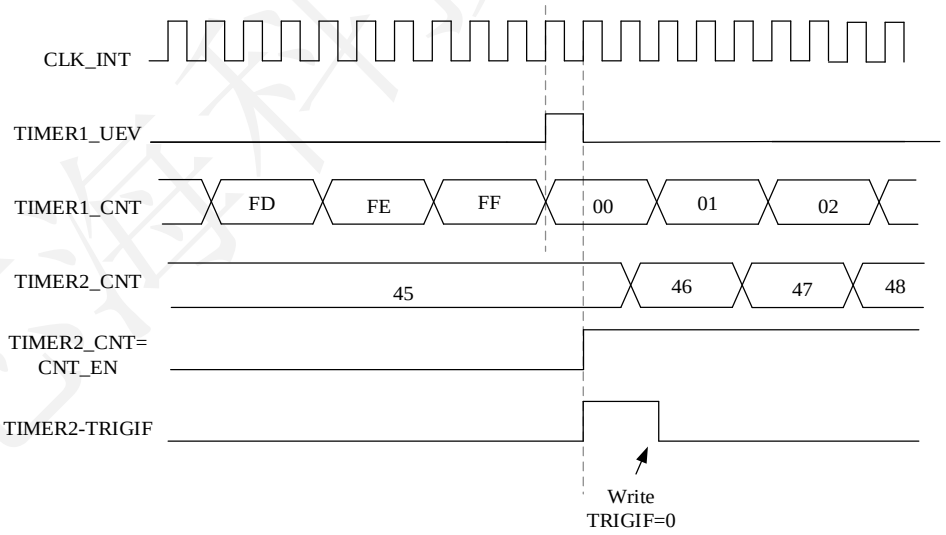
注：如果在定时器 1 上选择 CHxOC 作为触发输出（MMTOC = 1xx），则其上升沿用于为定时器 2 的计数器提供时钟。

使用一个计时器启动另一个计时器

在本例中，我们使用定时器 1 的更新事件使能定时器 2。有关连接，请参见图 124。一旦定时器 1 产生更新事件，定时器 2 就从当前值按照分频后的内部时钟（可以是非零）开始计数。当定时器 2 接收到触发信号时，其 CEN 位自动置 1，计数器计数，直到我们将'0'写入 TIM2_CTR1 寄存器中的 CEN 位。与 CLK_INT 相比，两个计数器的时钟都是由预分频器对 CLK_INT 除以 3 得到（$f_{CLK_CNT} = f_{CLK_INT} / 3$）。

- 配置定时器 1 主机模式，将其更新事件（UEV）作为触发输出（TIM1_CTR2 寄存器中的 MMTOC = 010）。
- 配置定时器 1 更新事件产生周期（TIM1_UVAL 寄存器）。
- 配置定时器 2 以从定时器 1 获取输入触发（TIM2_SMCFG 寄存器中的 TRIGS = 000）。
- 将定时器 2 配置为触发模式（TIM2_SMCFG 寄存器中的 SMCFG = 110）。
- 通过在 CEN 位（TIM1_CTR1 寄存器）中写入 1 来启动定时器 1。

图 125 触发定时器 2，更新定时器 1

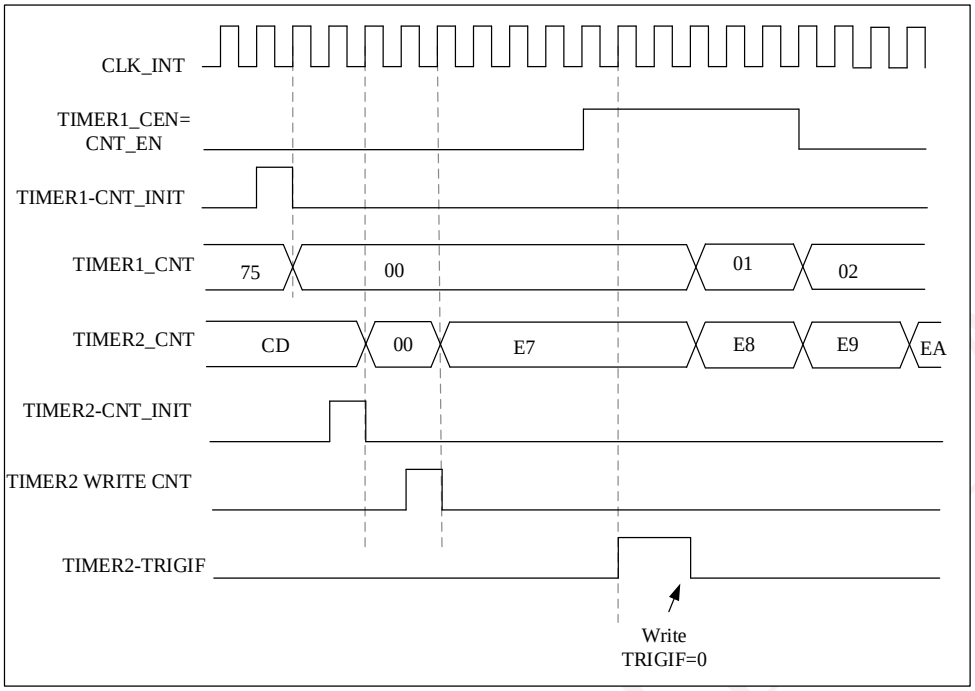


与前面的示例一样，可以在开始计数之前初始化两个计数器。

图 126 显示了与图 125 中相同配置，在触发模式下面（TIM2_SMCR 寄存器中的 SMCFG = 110）的行为。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 126 定时器 1 使能触发定时器 2



使用一个外部触发同步启动 2 个定时器

在本例中，在 CH1 输入上升时使能定时器 1，使能定时器 1 的同时使能定时器 2。有关连接，请参见图 124。为确保计数器对齐，必须将定时器 1 配置为主/从机模式（相对于 CH1 的从机，相对于定时器 2 的主机）：

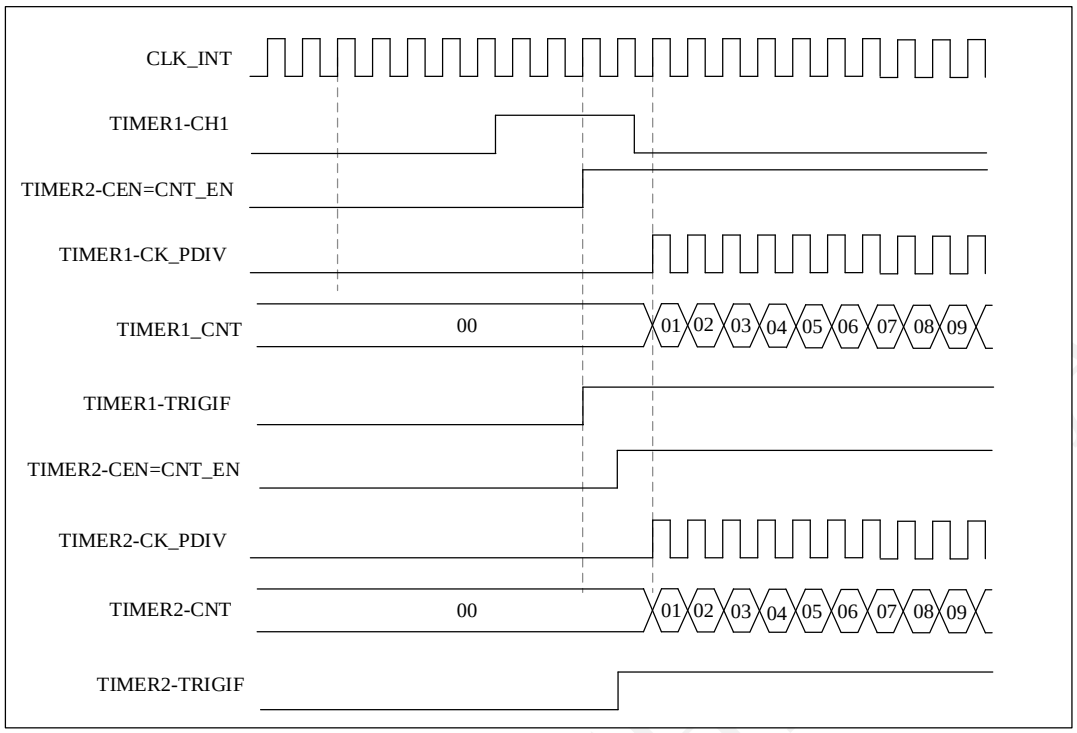
- 配置定时器 1 主机模式，将其使能作为触发输出（TIM1_CTR2 寄存器中的 MMTOC = 001）。
- 配置定时器 1 从机模式，从 CH1 获取输入触发（TIM1_SMCFG 寄存器中的 TRIGS = 100）。
- 将定时器 1 配置为触发模式（TIM1_SMCFG 寄存器中的 SMCFG = 110）。
- 通过写 MSM = 1（TIM1_SMCFG 寄存器）将定时器 1 配置为主/从机模式。
- 配置定时器 2 从定时器 1 获取输入触发（TIM2_SMCFG 寄存器中的 TRIGS = 000）。
- 将定时器 2 配置为触发模式（TIM2_SMCFG 寄存器中的 SMCFG = 110）。

当 CH1（定时器 1）出现上升沿时，两个计数器在内部时钟上同步开始计数，并且两个 TRIGIF 标志都置 1。

注意：在此示例中，两个定时器在启动之前都已初始化（通过写各自的 UEG 位）。两个计数器都从 0 开始，但可以通过写入任意一个计数器寄存器（TIMx_CNT）轻松地在它们之间插入一个偏移量。 下图可以看到主/从机模式下定时器 1 的 CNT_EN 和 CLK_PDIV 之间有个延迟。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 127 使用定时器 1 的 CH1 输入触发定时器 1 和 2



13.2.16 调试模式

当微控制器进入调试模式（ARM®Cortex®-M0 内核 - 暂停）时，TIMx 计数器将继续正常工作或停止，具体取决于 DBGMCU 模块中的 TIMx_DBG_PAUSE 配置位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

寄存器

13.3.1 寄存器概览

表 39 TIM2 和 TIM3 寄存器概览

名称	偏移地址	描述	复位值
TIMx_CTR1	0x000	TIMx 控制寄存器 1	0x00000000
TIMx_CTR2	0x004	TIMx 控制寄存器 2	0x00000000
TIMx_SMCFG	0x008	TIMx 从机模式配置寄存器	0x00000000
TIMx_DIEN	0x00C	TIMxDMA 和中断请求使能寄存器	0x00000000
TIMx_STS	0x010	TIMx 状态寄存器	0x00000000
TIMx_SWEGR	0x014	TIMx 软件事件生成寄存器	0x00000000
TIMx_CH12CFGR	0x018	TIMx 通道 1 和通道 2 配置寄存器	0x00000000
TIMx_CH34CFGR	0x01C	TIMx 通道 3 和通道 4 配置寄存器	0x00000000
TIMx_CCCTR	0x020	TIMx 通道捕获比较控制寄存器	0x00000000
TIMx_CNT	0x024	TIMx 计数器	0x00000000
TIMx_PDIV	0x028	TIMx 预分频	0x00000000
TIMx_UVAL	0x02C	TIMx 计数器更新寄存器	TIM2(0xFFFFFFFF) TIM3(0x0000FFFF)
TIMx_CH1CCVAL	0x034	TIMx 通道 1 捕获比较寄存器	0x00000000
TIMx_CH2CCVAL	0x038	TIMx 通道 2 捕获比较寄存器	0x00000000
TIMx_CH3CCVAL	0x03C	TIMx 通道 3 捕获比较寄存器	0x00000000
TIMx_CH4CCVAL	0x040	TIMx 通道 4 捕获比较寄存器	0x00000000
TIMx_DMAACR	0x048	TIMx DMA 读写配置寄存器	0x00000000
TIMx_DMAIR	0x04C	TIMx DMA 接口寄存器	0x00000000

13.3.2 TIM2 和 TIM3 控制寄存器 1（TIM2_CTR1、TIM3_CTR1）

对该寄存器的写入操作只支持半字或字写入。

TIMx_CTR1 (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	CKDIV[1:0]		UVALSEN	CPS[1:0]		DIR	SPEN	URSEL	UPD	CEN
						r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:10]	保留	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

[9:8]	CKDIV	**时钟分频** 用于确定死区时间、采样时钟和计数器输入时钟之间的比例 00：Tclk_dts=Tclk_int 01：Tclk_dts=2xTclk_int 10：Tclk_dts=4xTclk_int 11：保留
7	UVALSEN	**UVAL 影子寄存器使能** 0：TIMx_UVAL 寄存器没有缓冲器 1：TIMx_UVAL 寄存器有缓冲器
[6:5]	CPS	**计数方式选择** 00：边沿计数模式，DIR 位决定计数方向 01：中央对齐模式 1，计数器交替向上和向下计数。配置为输出通道(TIMx_CHxxCFGR 寄存器中 CCxFS=00)的输出比较中断标志位只在计数器向下计数且发生比较匹配时被置位 10：中央对齐模式 2，计数器交替向上和向下计数。配置为输出通道(TIMx_CHxxCFGR 寄存器中 CCxFS=00)的输出比较中断标志位只在计数器向上计数且发生比较匹配时被置位 11：中央对齐模式 1，计数器交替向上和向下计数。配置为输出通道(TIMx_CHxxCFGR 寄存器中 CCxFS=00)的输出比较中断标志位在向上和向下计数且发生比较匹配时均被置位 注意：只要计数器使能有效（CEN＝1），就不允许从边沿对齐模式切换到中央对齐模式。
4	DIR	**计数方向** 0：向上计数 1：向下计数 注意：在中央对齐模式或编码器模式下，该位只读。
3	SPEN	**单脉冲使能** 0：更新事件发生时，计数器不停止 1：更新事件发生时，计数器停止计数(清除 CEN 位)
2	URSEL	**更新请求过滤** 0：如果使能中断或者 DMA 请求，下述任意一个事件产生都可以更新中断或 DMA 请求 计数器上溢/下溢 软件写 UEG 位 从机模式控制器产生的更新 1：如果使能中断或 DMA 请求，只在计数器上溢/下溢时产生更新中断或 DMA 请求
1	UPD	**禁止更新** 0：计数器上溢/下溢、写 UEG 位、从机模式控制产生的更新都将会产生 UEV，具有缓存的寄存器将装入他们的预装载值 1： 禁止 UEV。不产生更新事件，影子寄存器(UVAL、PDIV、CHxCCVAL)保持它们的值。如果写 UEG 位或从机模式控制器收到一个硬件复位，则计数器和预分频器被重新初始化。
0	CEN	**计数器使能**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0：禁止计数器 1：使能计数器 注意：外部时钟和编码器模式只有先置位 CEN 位时才能工作。 但是，触发模式可以通过硬件自动置位 CEN 位。发生更新事件时，CEN 会在单脉冲模式下自动清除。

13.3.3 TIM2 和 TIM3 控制寄存器 2（TIM2_CTR2、TIM3_CTR2）

TIMx_CTR2(偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	TI1XOR	MMTOC[2:0]			CHDMARS	保留	保留	保留
								r/w	r/w	r/w	r/w	r/w			

Bit 位	名称	描述
[31:8]	保留	
7	TI1XOR	**异或输入** 0：CH1 引脚连接通道 1 输入 1：CH1、CH2 和 CH3 管脚经异或后连到通道 1 输入。
[6:4]	MMTOC	**主机模式触发输出控制** 这三位用于选择在主机模式下送到从定时器的同步信息(TRGO)。可能的组合如下： 000：复位 –TIMx_SWEGR 寄存器的 UEG 位被用于作为触发输出(TRGO)。如果触发输入(从机模式控 制器处于复位模式)产生复位，则 TRGO 上的信号相对实际的复位会有一个延迟 001：使能 –计数器使能信号 CNT_EN 被用于作为触发输出(TRGO)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。当计数器使能信号受控于触发输入时，TRGO 上会有一个延迟，除非选择了主/从机模式(见 TIMx_SMCFG 寄存器中 MSM 位的描述)。 010：更新 – 更新事件被选为触发输出(TRGO)。例如，一个主定时器可以被用作一个从定时器的预分频器。 011：比较脉冲–发生一次捕获或比较匹配时，当要置位 CH1CCIF 标志时(即使它已经为 高)，触发输出送出一个正脉冲(TRGO)。 100：比较 – CH1OCREF 信号被用于作为触发输出(TRGO)。 101：比较 – CH2OCREF 信号被用于作为触发输出(TRGO)。 110：比较 – CH3OCREF 信号被用于作为触发输出(TRGO)。 111：比较 – CH4OCREF 信号被用于作为触发输出(TRGO)。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

3	CHDMARS	**通道 DMA 请求源** 0：当发生 CHx 事件时，送出 CHx 的 DMA 请求 1：当发生更新事件时，送出 CHx 的 DMA 请求
[2:0]	保留	

13.3.4 TIM2 和 TIM3 从机模式控制寄存器（TIM2_SMCFG、TIM3_SMCFG）

TIMx_SMCFG (偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETRINV	ECMODE2	ETPDIV[1:0]		ETFLT[3:0]				MSM	TRIGS[2:0]			保留	SMCFG[2:0]		
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
15	ETRINV	**ETR 反转** 该位控制选择 ETR 或 ETR 反转来作为触发输入 0：ETR 不反转，上升沿或高电平有效 1：ETR 反转，下降沿或低电平有效
14	ECMODE2	**外部时钟模式 2 使能** 0：禁止外部时钟模式 2 1：使能外部时钟模式 2。计数器由 ETRF 信号上的任意有效边沿驱动 注 1：设定 ECMODE2 位与选择外部时钟模式 1 并将 TRGI 连接到 ETRF(SMCFG=111 和 TRIGS=111)具有相同的效果。 注 2：以下的从机模式可以和外部时钟模式 2 同时使用:复位模式、触发模式，但是 TRGI 不能连接到 ETRF(TRIGS 位不能为 111) 注 3：外部时钟模式 1 和模式 2 同时被使能时，外部时钟输入为 ETRF
[13:12]	ETPDIV	**外部触发预分频** 外部触发信号 ETRP 的频率最高是 TIMxCLK 频率的 1/4。当输入较快的外部时钟时，可以使用预分频功能降低 ETRP 的频率 00：关闭预分频功能 01：ETRP 频率除以 2 10：ETRP 频率除以 4 11：ETRP 频率除以 8
[11:8]	ETFLT	**外部触发滤波**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		定义对 ETRP 信号采样的频率和数字滤波的长度，数字滤波器是一个事件计数器构成，当记录到 N 个事件后会产生一个输出的跳变 0000：无滤波，$f_{SAMPLING}=f_{DTS}$ 采样 0001：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=2 0010：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=4 0011：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=8 0100：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=6 0101：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=8 0110：采样频率 $f_{SAMPLING}=f_{DTS}/4$，N=6 0111：采样频率 $f_{SAMPLING}=f_{DTS}/4$，N=8 1000：采样频率 $f_{SAMPLING}=f_{DTS}/8$，N=6 1001：采样频率 $f_{SAMPLING}=f_{DTS}/8$，N=8 1010：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=5 1011：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=6 1100：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=8 1101：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=5 1110：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=6 1111：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=8
7	MSM	**主/从机模式** 0：无作用 1：触发输入(TRGI)上的事件被延迟，以允许在当前定时器与它的从定时器间的完美同步(通过 TRGO)。
[6:4]	TRIGS	**触发源选择** 同步计数器的触发输入选择 000：内部触发 0(ITR0) 001：内部触发 1(ITR1) 010：内部触发 2(ITR2) 011：内部触发 3(ITR3) 100：CH1 的边沿检测器(CH1F_ED) 101：滤波后的定时器输入 1(CH1FP1) 110：滤波后的定时器输入 2(CH2FP2) 111：外部触发输入(ETRF) 注：这些位只能在未用到(如 SMCFG=000)时被改变，以避免在改变时产生错误的边沿检测。
3	保留	
[2:0]	SMCFG	**从机模式配置** 000：禁止从机模式–如果 CEN=1，则预分频器直接由内部时钟驱动。 001：编码器模式 1–根据 CH1FP1 的电平，计数器在 CH2FP2 的边沿向上/下计数。 010：编码器模式 2–根据 CH2FP2 的电平，计数器在 CH1FP1 的边沿向上/下计数。 011：编码器模式 3–根据另一个输入的电平，计数器在 CH1FP1 和 CH2FP2 的边沿向上/下计数。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		100：复位模式–选中的触发输入(TRGI)的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。 101：保留。 110：触发模式–计数器在触发输入 TRGI 的上升沿启动(但不复位)，只有计数器的启动是受控的。 111：外部时钟模式 1– 选中的触发输入(TRGI)的上升沿驱动计数器。 注：必须在接收主定时器触发事件之前使能从计时器的时钟，不得在运行中进行更改。

表 40 TIM2 和 TIM3 内部触发连接

Slave TIM	ITR0(TRIGS=000)	ITR1=(TRIGS=001)	ITR2=(TRIGS=010)	ITR2=(TRIGS=011)
TIM2	TIM1	TIM15	TIM3	TIM14
TIM3	TIM1	TIM2	TIM15	TIM14

13.3.5 TIM2 和 TIM3 DMA/中断请求使能寄存器（TIM2_DIEN、TIM3_DIEN）

TIMx_DIEN (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	TDREN	保留	CH4DEN	CH3DEN	CH2DEN	CH1DEN	UPDEN	保留	TINTEN	保留	CH4INTEN	CH3INTEN	CH2INTEN	CH1INTEN	UPINTEN
	r/w		r/w	r/w	r/w	r/w	r/w		r/w		r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:15]	保留	
14	TDREN	**触发事件 DMA 请求使能** 0：触发 DMA 请求禁止 1：触发 DMA 请求允许
13	保留	
12	CH4DEN	**捕获/比较通道 4 DMA 请求使能** 0：通道 4 DMA 请求禁止 1：通道 4 DMA 请求允许
11	CH3DEN	**捕获/比较通道 3 DMA 请求使能** 0：通道 3 DMA 请求禁止 1：通道 3 DMA 请求允许
10	CH2DEN	**捕获/比较通道 2 DMA 请求使能** 0：通道 2 DMA 请求禁止 1：通道 2 DMA 请求允许

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

9	CH1DEN	**捕获/比较通道 1 DMA 请求使能** 0：通道 1 DMA 请求禁止 1：通道 1 DMA 请求允许
8	UPDEN	**更新 DMA 请求使能** 0：更新 DMA 请求禁止 1：更新 DMA 请求允许
7	保留	
6	TINTEN	**触发事件中断使能** 0：触发事件中断禁止 1：触发事件中断允许
5	保留	
4	CH4INTEN	**捕获/比较通道 4 中断使能** 0：通道 4 中断禁止 1：通道 4 中断允许
3	CH3INTEN	**捕获/比较通道 3 中断使能** 0：通道 3 中断禁止 1：通道 3 中断允许
2	CH2INTEN	**捕获/比较通道 2 中断使能** 0：通道 2 中断禁止 1：通道 2 中断允许
1	CH1INTEN	**捕获/比较通道 1 中断使能** 0：通道 1 中断禁止 1：通道 1 中断允许
0	UPINTEN	**更新中断使能** 0：更新中断禁止 1：更新中断允许

13.3.6 TIM2 和 TIM3 状态寄存器（TIM2_STS、TIM3_STS）

TIMx_STS (偏移地址=0x010，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	CH4ICOF	CH3ICOF	CH2ICOF	CH1ICOF	保留	保留	TRIGIF	保留	CH4CCIF	CH3CCIF	CH2CCIF	CH1CCIF	UPIF
			r/w0c	r/w0c	r/w0c	r/w0c			r/w0c		r/w0c	r/w0c	r/w0c	r/w0c	r/w0c

Bit 位	名称	描述
[31:13]	保留	
12	CH4ICOF	**捕获、比较通道 4 输入捕获溢出标志位**，参考 CH1ICOF

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

11	CH3ICOF	**捕获、比较通道 3 输入捕获溢出标志位**，参考 CH1ICOF
10	CH2ICOF	**捕获、比较通道 2 输入捕获溢出标志位**，参考 CH1ICOF
9	CH1ICOF	**捕获、比较通道 1 输入捕获溢出标志位** 0：无重复捕获产生 1：当 CH1CCIF 位为 1 时，通道再次发生输入捕获。
[8:7]	保留	
6	TRIGIF	**触发中断标志** 该标志在发生触发事件时硬件置位（当从机模式控制器在启用时，在 TRGI 输入上检测到有效边沿。由软件清除。 0：未发生触发事件 1：触发中断发生
5	保留	
4	CH4CCIF	**通道 4 捕获比较中断标志**，参考 CH1CCIF
3	CH3CCIF	**通道 3 捕获比较中断标志**，参考 CH1CCIF
2	CH2CCIF	**通道 2 捕获比较中断标志**，参考 CH1CCIF
1	CH1CCIF	**通道 1 捕获比较中断标志** 如果通道 1 配置为输出模式: 当计数器的值和比较值匹配时该位由硬件置 1，但是中央对齐模式除外(参考 TIMx_CTR1 中的 CPS 位)。它由软件清 0。 0：无匹配发生 1：TIMx_CNT 和 TIMx_CH1CCVAL 的值匹配。当 TIMx_CH1CCVAL 的值大于 TIMx_UVAL 的值时，在向上或中央对齐模式计数器溢出，或向下计数模式时计数器下溢，CH1CCIF 置高。 如果通道 1 配置为输入模式: 当发生捕获时，该位由硬件置 1，通过软件清 0 或者通过读取 TIMx_CH1CCVAL 寄存器清 0 0：无输入捕获产生 1：计数器的值捕获到 TIMx_CH1CCVAL
0	UPIF	**更新中断标志** 当产生更新事件时该位由硬件置 1，软件清 0 0：无更新事件产生 1：产生更新中断等待响应 —若 TIMx_CTR1 寄存器中 UPD=0，计数器计数值上溢或者下溢 —若 TIMx_CTR1 寄存器中的 UPD=0，URSEL=0，当写 TIMx_SWEGR 寄存器中的 UEG 位时产生更新事件，通过软件对计数器 CNT 重新初始化时。 —若 TIMx_CTR1 寄存器中的 UPD=0，URSEL=0，当计数器 CNT 被触发事件重新初始化时。

13.3.7 TIM2 和 TIM3 软件事件生成寄存器（TIM2_SWEGR、TIM3_SWEGR）

TIMx_SWEGR (偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	TRIGEG	保留	CH4CCG	CH3CCG	CH2CCG	CH1CCG	UEG
									w		w	w	w	w	w

Bit 位	名称	描述
[31:7]	保留	
6	TRIGEG	**触发事件生成** 该位由软件置 1，用于产生一个触发事件，由硬件自动清 0 0:无动作 1:TIMx_STS 中的 TRIGIF=1，若开启对应的中断使能和 DMA 请求使能，将产生相应的中断和 DMA 请求。
5	保留	
4	CH4CCG	**通道 4 捕获比较事件生成**，参考 CH1CCG
3	CH3CCG	**通道 3 捕获比较事件生成**，参考 CH1CCG
2	CH2CCG	**通道 2 捕获比较事件生成**，参考 CH1CCG
1	CH1CCG	**通道 1 捕获比较事件生成** 该位由软件置 1，产生捕获/比较事件，由硬件自动清 0 0：无动作 1：在通道 1 上产生捕获/比较事件 若通道 1 为输出通道: 置位 CH1CCIF，若开启对应的中断使能和 DMA 请求使能，将产生响应的中断和 DMA 请求 若通道 1 位输入通道: 当计数器的值被捕获至 TIMx_CH1CCVAL 寄存器；置位 CH1CCIF，若开启对应的中断使能和 DMA 请求使能，将产生响应的中断和 DMA 请求。若 CH1CCIF 已经为 1，置位 CH1ICOF。
0	UEG	**更新事件生成** 该位由软件置 1，硬件自动清 0 0：无动作 1：重新初始化计数器 CNT，并且产生一个更新事件。预分频系数保持不变但预分频计数器被清 0。在中央对齐模式下或者 DIR=0（向上计数），计数器被清 0；若 DIR=1（向下计数），计数器取 TIMx_UVAL 的值。

13.3.8 TIM2 和 TIM3 通道 1 和通道 2 配置寄存器（TIM2_CH12CFGR 、TIM3_CH12CFGR）

TIMx_CH12CFGR (偏移地址=0x018，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH2OCCEN	CH2OCMSEL[2:0]			CH2OCVPEN	CH2OCFEN	CH2FS[1:0]		CH1OCCEN	CH1OCMSEL[2:0]			CH1OCVPEN	CH1OCFEN	CH1FS[1:0]	
CH2ICFLT[3:0]				CH2ICPDIV[1:0]				CH1ICFLT[3:0]				CH1ICPDIV[1:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

输出比较模式

Bit 位	名称	描述
[31:16]	保留	
15	CH2OCCEN	**通道 2 输出比较清除使能**
[14:12]	CH2OCMSEL	**通道 2 输出比较模式选择**
11	CH2OCVPEN	**通道 2 输出比较值预装载使能**
10	CH2OCFEN	**通道 2 输出比较快速使能**
[9:8]	CH2FS	**通道 2 功能选择** 00：通道 2 被配置为输出 01：通道 2 被配置为输入，映射到 CH2 上 10：通道 2 被配置为输入，映射到 CH1 上 11：通道 2 被配置为输入，映射到 TRC 上 注：CH2FS 仅在通道关闭时(TIMx_CCCTR 中的 CH2CCEN=0)才是可写的
7	CH1OCCEN	**通道 1 输出比较清除使能** 0：CH1OCREF 不受 ETRF 输入的影响 1：当 ETRF 输入高电平时，清除 CH1OCREF=0
[6:4]	CH1OCMSEL	**通道 1 输出比较模式选择** 该 3 位定义了输出参考信号 CH1OCREF 的行为， CH1OCREF 决定了 CH1OC、CH1NOC 的值。CH1OCREF 是高电平有效，而 CH1OC、CH1NOC 的有效电平取决于 CH1CCP、CH1NCCP 位。 000：冻结。输出比较寄存器 TIMx_CH1CCVAL 与计数器 TIMx_CNT 间的比较对 CH1OCREF 不起作用； 001：匹配时设置通道 1 为有效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CH1CCVAL)相同时，强制 CH1OCREF 为高。 010：匹配时设置通道 1 为无效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CH1CCVAL)相同时，强制 CH1OCREF 为低。 011：翻转。当 TIMx_CH1CCVAL=TIMx_CNT 时，翻转 CH1OCREF 的电平。 100：强制为无效电平。强制 CH1OCREF 为低。 101：强制为有效电平。强制 CH1OCREF 为高。 110：PWM 模式 1－在向上计数时，一旦 TIMx_CNT<TIMx_CH1CCVAL 时，通道 1 为有效电平，否则为无效电平；在向下计数时，

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		TIMx_CNT>TIMx_CH1CCVAL 时，通道 1 为无效电平(CH1OCREF=0)，否则为有效电平(CH1OCREF=1)。 111：PWM 模式 2－在向上计数时,一旦 TIMx_CNT<TIMx_CH1CCVAL 时，通道 1 为无效电平，否则为有效电平；在向下计数时，TIMx_CNT>TIMx_CH1CCVAL 时，通道 1 为有效电平，否则为无效电平。 注 1：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时，CH1OCREF 电平才改变。 注 2：在有互补输出通道时，此位被预装载。如果置位 TIMx_CTR2 中的 CHPSEN 位，CH1OCMSEL 只有在 COM 事件到来时才能得到预装载的值
3	CH1OCVPEN	**通道 1 输出比较值预装载使能** 0：禁止 TIMx_CH1CCVAL 寄存器的预装载功能，可随时写入 TIMx_CH1CCVAL 寄存器，并且新写入的数值立即起作用。 1：开启 TIMx_CH1CCVAL 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMx_CH1CCVAL 的预装载值在更新事件到来时被加载至当前寄存器中。 注 1：仅在单脉冲模式下(TIMx_CTR1 寄存器的 SPEN=1)，可以在未打开预装载寄存器情况下使用 PWM 模式，否则无法确定其行为。
2	CH1OCFEN	**通道 1 输出比较快速使能** 该位用于加快通道输出对触发输入事件的响应。 0：根据计数器与 TIMx_CH1CCVAL 的值，CH1 正常变化，即使触发打开。触发输入有效沿到 CH1 输出有效的最小延时为 5 个时钟周期。 1：触发输入有效沿的作用就像发生了一次比较匹配。因此，CH1OC 被设置为比较电平而与比较结果无关。触发有效沿和 CH1 输出的延时被缩短为 3 个时钟周期。CHxOCFEN 只在通道被配置成 PWM1 或 PWM2 模式时起作用。
[1:0]	CH1FS	**通道 1 功能选择** 00：通道 1 被配置为输出 01：通道 1 被配置为输入，映射到 CH1 上 10：通道 1 被配置为输入，映射到 CH2 上 11：通道 1 被配置为输入，映射到 TRC 上 注：CH1FS 仅在通道关闭时(TIMx_CCCTR 中的 CH1CCEN=0)才是可写的

输入捕获模式

Bit 位	**名称**	**描述**
[31:16]	保留	
[15:12]	CH2ICFLT	**通道 2 输入捕获滤波**
[11:10]	CH2ICPDIV	**通道 2 输入捕获预分频**
[9:8]	CH2FS	**通道 2 功能选择** 00：通道 2 被配置为输出 01：通道 2 被配置为输入，映射到 CH2 上 10：通道 2 被配置为输入，映射到 CH1 上 11：通道 2 被配置为输入，映射到 TRC 上 注：CH2FS 仅在通道关闭时(TIMx_CCCTR 中的 CH2CCEN=0)才是可写的

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

[7:4]	CH1ICFLT	**通道 1 输入捕获滤波** 定义了 CH1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成，它记录到 N 个事件后会产生一个输出的跳变： 0000：无滤波器，以 f_{DTS} 采样 0001：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=2 0010：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=4 0011：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=8 0100：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=6 0101：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=8 0110：采样频率 $f_{SAMPLING}=f_{DTS}/4$，N=6 0111：采样频率 $f_{SAMPLING}=f_{DTS}/4$，N=8 1000：采样频率 $f_{SAMPLING}=f_{DTS}/8$，N=6 1001：采样频率 $f_{SAMPLING}=f_{DTS}/8$，N=8 1010：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=5 1011：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=6 1100：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=8 1101：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=5 1110：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=6 1111：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=8
[3:2]	CH1ICPDIV	**通道 1 输入捕获预分频** 这 2 位定义了 CH1 输入的预分频系数。 一旦 CH1CCEN=0(TIMx_CCCTR 寄存器中)，则预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获； 01：每 2 个事件触发一次捕获； 10：每 4 个事件触发一次捕获； 11：每 8 个事件触发一次捕获。
[1:0]	CH1FS	**通道 1 功能选择** 00：通道 1 被配置为输出 01：通道 1 被配置为输入，映射到 CH1 上 10：通道 1 被配置为输入，映射到 CH2 上 11：通道 1 被配置为输入，映射到 TRC 上 注：CH1FS 仅在通道关闭时(TIMx_CCCTR 中的 CH1CCEN=0)才是可写的

13.3.9 TIM2 和 TIM3 通道 3 和通道 4 配置寄存器（TIM2_CH34CFGR、TIM3_CH34CFGR）

TIMx_CH34CFGR (偏移地址=0x01C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH2 OCC EN	CH2OCMSEL[2:0]			CH2 OCV PEN	CH2 OCF EN	CH2FS[1:0]		CH1 OCC EN	CH1OCMSEL[2:0]			CH1 OCV PEN	CH1 OCF EN	CH1FS[1:0]	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

CH2ICFLT[3:0]				CH2ICPDIV[1:0]				CH1ICFLT[3:0]				CH1ICPDIV[1:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

输出比较模式

Bit 位	名称	描述
[31:16]	保留	
15	CH4OCCEN	**通道 4 输出比较清除使能**
[14:12]	CH4OCMSEL	**通道 4 输出比较模式选择**
11	CH4OCVPEN	**通道 4 输出比较值预装载使能**
10	CH4OCFEN	**通道 4 输出比较快速使能**
[9:8]	CH4FS	**通道 4 功能选择** 00：通道 4 被配置为输出 01：通道 4 被配置为输入，映射到 CH4 上 10：通道 4 被配置为输入，映射到 CH3 上 11：通道 4 被配置为输入，映射到 TRC 上 注：CH4FS 仅在通道关闭时(TIMx_CCCTR 中的 CH4CCEN=0)才是可写的
7	CH3OCCEN	**通道 3 输出比较清除使能**
[6:4]	CH3OCMSEL	**通道 3 输出比较模式选择**
3	CH3OCVPEN	**通道 3 输出比较值预装载使能**
2	CH3OCFEN	**通道 3 输出比较快速使能**
[1:0]	CH3FS	**通道 3 功能选择** 00：通道 3 被配置为输出 01：通道 3 被配置为输入，映射到 CH3 上 10：通道 3 被配置为输入，映射到 CH4 上 11：通道 3 被配置为输入，映射到 TRC 上 注：CH3FS 仅在通道关闭时(TIMx_CCCTR 中的 CH3CCEN=0)才是可写的

输入捕获模式

Bit 位	名称	描述
[31:16]	保留	
[15:12]	CH4ICFLT	**通道 4 输入捕获滤波**
[11:10]	CH4ICPDIV	**通道 4 输入捕获预分频**
[9:8]	CH4FS	**通道 4 功能选择** 00：通道 4 被配置为输出 01：通道 4 被配置为输入，映射到 CH4 上 10：通道 4 被配置为输入，映射到 CH3 上 11：通道 4 被配置为输入，映射到 TRC 上 注：CH4FS 仅在通道关闭时(TIMx_CCCTR 中的 CH4CCEN=0)才是可写的
[7:4]	CH3ICFLT	**通道 3 输入捕获滤波**
[3:2]	CH3ICPDIV	**通道 3 输入捕获预分频**
[1:0]	CH3FS	**通道 3 功能选择** 00：通道 3 被配置为输出

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		01：通道 3 被配置为输入，映射到 CH3 上 10：通道 3 被配置为输入，映射到 CH4 上 11：通道 3 被配置为输入，映射到 TRC 上 注：CH3FS 仅在通道关闭时(TIMx_CCCTR 中的 CH3CCEN=0)才是可写的

13.3.10　TIM2 和 TIM3 通道捕获比较控制寄存器（TIM2_CCCTR 、TIM3_CCCTR）

TIMx_CCCTR (偏移地址=0x020，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH4NCCP	保留	CH4CCP	CH4CCEN	CH3NCCP	保留	CH3CCP	CH3CCEN	CH2NCCP	保留	CH2CCP	CH2CCEN	CH1NCCP	保留	CH1CCP	CH1CCEN
r/w		r/w	r/w	r/w		r/w	r/w	r/w		r/w	r/w	r/w		r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
15	CH4NCCP	**通道 4 互补通道捕获比较极性**，参考 CH1NCCP
14	保留	
13	CH4CCP	**通道 4 捕获比较极性**，参考 CH1CCP
12	CH4CCEN	**通道 4 捕获比较使能**，参考 CH1CCEN
11	CH3NCCP	**通道 3 互补通道捕获比较极性**，参考 CH1NCCP
10	保留	
9	CH3CCP	**通道 3 捕获比较极性**，参考 CH1CCP
8	CH3CCEN	**通道 3 捕获比较使能**，参考 CH1CCEN
7	CH2NCCP	**通道 2 互补通道捕获比较极性**，参考 CH1NCCP
6	保留	
5	CH2CCP	**通道 2 捕获比较极性**，参考 CH1CCP
4	CH2CCEN	**通道 2 捕获比较使能**，参考 CH1CCEN
3	CH1NCCP	**通道 1 互补通道捕获比较极性** CH1 通道配置为输出 在这种情况下，CH1NCCP 必须保持清除状态 CH1 通道配置为输入 将和 CH1CCP 联合定义 CH1FP1 和 CH2FP1 的极性，参考 CH1CCP 描述。
2	保留	
1	CH1CCP	**通道 1 捕获比较极性**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		CH1 通道配置为输出： 0：CH1OC 高电平有效 1：CH1OC 低电平有效 CH1 通道配置为输入： CH1NCCP/CH1CCP 位选择在触发或者捕获模式下，CH 1FP1 和 CH 2FP1 的有效极性 00：不翻转/上升沿有效。 01：翻转/下降沿有效。 10：保留 11：不翻转/上升沿和下降沿都有效。
0	CH1CCEN	**通道 1 捕获比较使能** CH1 通道配置为输出： 0:关闭－ CH1OC 禁止输出,因此 CH1NOC 的输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1NCCEN 位的值。 1：开启－ CH1OC 信号输出到对应的输出引脚，其输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1NCCEN 位的值。 CH1 通道配置为输入 该位决定了计数器的值是否能捕获入 TIMx_CH1CCVAL 寄存器。 0：捕获禁止； 1：捕获使能。

表 41 标准 CHxOC 通道的输出控制位

CHxCCEN 位	CHxOC 输出状态
0	禁止输出（CHxOC=0 ，CHxOC_EN=0）
1	CHxOC= CHxOCREF+polarity，CHxOC_EN=1

13.3.11 TIM2 和 TIM3 计数器（TIM2_CNT、TIM3_CNT）

对该寄存器的写入操作只支持半字或字写入。

TIMx_CNT (偏移地址=0x024，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNT[31:16](仅 TIM2)															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	**名称**	**描述**
[31:16]	CNT[31:16]	**计数器高位**（TIM2 专有）
[15:0]	CNT[15:0]	**计数器低位**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

13.3.12　TIM2 和 TIM3 预分频（TIM2_PDIV 、TIM3_PDIV）

TIMx_PDIV (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDIV[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	PDIV	**预分频** 计数器的时钟频率(f_{CLK_CNT})等于 f_{CLK_PDIV}/(PDIV+1)。当更新事件产生时，PDIV 的值被装入当前预分频寄存器；更新事件包括写 TIMx_SWEGR 中的 UEG 位或工作在复位模式将计数器清 0。

13.3.13　TIM2 和 TIM3 计数器更新寄存器（TIM2_UVAL、TIM3_UVAL）

TIMx_UVAL (偏移地址=0x02C，复位值=0xFFFFFFFF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UVAL[31:16](仅 TIM2)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

比特位	名称	描述
[31:16]	UVAL[31:16]	**重载值高位**(TIM2 专有）
[15:0]	UVAL[15:0]	**自动重载值** 当自动重载值 UVAL 为 0 时，计数器不工作

13.3.14　TIM2 和 TIM3 捕获/比较寄存器 1（TIM2_CH1CCVAL、TIM3_CH1CCVAL）

TIMx_CH1CCVAL (偏移地址=0x034，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH1CCVAL[31:16]（仅 TIM2）															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	CH1CCVAL[31:16]	**捕获比较 1 值的高位**（仅仅 TIM2）
[15:0]	CH1CCVAL[15:0]	**通道 1 捕获比较值** 若通道 1 配置为输出： CH1CCVAL 包含了装入当前捕获比较 1 寄存器的值(预装载值)。 如果 TIMx_CH12CFGR 寄存器(CH1OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获比较 1 寄存器中。当前捕获/比较寄存器同计数器 TIMx_CNT 比较，并在 CH1OC 端口上产生输出信号。 若通道 1 配置为输入： CH1CCVAL 包含了由上一次输入捕获 1 事件传输的计数器值。

13.3.15　TIM2 和 TIM3 捕获/比较寄存器 2（TIM2_CH2CCVAL、TIM3_CH2CCVAL）

TIMx_CH2CCVAL (偏移地址=0x038，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH2CCVAL[31:16]（仅 TIM2）															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH2CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	CH2CCVAL[31:16]	**捕获比较 2 值的高位**（仅仅 TIM2）
[15:0]	CH2CCVAL[15:0]	**通道 1 捕获比较值** 若通道 2 配置为输出： CH2CCVAL 包含了装入当前捕获比较 2 寄存器的值(预装载值)。 如果 TIMx_CH12CFGR 寄存器(CH2OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获比较 2 寄存器中。当前捕获/比较寄存器同计数器 TIMx_CNT 比较，并在 CH2 端口上产生输出信号。 若通道 2 配置为输入： CH2CCVAL 包含了由上一次输入捕获 2 事件传输的计数器值。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

13.3.16　TIM2 和 TIM3 捕获/比较寄存器 3（TIM2_CH3CCVAL、TIM3_CH3CCVAL）

TIMx_CH3CCVAL (偏移地址=0x03C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH3CCVAL[31:16]（仅 TIM2）															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH3CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	CH3CCVAL[31:16]	**捕获比较 3 值的高位**（仅仅 TIM2）
[15:0]	CH3CCVAL[15:0]	**通道 3 捕获比较值** 若通道 3 配置为输出： CH3CCVAL 包含了装入当前捕获比较 3 寄存器的值(预装载值)。 如果 TIMx_CH34CFGR 寄存器(CH3OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获比较 3 寄存器中。当前捕获/比较寄存器同计数器 TIMx_CNT 比较，并在 CH3 端口上产生输出信号。 若通道 3 配置为输入： CH3CCVAL 包含了由上一次输入捕获 3 事件传输的计数器值。

13.3.17　TIM2 和 TIM3 捕获/比较寄存器 4（TIM2_CH4CCVAL、TIM3_CH4CCVAL）

TIMx_CH4CCVAL (偏移地址=0x040，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH4CCVAL[31:16]（仅 TIM2）															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH4CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	CH4CCVAL[31:16]	**捕获比较 4 值的高位**（仅仅 TIM2）
[15:0]	CH4CCVAL[15:0]	**通道 4 捕获比较值** 若通道 4 配置为输出： CH4CCVAL 包含了装入当前捕获比较 4 寄存器的值(预装载值)。 如果 TIMx_CH34CFGR 寄存器(CH4OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获比较 4 寄存器中。当前捕获/比较寄存器

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		同计数器 TIMx_CNT 比较，并在 CH4 端口上产生输出信号。 若通道 4 配置为输入： CH4CCVAL 包含了由上一次输入捕获 4 事件传输的计数器值。

13.3.18　TIM2 和 TIM3 DMA 控制寄存器（TIM2_DMAACR、TIM3_DMAACR）

TIMx_DMAACR (偏移地址=0x048，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	DMATL[4:0]					保留	保留	保留	DMASA[4:0]				
			r/w	r/w	r/w	r/w	r/w				r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:13]	保留	
[12:8]	DMATL	**DMA 传输长度** 这些位定义了 DMA 在连续模式下的传送长度(当对 TIMx_DMAIR 寄存器进行读或写时，定时器则进行一次连续传送)，即：定义传输的次数，传输可以是半字(双字节)或字节： 00000：1 次传输 00001：2 次传输 00010：3 次传输 ..... 10001：18 次传输
[7:5]	保留	
[4:0]	DMASA	**DMA 起始地址** 这些位定义了 DMA 在连续模式下的基地址(当对 TIMx_DMAIR 寄存器进行读或写时)，DMASA 定义为从 TIMx_CTR1 寄存器所在地址开始的偏移量： 00000：TIMx_CTR1 00001：TIMx_CTR2 00010：TIMx_SMCFG .....

13.3.19　TIM2 和 TIM3 DMA 接口寄存器（TIM2_DMAIR、TIM3_DMAIR）

TIMx_DMAIR (偏移地址=0x04C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAI[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	DMAI	**DMA 接口** 对 TIMx_DMAIR 寄存器的读写会对导致对下面的地址所在寄存器的访问(TIMx_CTR1 地址)+(DMASA +DMA 索引)x4,其中 TIMx_CTR1 地址是该控制寄存器所在的地址，DMASA 是 DMAACR 中定义的基地址，DMA 索引是由 DMA 自动控制的偏移量，它取决于 TIMx_DMAACR 中定义的 DMATL

使用 DMA 的并发操作的例子

在此示例中，定时器 DMA 并发功能用于更新 CHxCCVAL 的内容（x = 2,3,4），DMA 将半字传送到 CHxCCVAL 寄存器。

这是通过以下步骤完成的：

1.配置相应的 DMA 通道，如下所示：

- DMA 通道外设地址是 DMAIR 寄存器地址
- DMA 通道存储器地址是 RAM 中缓冲区的地址，包含要由 DMA 传输到 CHxCCVAL 寄存器的数据。
- 要传输的数据数= 3（参见下面的注释）。
- 禁用循环模式。

2.通过配置 DMASA 和 DMATL 位字段来配置 DMAACR 寄存器，如下所示：

DMATL = 3 次传输，DMASA = 0xE。

3.使能 TIMx 更新 DMA 请求（置位 DIEN 寄存器中的 UPDEN 位）。

4.使能 TIMx

5.使能 DMA 通道

注意：此示例适用于每个 CHxCCVAL 寄存器更新一次的情况。 例如，如果要更新每个 CHxCCVAL 寄存器两次，则要传输的数据数应为 6.以 RAM 中包含 data1，data2，data3，data4，data5 和 data6 的缓冲区为例。 数据传输到 CHxCCVAL 寄存器，如下所示：在第一次更新 DMA 请求时，data1 传输到 CH2CCVAL，data2 传输到 CH3CCVAL，data3 传输到 CH4CCVAL，在第二次更新 DMA 请求时，data4 传输到 CH2CCVAL，data5 转移到 CH3CCVAL，data6 转移到 CH4CCVAL。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

14 通用定时器（TIM14）

概述

14.1.1 简介

TIM14 通用定时器由一个由可编程预分频器驱动的 16 位自动重载计数器组成。

它可用于多种用途，包括测量输入信号的脉冲长度（输入捕获）或生成输出波形（输出比较，PWM）。

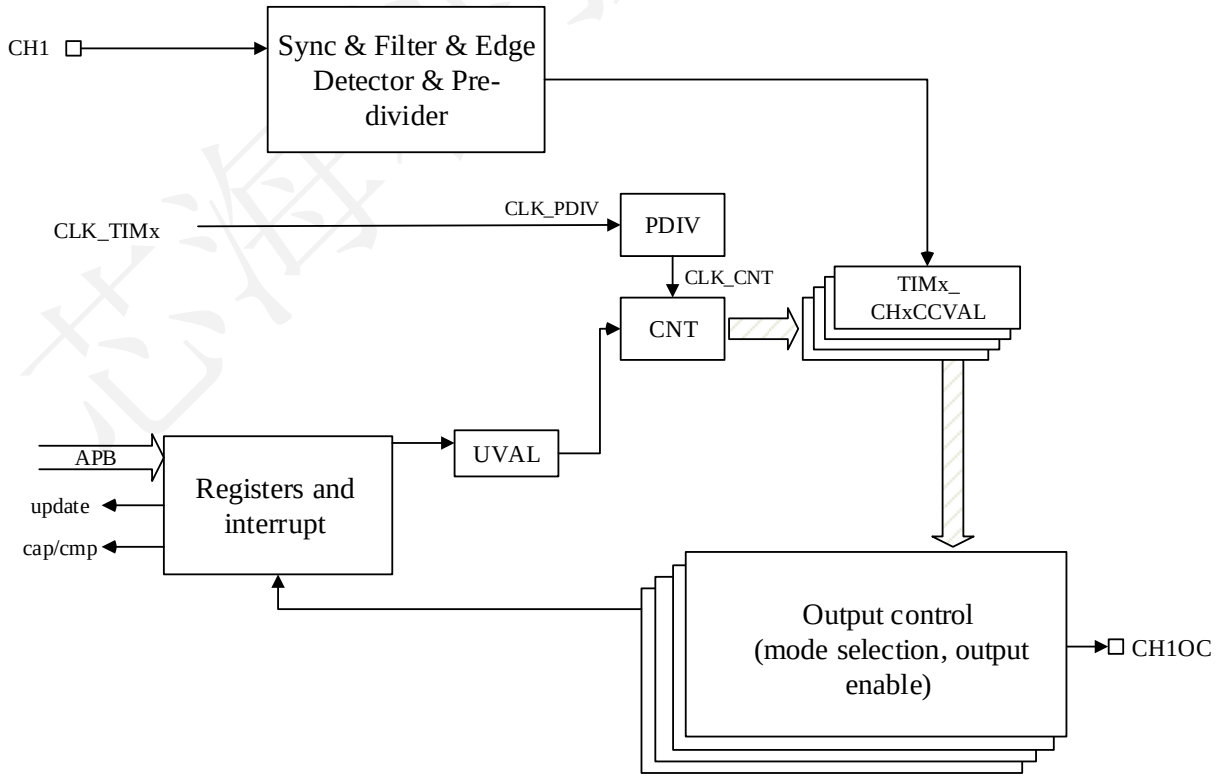
14.1 使用定时器预分频器和 RCU 时钟控制器预分频器，可以将脉冲长度和波形周期从几微秒调制到几毫秒。

TIM14 计时器完全独立，不共享任何资源。

14.1.2 功能概览

- 16 位自动重载向上计数器、
- 16 位可编程预分频器，用于将计数器时钟频率除以 1 到 65535 之间的任何系数（可以随时更改）
- 独立通道：
  - 输入捕获
  - 输出比较
  - PWM 生成（边沿对齐模式）
- 以下事件的中断生成：
  - 更新：计数器上溢，计数器初始化（通过软件）
  - 输入捕获
  - 输出比较

图 128 通用定时器框图（TIM14）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

模块操作

14.2.1 时基单位

可编程高级控制定时器的主要模块是一个 16 位计数器及其相关的计数器更新寄存器。计数器可以向上计数。计数器时钟可由预分频器分频后提供。

14.2 计数器，计数器更新寄存器和预分频器寄存器可由软件写入或读取。即使计数器正在运行也是如此。

时基单元包括：

- 计数器寄存器（TIMx_CNT）
- 预分频器寄存器（TIMx_PDIV）
- 计数器更新寄存器（TIMx_UVAL）

计数器更新寄存器是预装载的。写入或读取计数器更新寄存器访问的是预装载寄存器。根据 TIMx_CTR1 寄存器中的 UVAL 影子寄存器使能位（UVALSEN），预装载寄存器的内容立刻或在每次更新事件（UEV）中传输到影子寄存器。如果 TIMx_CTR1 寄存器中的 UPD 等于 0，当计数器上溢(或者向下计数下溢时)，会产生更新事件。它也可以由软件生成。

计数器由预分频器输出 CLK_CNT 提供时钟，该输出仅在 TIMx_CTR1 寄存器中的计数器使能位（CEN）置 1 时使能（另请参见从机模式控制器说明以获取有关计数器使能的更多详细信息）。

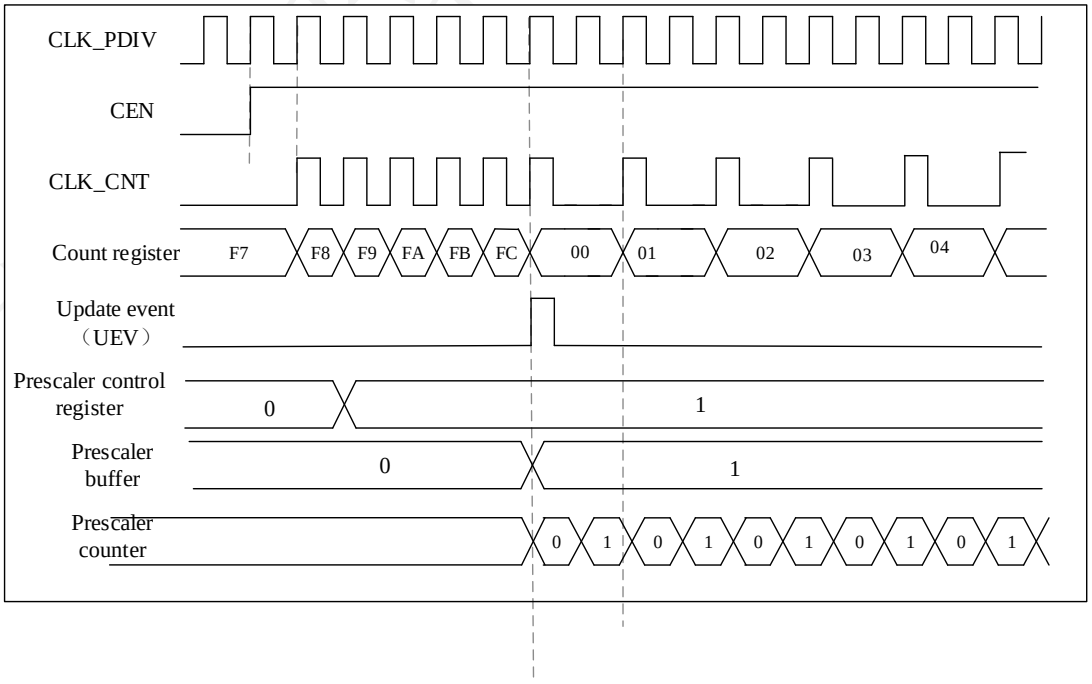
注意：将 TIMx_CTR1 寄存器中的 CEN 位置 1 后，一个时钟周期后计数器开始计数。

预分频器

预分频器可以将计数器时钟频率除以 1 到 65536 之间的任何系数。它基于 16 位寄存器控制的 16 位计数器（在 TIMx_PDIV 寄存器中）。它可以在运行时进行更改，因为该控制寄存器带有缓冲器。在下一次更新事件将加载新的预分频值。

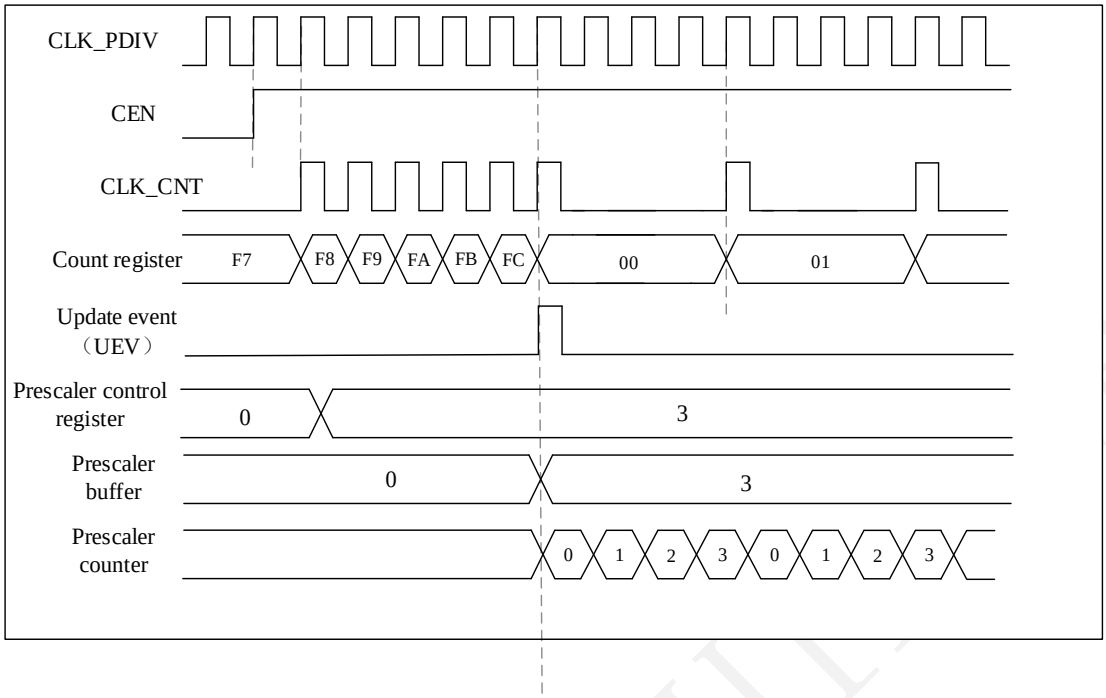
图 129 和图 130 给出了预分频值在运行中更改时计数器行为的一些示例。

图 129 预分频器分频系数从 1 变为 2 的计数器时序



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 130 预分频器的分频系数从 1 变为 4 时的计数器时序图



14.2.2 计数器模式

向上计数模式

在向上计数模式下，计数器从 0 开始计数到自动重载值（TIMx_UVAL 寄存器的内容），然后从 0 重新开始计数并产生计数器上溢事件。

将 TIMx_SWEGR 寄存器中的 UEG 位（通过软件或使用从机模式控制器）置 1 也会产生更新事件。

通过置位 TIMx_CTR1 寄存器中的 UPD 位，可以禁用 UEV 事件。这是为了避免在预装载寄存器中写入新值时更新影子寄存器。在 UPD 位写入 0 之前不会发生更新事件。但是，计数器和预分频器都从 0 重新开始计数（但预分频值不会改变）。此外，如果 TIMx_CTR1 寄存器中的 URSEL 位（更新请求选择）被置位，则 UEG 位写 1 会生成更新事件 UEV 但不置位 UPIF 标志（因此不会生成中断或 DMA 请求）。这是为了避免在捕获事件清除计数器的值时，同时产生更新和捕获中断。

发生更新事件时，将更新所有寄存器并根据 URSEL 的值置位更新标志（TIMx_STS 寄存器中的 UPIF 位）

- 自动重载影子寄存器更新为预装载值（TIMx_UVAL）
- 预分频器的缓冲器重载了预装载值（TIMx_PDIV 寄存器的内容）。

下图显示了 TIMx_UVAL = 0x18 时不同时钟频率的计数器行为的一些示例。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 131 内部时钟分频系数为 1 时的计数器时序图

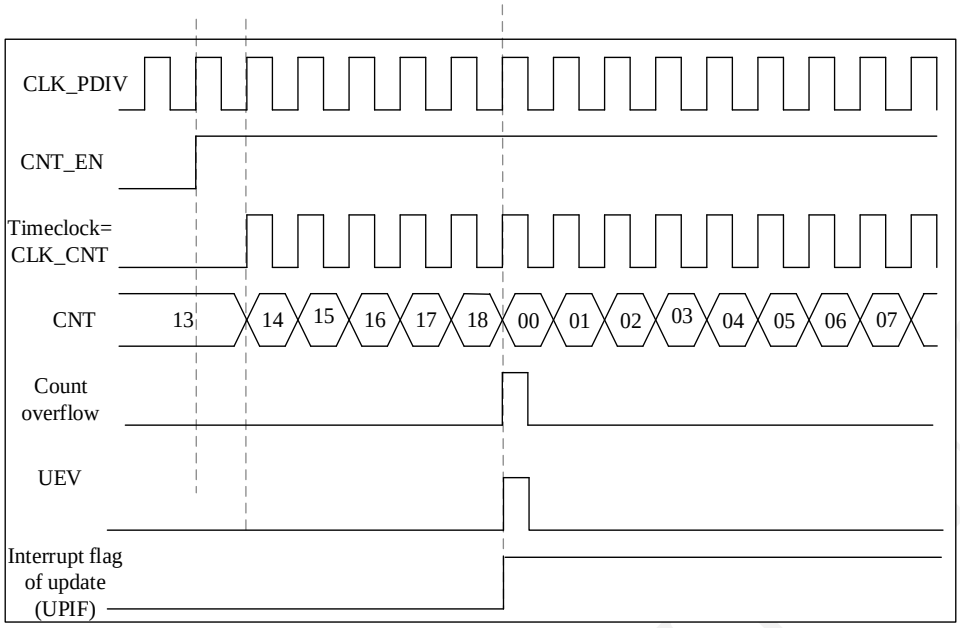
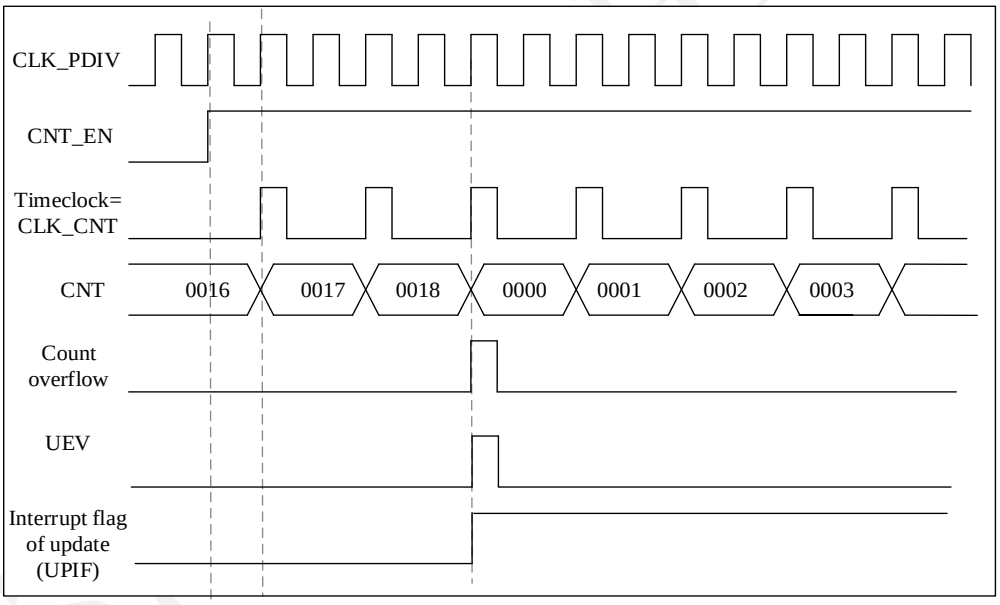


图 132 内部时钟分频系数为 2 时的计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 133 内部时钟分频系数为 4 时的计数器时序图

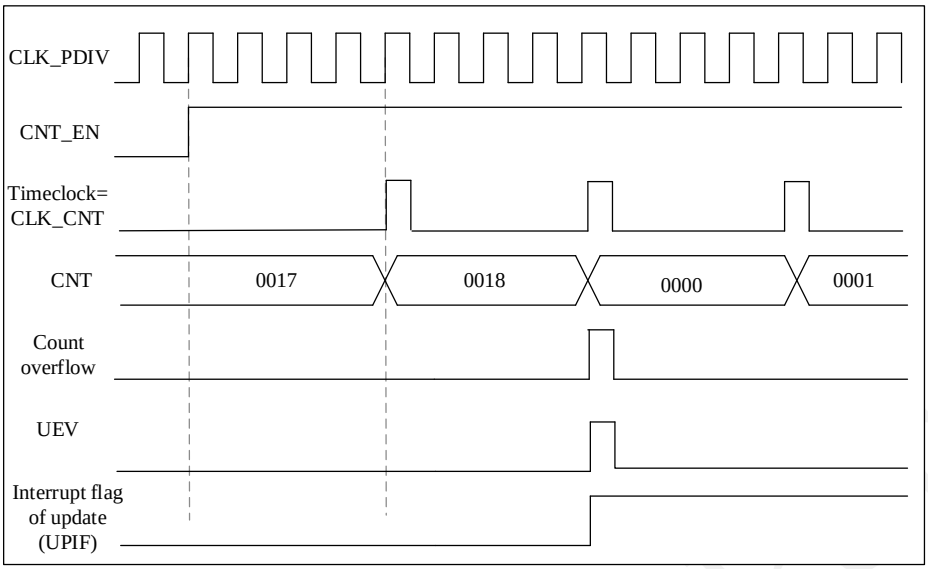
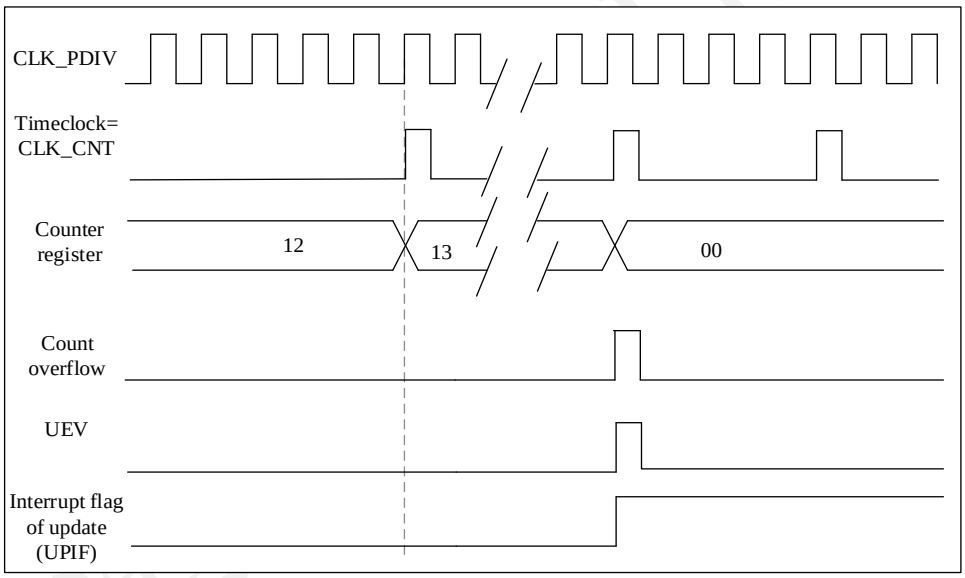


图 134 内部时钟分频系数为 N 时的计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 135 当 UVALSEN = 0 时的更新事件，计数器时序图（TIMx_UVAL 未预装载）

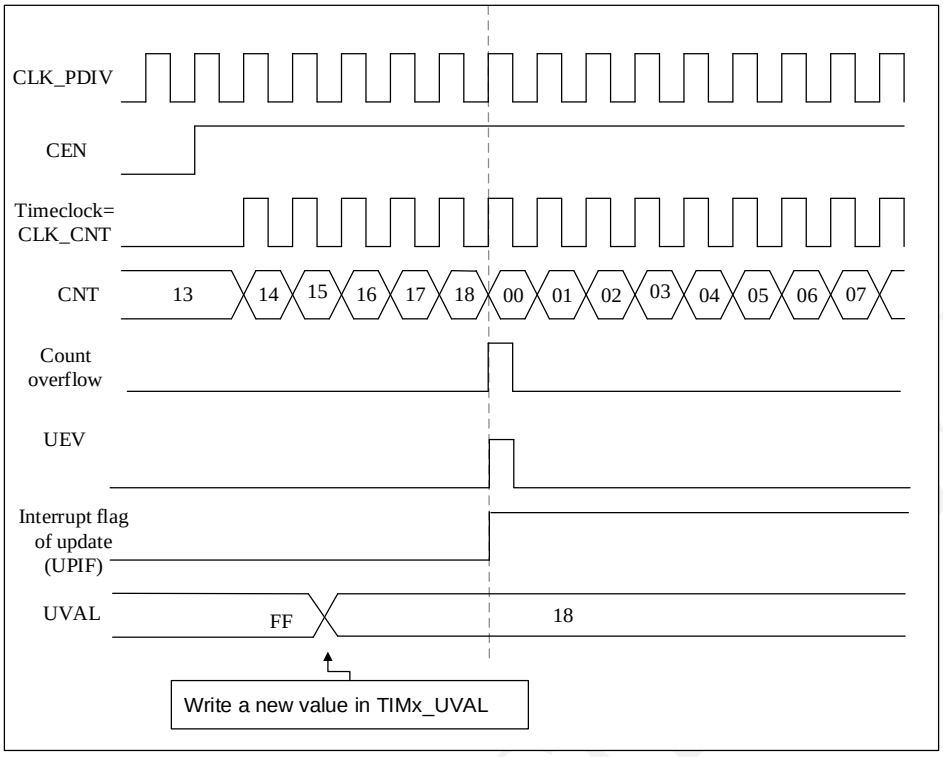
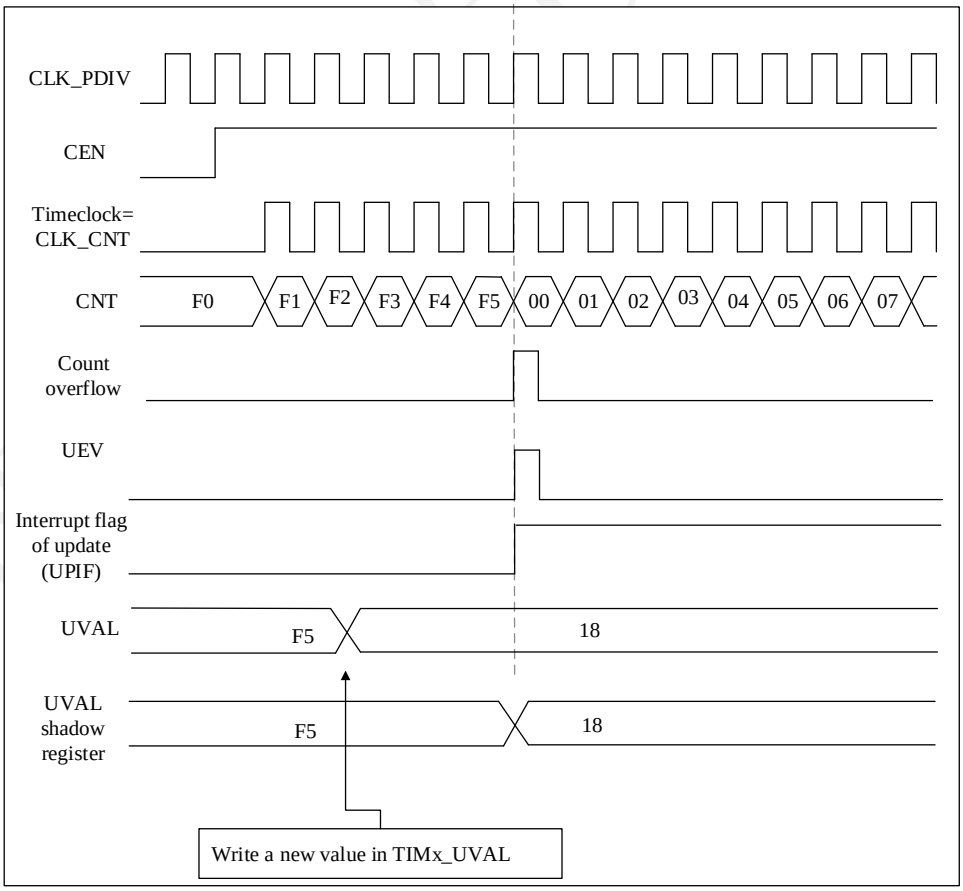


图 136 当 UVALSEN= 1 时的更新事件，计数器时序图（TIMx_UVAL 预装载）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

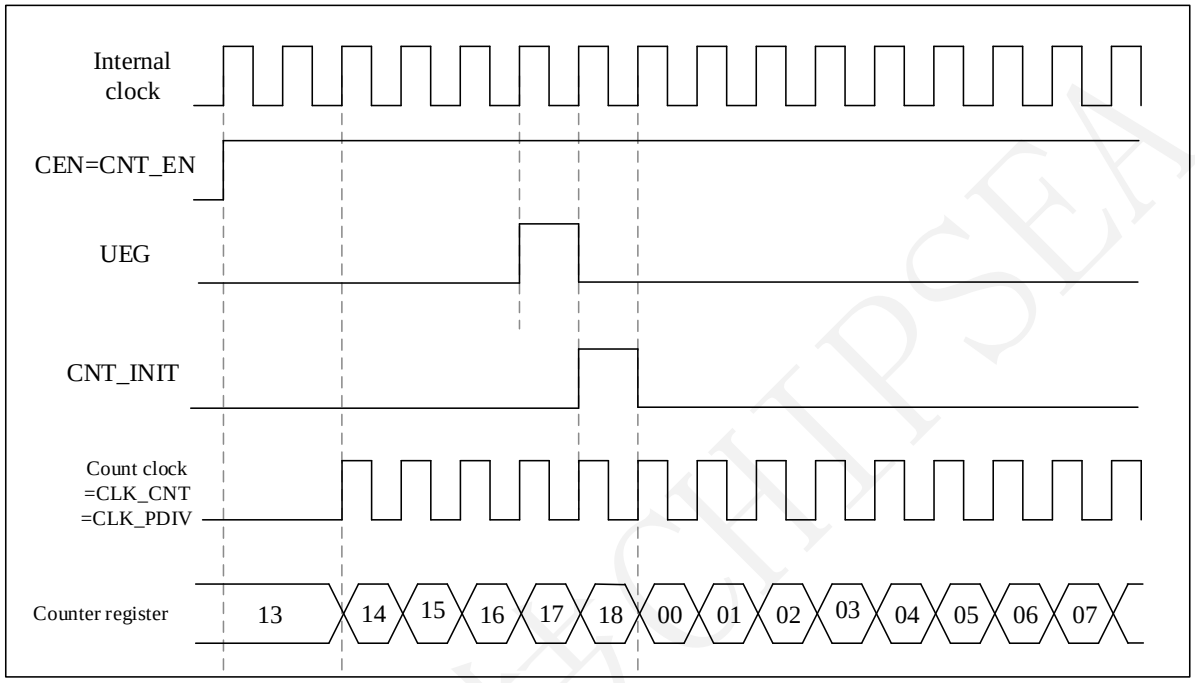
14.2.3 时钟源

计数器时钟由内部时钟（CLK_INT）源提供。

CEN（在 TIMx_CTR1 寄存器中）和 UEG 位（在 TIMx_SWEGR 寄存器中）是实际控制位，只能由软件更改（除 UEG 保持自动清零外）。 一旦 CEN 位写入 1，预分频器就由内部时钟 CLK_INT 提供时钟。

图 137 显示了没有预分频的一般模式下控制时序和向上计数器的行为。

图 137 一般模式下的控制时序，内部分频系数为 1



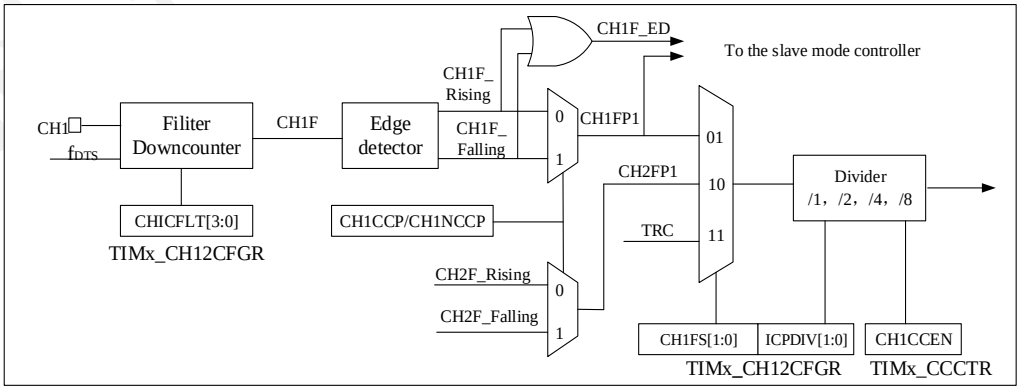
14.2.4 捕获/比较通道

每个捕获/比较通道都由捕获/比较寄存器（包括影子寄存器），捕获输入级（带数字滤波器，多路复用和预分频器）和输出级（带比较器和输出控制）组成。

下图概述了一个捕获/比较通道。

输入级对相应的 CHx 输入进行采样以产生滤波信号 CHxF。然后，具有极性选择的边沿检测器产生信号（CHxFPx），其可以用作从机模式控制器的触发输入或用作捕获命令。它在捕获寄存器之前预分频。

图 138 捕获/比较通道（例如：通道 1 输入级）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

输出级生成一个中间波形，然后用于参考：CHxOCREF（高电平有效）。极性取决于链的末端。

图 139 捕获/比较通道 1 主电路

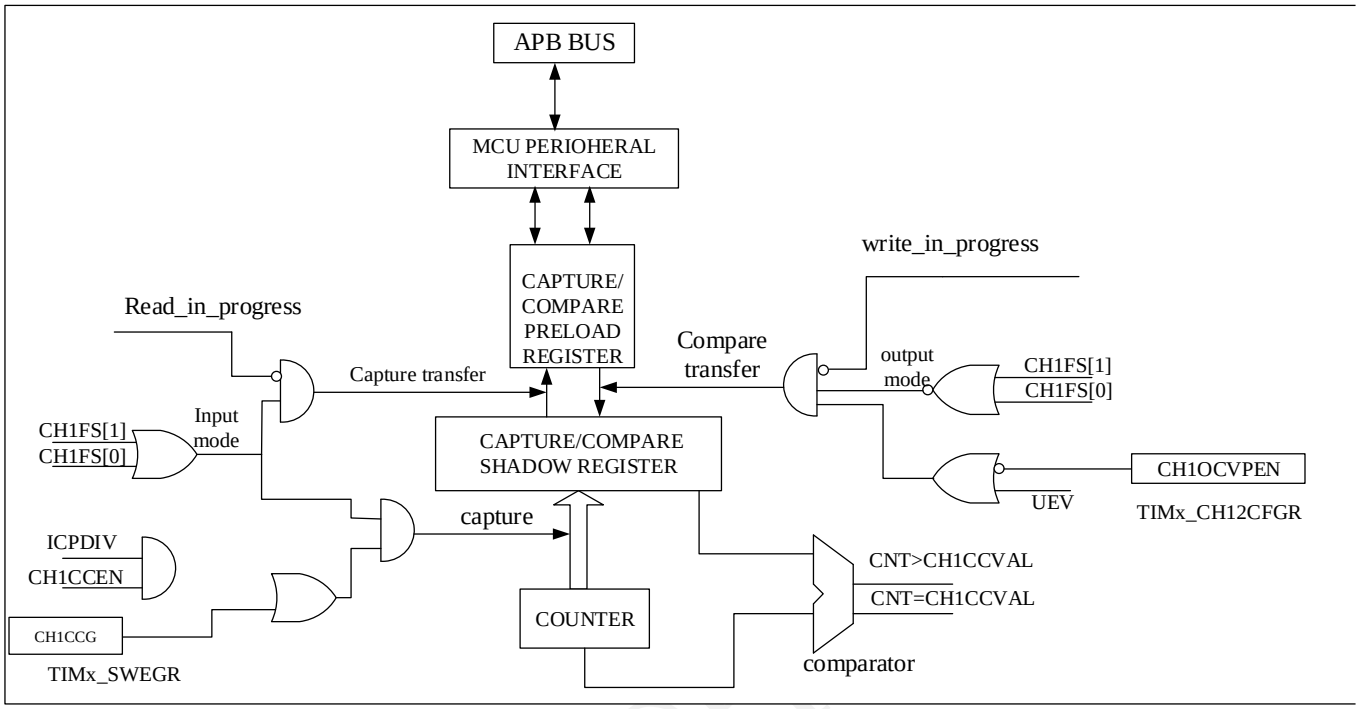
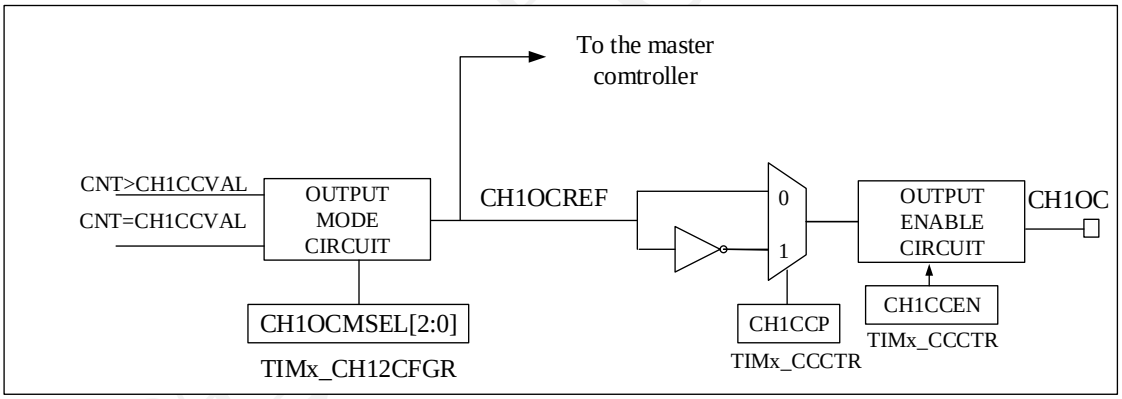


图 140 捕获/比较通道的输出级（通道 1）



捕获/比较模块块由一个预装载寄存器和一个影子寄存器组成。写入和读取始终访问预装载寄存器。

在捕获模式下，捕获实际上在影子寄存器中完成，该寄存器被复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，该寄存器与计数器进行比较。

14.2.5 输入捕获模式

在输入捕获模式下，在相应 CHx 信号检测到数据变化后,将计数器的值锁存到捕获/比较寄存器（TIMx_CH1CCVAL）。发生捕获时，会置位相应的 CHxCCIF 标志（TIMx_STS 寄存器），如果使能了中断或 DMA 请求，则可以产生中断和 DMA 请求。如果在 CH1CCIF 标志已经为高电平时发生捕获，则置位捕获溢出标志 CH1ICOF（存在于 TIMx_STS 寄存器中）。 CHxCCIF 可以通过软件将其写入 0 或读取存储在 TIMx_CHxCCVAL 寄存器中的捕获数据来清除。当将其写入 0 时，CHxCCOF 将被清除。

以下示例显示当 CH1 输入上升沿时如何捕获计数器的值到 TIMx_CH1CCVAL 中。使用以下步骤：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1. 选择有效输入：TIMx_CH1CCVAL 必须连接到 CH1 输入，因此在 TIMx_CH12CFGR 寄存器中将 CH1FS 位写入 01。一旦 CH1FS 不是 00，通道被配置成输入，TIMx_CH1CCVAL 寄存器变为只读。
2. 根据连接到定时器的信号配置所需的输入滤波器持续时间（TIMx_CHxxCFGR 寄存器中的 CHxICFLT 位），例如，当数据翻转时，输入信号在 5 个内部时钟周期时不稳定。我们必须将滤波器持续时间编程为超过这 5 个时钟周期。当检测到 8 个连续样本（以 f_{DTS} 频率采样）时，CH1 上的有效的数据转换，在 TIMx_CH12CFGR 寄存器中将 CH1ICFLT 位写入 0011 即可。
3. 通过将 TIMx_CCCTR 寄存器中的 CH1CCP 和 CH1NCCP 位写入 0（在本例中为上升沿），选择 CH1 通道上有效转换的边沿。
4. 配置输入预分频器。在我们的示例中，我们希望在每次有效转换时执行捕获，因此禁用预分频器（在 TIMx_CH12CFGR 寄存器中将 CH1ICPS 位写入 00）。
5. 通过将 TIMx_CCCTR 寄存器中的 CH1CCEN 位置 1，使能捕获功能，发生捕获时可以将计数器值捕获到捕获寄存器。
6. 如果需要，通过置位 TIMx_DIEN 寄存器中的 CH1INTEN 位来使能中断请求。

发生输入捕获时：

- 在有效转换时，TIMx_CH1CCVAL 寄存器捕获计数器的值。
- CH1CCIF 标志置位（中断标志）。 如果至少发生两次连续捕获而标志未被清除，则 CH1CCOF 也会置位。
- 根据 CH1INTEN 位产生中断。

为了处理捕获溢出，建议在捕获溢出标志之前读取数据。 这是为了避免错过在读取标志之后和读取数据之前可能发生的捕获溢出。

注：通过写 TIMx_SWEGR 寄存器中相应的 CHxCCG 位，软件可以生成 CHx 捕获中断请求。

14.2.6 强制输出模式

在输出模式下（TIMx_CHxxCFGR 寄存器中的 CCxFS 为 00），每个输出比较信号（CHxOCREF 和 CHxOC）可以通过软件直接强制为有效或无效电平，与输出比较寄存器和计数器之间的任何比较无关。

置输出比较信号（CHxOCREF/CHxOC）为有效电平，只需在相应的 TIMx_CHxxCFGR 寄存器的 CHxOCMSEL 位中写入 101。因此，CHxOCREF 被强制为高（CHxOCREF 始终为高电平有效），CHxOC 与 CHxCCP 极性位的值相反。

例如：CHxCCP = 0（CHxOC 高电平有效）=> CHxOC 被强制为高电平。

通过在 TIMx_CHxxCFGR 寄存器中将 CHxOCMSEL 位写入 100，可以将 CHxOCREF 信号强制为低电平。

无论如何，仍然执行 TIMx_CHxCCVAL 影子寄存器和计数器之间的比较，并允许置位标志位。可以相应地生成中断。输出比较模式部分对此进行了描述。

14.2.7 输出比较模式

此功能用于控制输出波形或指示一段给定的时间已经结束。

当捕获/比较寄存器和计数器之间发现匹配时，输出比较功能：

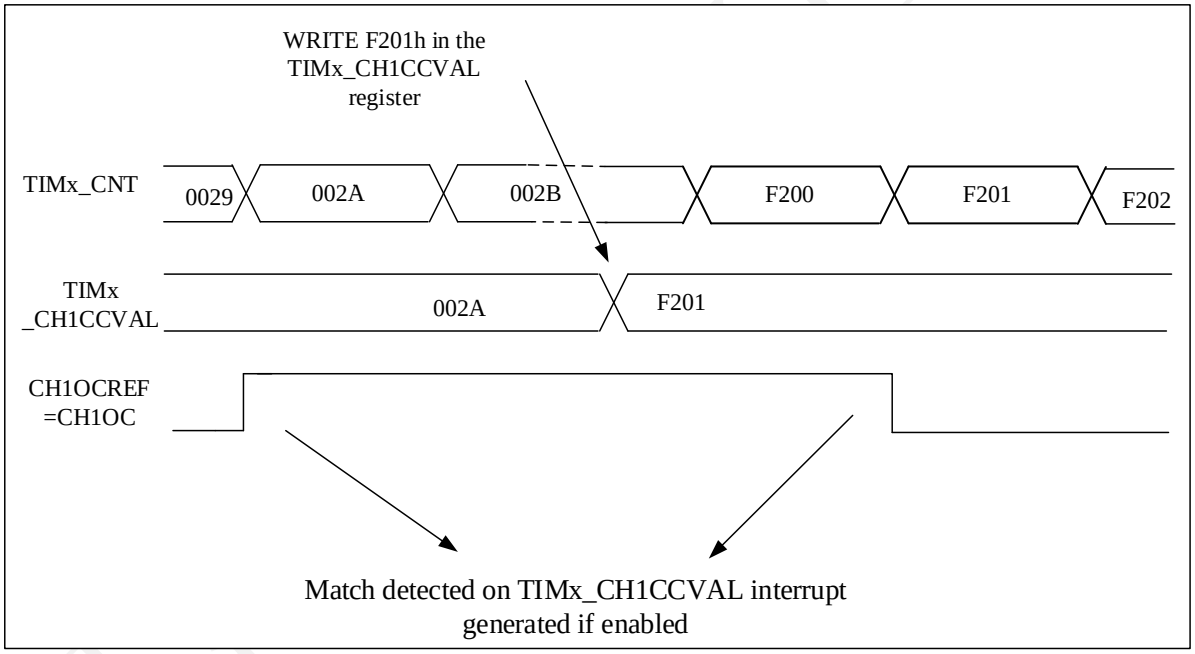
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1. 相应的输出引脚的值可以配置，由输出比较模式（TIMx_CHxxCFGR 寄存器中的 CHxOCMSEL 位）和输出极性（TIMx_CCCTR 寄存器中的 CHxCCP 位）共同决定。输出引脚可以保持其电平（CHxOCMSEL = 000），设置为有效（CHxOCMSEL = 001），设置为无效（CHxOCMSEL = 010）或可以匹配时翻转（CHxOCMSEL = 011）。
2. 在中断状态寄存器中置位标志位（TIMx_STS 寄存器中的 CHxCCIF 位）。
3. 如果相应的中断使能位被置 1（TIMx_DIEN 寄存器中的 CHxINTEN 位），则产生中断。
4. 在输出比较模式中，更新事件 UEV 对 CHxOCREF 和 CHxOC 输出没有影响。定时器的精确度是计数器的一个计数时钟。输出比较模式也可用于输出单脉冲（在单脉冲模式下）。

配置步骤：

1.选择计数器时钟（内部，外部，预分频器）。2.在 TIMx_UVAL 和 TIMx_CHxCCVAL 寄存器中写入所需数据。3.如果要发出中断，则置位 CHxINTEN 位。4.选择输出模式。例如，写入 CHxOCMSEL = 011，当 CNT 与 CHxCCVAL 匹配时，翻转 CHxOC 输出引脚，写 CHxOCVPEN = 0，不使用 CHxCCVAL 预装载；写 CHxCCP = 0 选择极性高有效写 CHxCCEN = 1，使能 CHxOC 输出使能 5.通过将 TIMx_CTR1 寄存器中的 CEN 位置 1 来使能计数器。如果未使能预装载寄存器（CHxOCVPEN = 0，否则 TIMx_CHxCCVAL 影子寄存器仅在下一个更新事件 UEV 时更新），可以随时通过软件更新 TIMx_CHxCCVAL 寄存器以控制输出波形。图 141 给出了一个例子。

图 141 输出比较模式，翻转 CH1OC 示意图



14.2.8 PWM 模式

脉冲宽度调制模式允许生成一个信号，其频率由 TIMx_UVAL 寄存器的值决定，占空比由 TIMx_CHxCCVAL 寄存器的值决定。

通过在 TIMx_CHxxCFGR 寄存器的 CHxOCMSEL 位中写入 110（PWM 模式 1）或 111（PWM 模式 2），可以在每个通道上独立选择 PWM 模式（每个 CHxOC 输出一个 PWM）。必须通过置位 TIMx_CHxxCFGR 寄存器中的 CHxOCVPEN 位来启用相应的预装载寄存器，并通过置位 TIMx_CTR1 寄存器中的 UVALSEN 位来使能自动重载预装载寄存器（在向上计数或中央对齐模式下）。

由于仅在发生更新事件时将预装载寄存器传送到影子寄存器，因此在启动计数器之前，必须通过将 TIMx_SWEGR 寄存器中的 UEG 位写 1 来初始化所有寄存器。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

CHxOC 极性可通过软件配置 TIMx_CCCTR 寄存器 CHxCCP 位。它可以编程为高电平有效或低电平有效。通过 TIMx_CCCTR 寄存器中的 CHxCCEN 位使能 CHxOC 输出。更多详细信息，请参见 TIMx_CCCTRx 寄存器说明

在 PWM 模式（1 或 2）中，始终比较 TIMx_CNT 和 TIMx_CHxCCVAL 以确定 TIMx_CHxCCVAL≤TIMx_CNT。

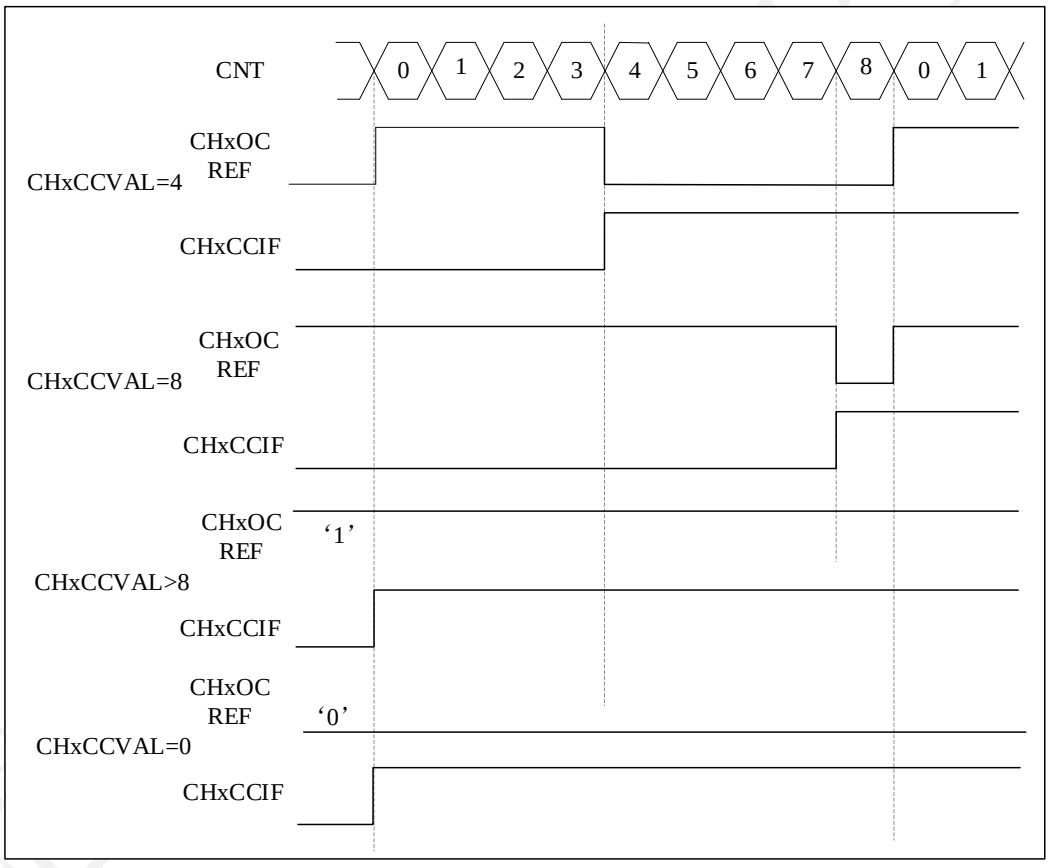
由于计数器向上计数，定时器只能够产生边沿对齐模式。

注意：PWM 占空比的精度为一个预分频时钟。

PWM 边沿对齐模式

在下面的示例中，我们考虑 PWM 模式 1.只要 TIMx_CNT<TIMx_CHxCCVAL，参考信号 CHxOCREF 就为高电平，否则它变为低电平。如果 TIMx_CHxCCVAL 中的比较值大于自动重载值（在 TIMx_UVAL 中），则 CHxOCREF 保持为 1。如果比较值为 0，则 CHxOCREF 保持为 0。图 142 显示了 TIMx_UVAL= 8 时，一些边沿对齐 PWM 波形。

图 142 边沿对齐 PWM 波形（ARR = 8）



14.2.9 调试模式

当微控制器进入调试模式（Cortex™-M0 内核暂停）时，TIM14 计数器将继续正常工作或停止，具体取决于 DBG 模块中的 TIM14_DBG_PAUSE 配置位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

寄存器

14.3.1 寄存器概览

表 42 TIM14 寄存器概览

名称	偏移地址	描述	复位值
TIM14_CTR1	0x000	TIM14 控制寄存器 1	0x00000000
TIM14_DIEN	0x00C	TIM14 中断请求使能寄存器	0x00000000
TIM14_STS	0x010	TIM14 状态寄存器	0x00000000
TIM14_SWEGR	0x014	TIM14 软件事件生成寄存器	0x00000000
TIM14_CH12CFGR	0x018	TIM14 通道 1 和通道 2 配置寄存器	0x00000000
TIM14_CCCTR	0x020	TIM14 通道捕获比较控制寄存器	0x00000000
TIM14_CNT	0x024	TIM14 计数器	0x00000000
TIM14_PDIV	0x028	TIM14 预分频	0x00000000
TIM14_UVAL	0x02C	TIM14 计数器更新寄存器	0x0000FFFF
TIM14_CH1CCVAL	0x034	TIM14 通道 1 捕获比较寄存器	0x00000000
TIM14_REMAP	0x050	TIM14 重映射寄存器	0x00000000

14.3

14.3.2 TIM14 控制寄存器 1（TIM14_CTR1）

对该寄存器的写入操作只支持半字或字写入。

TIM14_CTR1 (偏移地址=0x000,复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	CKDIV[1:0]		UVALSEN	保留	保留	保留	保留	URSEL	UPD	CEN
						r/w	r/w	r/w					r/w	r/w	r/w

Bit 位	名称	描述
[31:10]	保留	
[9:8]	CKDIV	**时钟分频** 用于确定采样时钟和计数器输入时钟之间的比例 00：Tclk_dts=Tclk_int 01：Tclk_dts=2xTclk_int 10：Tclk_dts=4xTclk_int 11：保留
7	UVALSEN	**UVAL 影子寄存器使能** 0：TIM14_UVAL 寄存器没有缓冲器 1：TIM14_UVAL 寄存器有缓冲器

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

[6:3]	保留	
2	URSEL	**更新请求过滤** 0：使能中断,下述任意一个事件产生都可以更新中断请求 计数器上溢 软件写 UEG 位 1：使能中断,只在计数器上溢时产生更新中断
1	UPD	**禁止更新** 0：计数器溢出、写 UEG 位，将产生更新事件，具有缓存的寄存器将装入他们的预装载值。 1： 禁止 UEV。不产生更新事件，影子寄存器(UVAL、PDIV、CHxCCVAL)保持它们的值。如果写 UEG 位，则计数器和预分频器被重新初始化。
0	CEN	**计数器使能** 0：禁止计数器 1：使能计数器

14.3.3 TIM14 DMA 和中断请求使能寄存器（TIM14_DIEN）

TIM14_DIEN(偏移地址=0x00C,复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	CH1INTEN	UPINTEN
														r/w	r/w

Bit 位	名称	描述
[31:2]	保留	
1	CH1INTEN	**通道 1 中断使能** 0：通道 1 中断禁止 1：通道 1 中断允许
0	UPINTEN	**更新中断使能** 0：更新中断禁止 1：更新中断允许

14.3.4 TIM14 状态寄存器（TIM14_STS）

TIM14_STS (偏移地址=0x010,复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	CH1ICOF	保留	保留	保留	保留	保留	保留	保留	CH1CCIF	UPIF
						r/w0c								r/w0c	r/w0c

Bit 位	名称	描述
[31:10]	保留	
9	CH1ICOF	**通道 1 输入捕获溢出** 0：无重复捕获产生 1：当 CH1CCIF 位为 1 时，通道再次发生输入捕获。
[8:2]	保留	
1	CH1CCIF	**通道 1 捕获比较中断标志** 如果通道 1 配置为输出模式: 当计数器与比较值匹配时，该标志由硬件置位。 它由软件清除。 0：无匹配发生 1：TIMx_CNT 和 TIMx_CH1CCVAL 的值匹配。当 TIMx_CH1CCVAL 的值大于 TIMx_UVAL 的值时，在向上计数器溢出，CH1CCIF 置高。 如果通道 1 配置为输入模式: 当发生捕获时，该位由硬件置 1，通过软件清 0 或者通过读取 TIMx_CH1CCVAL 寄存器清 0 0：无输入捕获产生 1：计数器的值捕获到 TIMx_CH1CCVAL
0	UPIF	**更新中断标志** 当产生更新事件时该位由硬件置 1，软件清 0 0：无更新事件产生 1：产生更新中断等待响应 - 若 TIMx_CTR1 寄存器中的 UPD =0'，计数器上溢 -，若 TIMx_CTR1 寄存器中的 URSEL =0 且 UPD =0，通过软件写 TIMx_SWEGR 寄存器中的 UEG 位重新初始化 CNT。

14.3.5 TIM14 软件事件生成寄存器（TIM14_SWEGR）

TIM14_SWEGR (偏移地址=0x014,复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	CH1CCG	UEG

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

														w	w

Bit 位	名称	描述
[31:2]	保留	
1	CH1CCG	**通道 1 捕获比较事件生成** 该位由软件置 1，产生捕获/比较事件，由硬件自动清 0 0：无动作 1：在通道 1 上产生捕获/比较事件 若通道 1 为输出通道: 置位 CH1CCIF，若开启对应的中断使能，将产生相应的中断请求 若通道 1 位输入通道: 当计数器的值被捕获至 TIMx_CH1CCVAL 寄存器；置位 CH1CCIF，若开启对应的中断使能，将产生相应的中断情趣。若 CH1CCIF 已经为 1，则置位 CH1ICOF。
0	UEG	**更新事件生成** 该位由软件置 1，硬件自动清 0 0：无动作 1：重新初始化计数器 CNT，并且产生一个更新事件。预分频系数保持不变但预分频计数器被清 0。

14.3.6 TIM14 通道 1 和通道 2 配置寄存器（TIM14_CH12CFGR）

TIM14_SWEGR(偏移地址=0x018,复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	CH1OCMSEL[2:0]			CH1OCVPEN	CH1OCFEN	CH1FS[1:0]	
保留	保留	保留	保留	保留	保留	保留	保留	CH1ICFLT[3:0]				CH1ICPDIV[1:0]			
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

输出比较模式

Bit 位	名称	描述
[31:7]	保留	
[6:4]	CH1OCMSEL	**通道 1 输出比较模式选择** 该 3 位定义了输出参考信号 CH1OCREF 的行为，而 CH1OCREF 决定了 CH1OC 的值。CH1OCREF 是高电平有效，而 CH1OC 的有效电平取决于 CH1CCP 位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		000：冻结。输出比较寄存器 TIMx_CH1CCVAL 与计数器 TIMx_CNT 间的比较对 CH1OCREF 不起作用； 001：匹配时设置通道 1 为有效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CH1CCVAL)相同时，强制 CH1OCREF 为高。 010：匹配时设置通道 1 为无效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CH1CCVAL)相同时，强制 CH1OCREF 为低。 011：翻转。当 TIMx_CH1CCVAL=TIMx_CNT 时，翻转 CH1OCREF 的电平。 100：强制为无效电平。强制 CH1OCREF 为低。 101：强制为有效电平。强制 CH1OCREF 为高。 110：PWM 模式 1，一旦 TIMx_CNT<TIMx_CH1CCVAL 时，通道 1 为有效电平，否则为无效电平 111：PWM 模式 2，一旦 TIMx_CNT<TIMx_CH1CCVAL 时，通道 1 为无效电平，否则为有效电平 注：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时，CH1OCREF 电平才改变。
3	CH1OCVPEN	**通道 1 输出比较值预装载使能** 0：禁止 TIMx_CH1CCVAL 寄存器的预装载功能，可随时写入 TIMx_CH1CCVAL 寄存器，并且新写入的数值立即起作用。 1：开启 TIMx_CH1CCVAL 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMx_CH1CCVAL 的预装载值在更新事件到来时被加载至当前寄存器中。 注：仅在单脉冲模式下(TIMx_CTR1 寄存器的 SPEN=1)，可以在打开预装载寄存器情况下使用 PWM 模式，否则无法确定其行为。
2	CH1OCFEN	**通道 1 输出比较快速使能** 该位用于加快通道输出对触发输入事件的响应。 0：根据计数器与 TIMx_CH1CCVAL 的值，CH1 正常变化，即使触发器是打开的。触发输入有效沿到 CH1 输出的最小延时为 5 个时钟周期。 1：触发输入有效沿的作用就像发生了一次比较匹配。因此，CH1OC 被设置为比较电平而与比较结果无关。触发有效沿和 CH1 输出有效的延时被缩短为 3 个时钟周期。CHxOCFEN 只在通道被配置成 PWM1 或 PWM2 模式时起作用。
[1:0]	CH1FS	**通道 1 功能选择** 00：通道 1 被配置为输出 01：通道 1 被配置为输入，映射到 CH1 上 10：通道 1 被配置为输入，映射到 CH2 上 11：通道 1 被配置为输入，映射到 TRC 上 注：CH1FS 仅在通道关闭时(TIMx_CCCTR 中的 CH1CCEN=0)才是可写的

输入捕获模式

Bit 位	**名称**	**描述**
[31:8]	保留	
[7:4]	CH1ICFLT	**通道 1 输入捕获滤波** 定义了 CH1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成，它记录到 N 个事件后会产生一个输出的跳变：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0000：无滤波器，以 f_{DTS} 采样 0001：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=2 0010：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=4 0011：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=8 0100：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=6 0101：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=8 0110：采样频率 $f_{SAMPLING}=f_{DTS}/4$，N=6 0111：采样频率 $f_{SAMPLING}=f_{DTS}/4$，N=8 1000：采样频率 $f_{SAMPLING}=f_{DTS}/8$，N=6 1001：采样频率 $f_{SAMPLING}=f_{DTS}/8$，N=8 1010：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=5 1011：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=6 1100：采样频率 $f_{SAMPLING}=f_{DTS}/16$，N=8 1101：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=5 1110：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=6 1111：采样频率 $f_{SAMPLING}=f_{DTS}/32$，N=8
[3:2]	CH1ICPDIV	**通道 1 输入捕获预分频** 这 2 位定义了 CH1 输入的预分频系数。 一旦 CH1CCEN=0(TIMx_CCCTR 寄存器中)，则预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获； 01：每 2 个事件触发一次捕获； 10：每 4 个事件触发一次捕获； 11：每 8 个事件触发一次捕获。
[1:0]	CH1FS	**通道 1 功能选择** 00：通道 1 被配置为输出 01：通道 1 被配置为输入，映射到 CH1 上 10：通道 1 被配置为输入，映射到 CH2 上 11：通道 1 被配置为输入，映射到 TRC 上 注：CH1FS 仅在通道关闭时(TIMx_CCCTR 中的 CH1CCEN=0)才是可写的

14.3.7 TIM14 通道捕获比较控制寄存器（TIM14_CCCTR）

TIM14_CCCTR (偏移地址=0x020,复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	CH1NCCP	保留	CH1CCP	CH1CCEN
												r/w		r/w	r/w

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

Bit 位	名称	描述
[31:4]	保留	
3	CH1NCCP	**捕获/比较 1 互补输出极性。** CH1 通道配置为输出：CH1NCCP 必须保持清零状态。 CH1 通道配置为输入：CH1NCCP 位与 CH1CCP 配合使用来定义 CH1FP1 极性（参见 CH1CCP 说明）。
2	保留	
1	CH1CCP	**通道 1 捕获比较极性** CH1 通道配置为输出: 0：CH1OC 高电平有效 1：CH1OC 低电平有效 CH1 通道配置为输入: CH1NCCP/CH1CCP 位选择在触发或者捕获模式下 CH1FP1 和 CH2FP1 的有效极性 00：不翻转/上升沿有效 01：翻转/下降沿有效 10：保留 11：上升沿和下降沿都有效
0	CH1CCEN	**通道 1 捕获比较使能** CH1 通道配置为输出 0：关闭－ CH1OC 禁止输出 1：开启－ CH1OC 信号输出到对应的输出引脚 CH1 通道配置为输入 该位决定了计数器的值是否能捕获入 TIMx_CH1CCVAL 寄存器。 0：捕获禁止； 1：捕获使能。

表 43 标准 CHxOC 通道的输出控制位

CHxCCEN 位	CHxOC 输出状态
0	禁止输出（CHxOC=0, CHxOC_EN=0)
1	CHxOC=CHxOCREF + Polarity, CHxOC_EN=1

14.3.8 TIM14 计数器（TIM14_CNT）

对该寄存器的写入操作只支持半字或字写入。

TIM14_CNT(偏移地址=0x024,复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CNT	计数器

14.3.9 TIM14 预分频（TIM14_PDIV）

TIM14_PDIV(偏移地址=0x028,复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDIV[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	PDIV	**预分频** 计数器的时钟频率(f_{CLK_CNT})等于 f_{CLK_PDIV}/(PDIV+1)。当更新事件产生时，PDIV 的值被装入当前预分频寄存器

14.3.10　TIM14 计数器更新寄存器（TIM14_UVAL）

TIM14_UVAL(偏移地址=0x02C,复位值=0x0000FFFF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	UVAL	**自动重载值** 当自动重载值 UVAL 为 0 时，计数器不工作

14.3.11　TIM14 通道 1 捕获比较寄存器（TIM14_CH1CCVAL）

TIM14_CH1CCVAL(偏移地址=0x034,复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CH1CCVAL	**通道 1 捕获比较值** 若通道 1 配置为输出： CH1CCVAL 包含了装入当前捕获/比较 1 寄存器的值(预装载值)。 如果 TIMx_CH12CFGR 寄存器(CH1OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 1 寄存器中。当前捕获/比较寄存器同计数器 TIMx_CNT 比较，并在 CH1OC 端口上产生输出信号。 若通道 1 配置为输入： CH1CCVAL 包含了由上一次输入捕获 1 事件传输的计数器值。

14.3.12 TIM14 重映射寄存器（TIM14_REMAP）

TIM14_REMAP(偏移地址=0x050,复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	CH1IS[1:0]	
														r/w	r/w

Bit 位	名称	描述
[31:2]	保留	
[1:0]	CH1IS	**定时器输入 1 重映射** 由软件置位和清除 00：TIM14 通道 1 连接到 GPIO。 01：TIM14 通道 1 连接到 RTCCLK。 10：TIM14 通道 1 连接到 HXT / 32 时钟。 11：TIM14 通道 1 连接到单片机时钟输出（CKOSEL），该选择由时钟配置寄存器（RCU_CFG）的 CKOSEL[2：0]位控制

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15 通用定时器（TIM15/16/17）

概述

15.1.1 简介

TIM15 / 16/17 定时器由一个可编程预分频器驱动的 16 位自动重载计数器组成。

它们可用于各种目的，包括测量输入信号的脉冲长度（输入捕获）或生成输出波形（输出比较，PWM，15.1带死区时间控制的互补输出 PWM）。

通过使用定时器预分频器和 RCU 时钟控制器预分频器，可以将脉冲长度和波形周期设置为几微秒到几毫秒。

TIM15 / 16/17 定时器完全独立，不共享任何资源。 TIM15 可以与其他定时器同步。

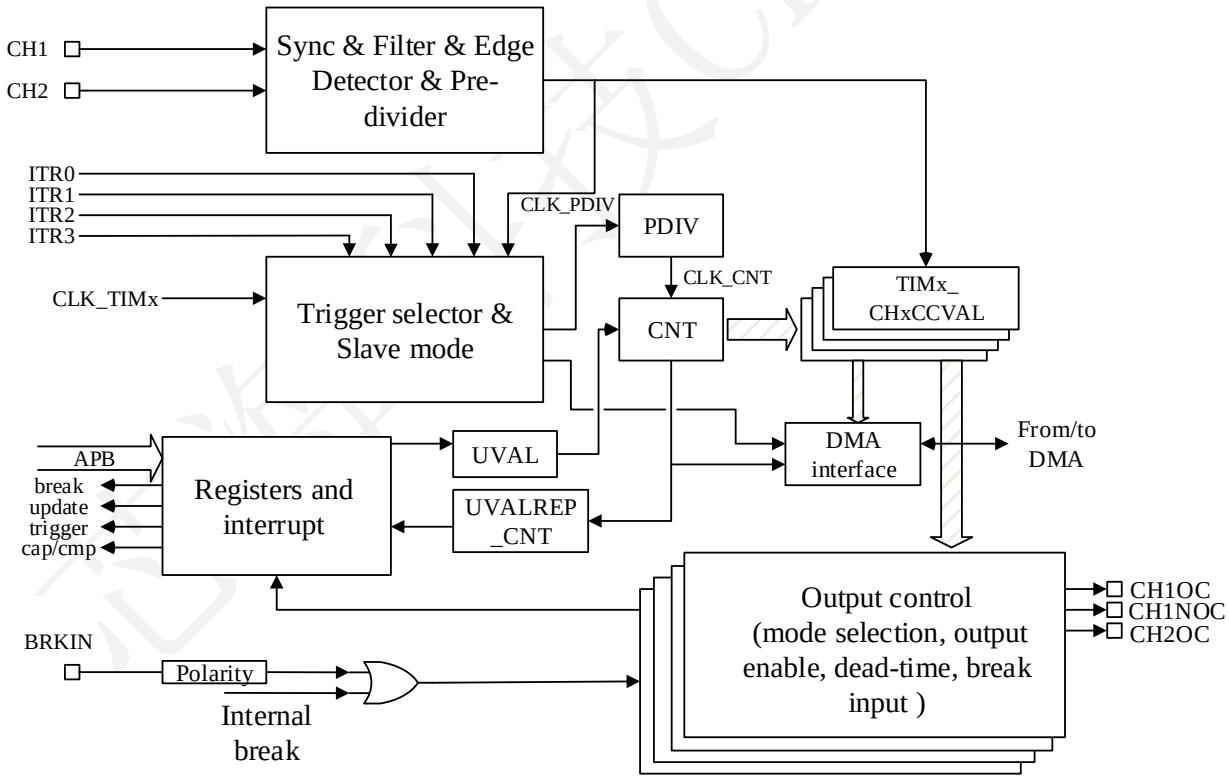
芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15.1.2 TIM15 功能概览

- 16 位自动重载向上计数
- 16 位可编程预分频器对计数器时钟分频处理，预分频系数为 1~65535(在运行是可以进行更改)。
- 最多 2 个独立频道：
  - 输入捕获
  - 输出比较
  - PWM 生成（边沿对齐模式）
  - 单脉冲模式输出
- 带可编程死区时间的互补输出（仅适用于通道 1）
- 同步电路，用外部信号控制定时器并将几个定时器连接在一起
- 仅在重复计数器给定的循环次数后更新定时器寄存器
- 刹车输入将定时器的输出信号置于复位状态或已知状态
- 以下事件将产生中断/ DMA：
  - 更新：计数器上溢，计数器初始化（通过软件或内/外部触发）
  - 触发事件（计数器启动，停止，初始化或通过内/外部触发计数）
  - 输入捕获
  - 输出比较
  - 刹车输入（中断请求）

图 143　TIM15 框图

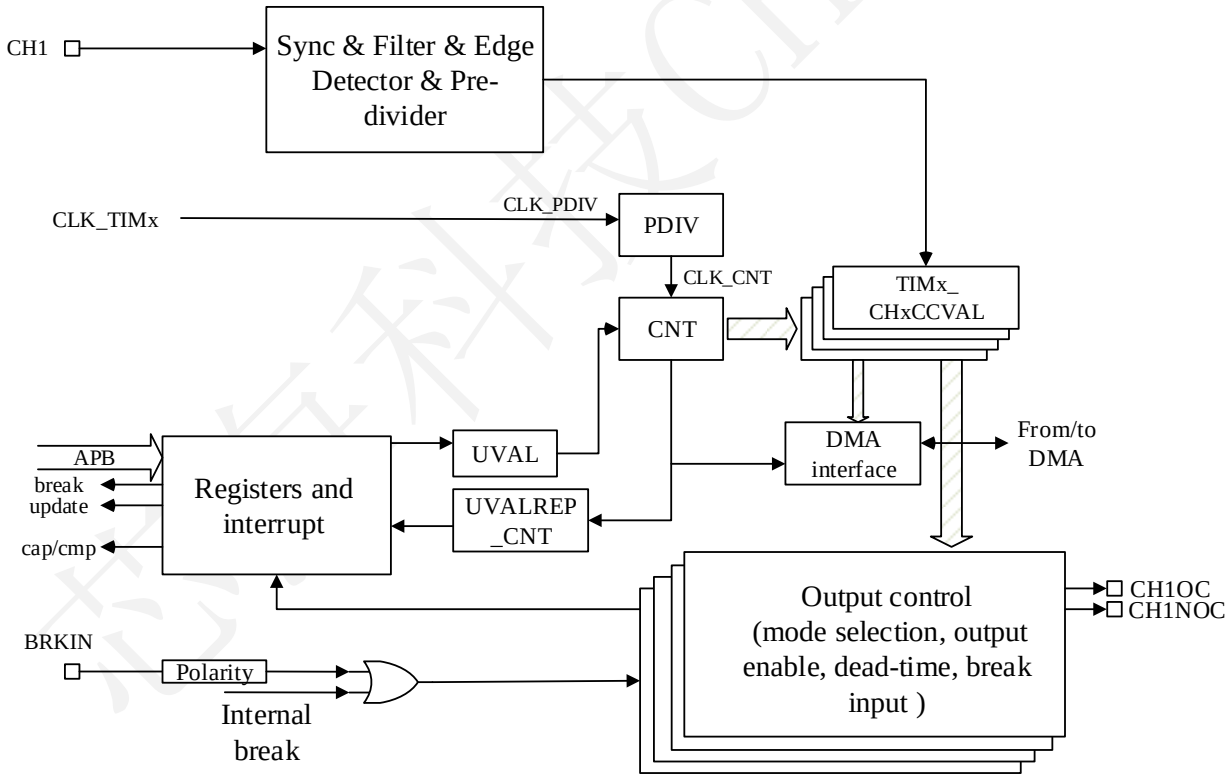


本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15.1.3 TIM16 和 TIM17 功能概览

- 16 位自动重载向上计数
- 16 位可编程预分频器对计数器时钟分频处理，预分频系数为 1~65535(在运行是可以进行更改)。
- 一个通道：
  - 输入捕获
  - 输出比较
  - PWM 生成（边沿对齐模式）
  - 单脉冲模式输出
- 带可编程死区时间的互补输出
- 仅在重复计数器给定的循环次数后更新定时器寄存器
- 刹车输入将定时器的输出信号置于复位状态或已知状态
- 以下事件将产生中断/ DMA：
  - 更新：计数器上溢
  - 输入捕获
  - 输出比较
  - 刹车输入

图 144 TIM16 和 TIM17 框图



15.2 模块操作

15.2.1 时基单位

可编程定时器的主要模块是一个 16 位计数器及其相关的计数器更新寄存器。计数器可以向上计数。计数器时钟可由预分频器分频获得。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

计数器，计数器更新寄存器和预分频器寄存器可由软件写入或读取。即使计数器正在运行也是如此。

时基单元包括：

- 计数器寄存器（TIMx_CNT）
- 预分频器寄存器（TIMx_PDIV）
- 计数器更新寄存器（TIMx_UVAL）
- 计数器更新重复寄存器（TIMx_UVALREP）

计数器更新寄存器是预装载的。写入或读取计数器更新寄存器访问的是预装载寄存器。根据 TIMx_CTR1 寄存器中的 UVAL 影子寄存器使能位（UVALSEN），预装载寄存器的内容将立刻或在每次更新事件（UEV）中传输到影子寄存器。如果 TIMx_CTR1 寄存器中的 UPD 等于 0，当计数器上溢(或者向下计数下溢时)，会产生更新事件。更新事件也可以由软件生成。更新事件的产生将在每种配置中有详细的描述。。

计数器时钟 CLK_CNT 由预分频器提供，该输出仅在 TIMx_CTR1 寄存器中的计数器使能位（CEN）置 1 时使能（参考从机模式控制器说明以获取有关计数器使能的更多详细信息）。

注意，在将 TIMx_CTR1 寄存器中的 CEN 位置 1 后，计数器在 1 个时钟周期之后开始计数。

预分频器

预分频器可以将计数器时钟分频处理，分频值为 1 到 65536 之间的任何系数。它基于通过 16 位寄存器控制的 16 位计数器（在 TIMx_PDIV 寄存器中）。它可以在运行时进行更改，因为该控制寄存器带有缓冲器。在下一次更新事件后会使用新的预分频值。

图 145 和图 146 给出了预分频值在运行中更改时计数器行为的一些示例：

图 145 预分频器分频系数从 1 变为 2 的计数器时序图

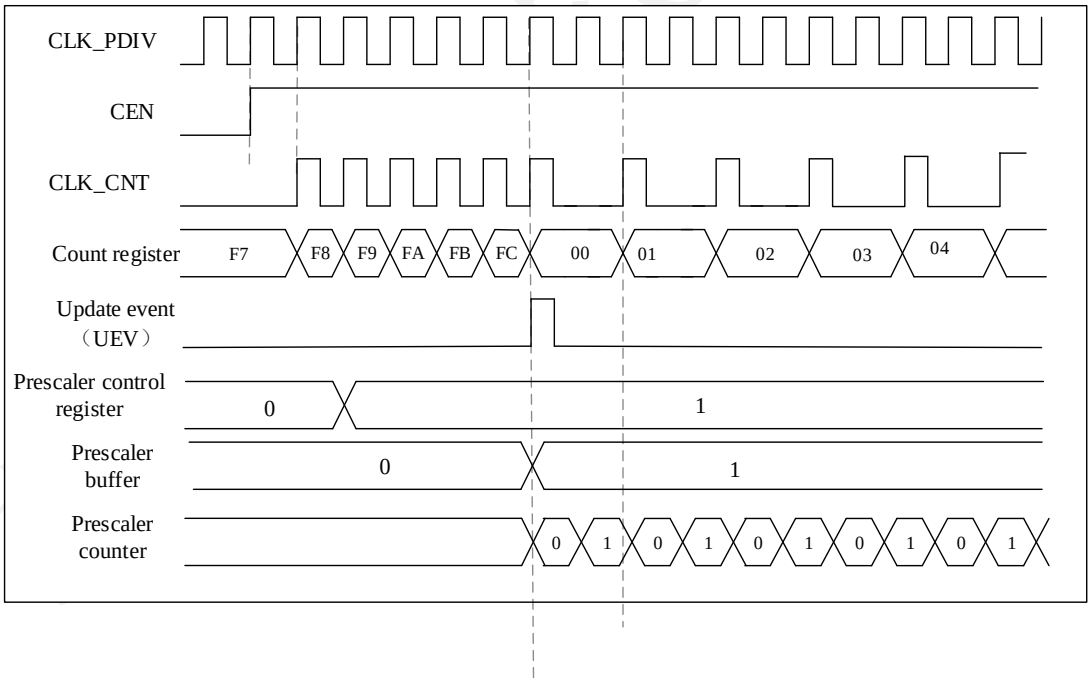
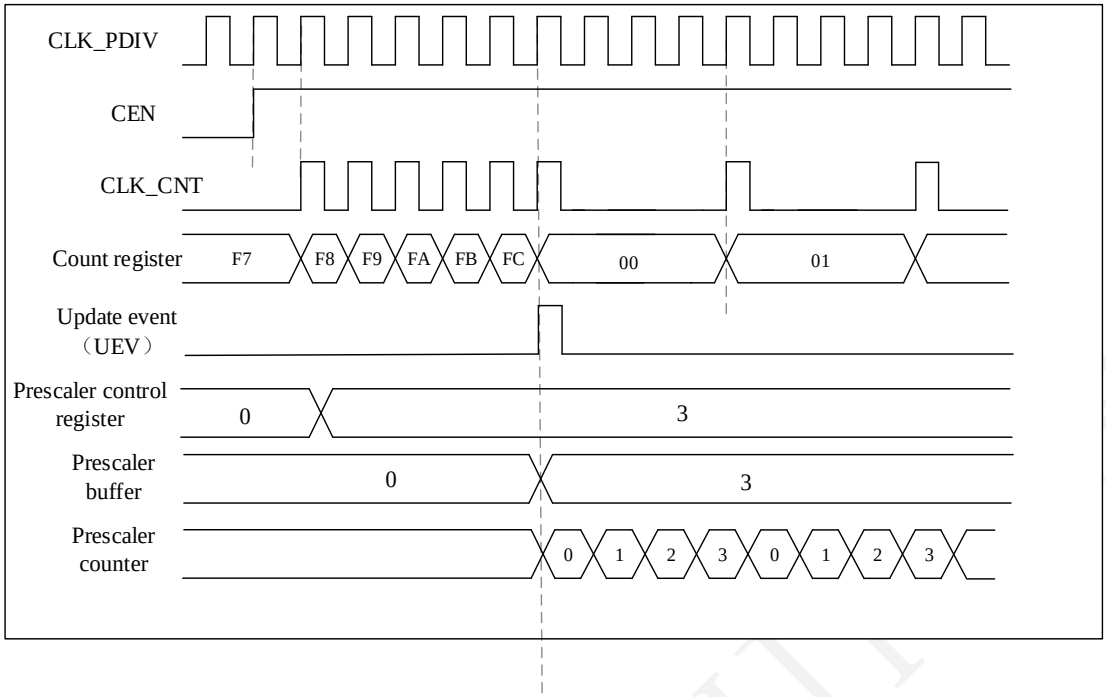


图 146 预分频器的分频系数从 1 变为 4 时的计数器时序图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



15.2.2 计数器模式

向上计数模式

在向上计数模式下，计数器从 0 开始计数到自动重载值（TIMx_UVAL 寄存器的内容），然后从 0 重新开始计数并产生计数器上溢事件。

如果使用重复计数器，在计数达到计数器更新重复寄存器（TIMx_UVALREP）中的次数之后产生更新事件（UEV）。否则，每次计数器溢出时都会产生更新事件。

将 TIMx_SWEGR 寄存器中的 UEG 位（通过软件或使用从机模式控制器）置 1 也会产生更新事件。

通过置位 TIMx_CTR1 寄存器中的 UPD 位，可以禁用 UEV 事件。这是为了避免在预装载寄存器中写入新值时更新影子寄存器。在 UPD 位写入 0 之前不会发生更新事件。然而，计数器和预分频器都从 0 重新开始计数，（但预分频比不会改变）。此外，如果 TIMx_CTR1 寄存器中的 URSEL 位（更新请求选择）被置位，则 UEG 位写 1 会生成更新事件 UEV 但不置位 UPIF 标志（因此不会生成中断或 DMA 请求）。这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。

发生更新事件时，将更新所有寄存器并根据 URSEL 的值置位更新标志（TIMx_STS 寄存器中的 UPIF 位）：

- 重复计数器重新加载 TIMx_UVALREP 寄存器的内容
- 自动重载影子寄存器更新为预装载值(TIMx_UVAL)
- 预分频器的缓冲器重载了预装载值（TIMx_PDIV 寄存器的内容）

下图显示了 TIMx_UVAL = 0x18 时不同时钟频率的计数器行为的一些示例。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 147 内部时钟分频系数为 1 时的计数器时序图

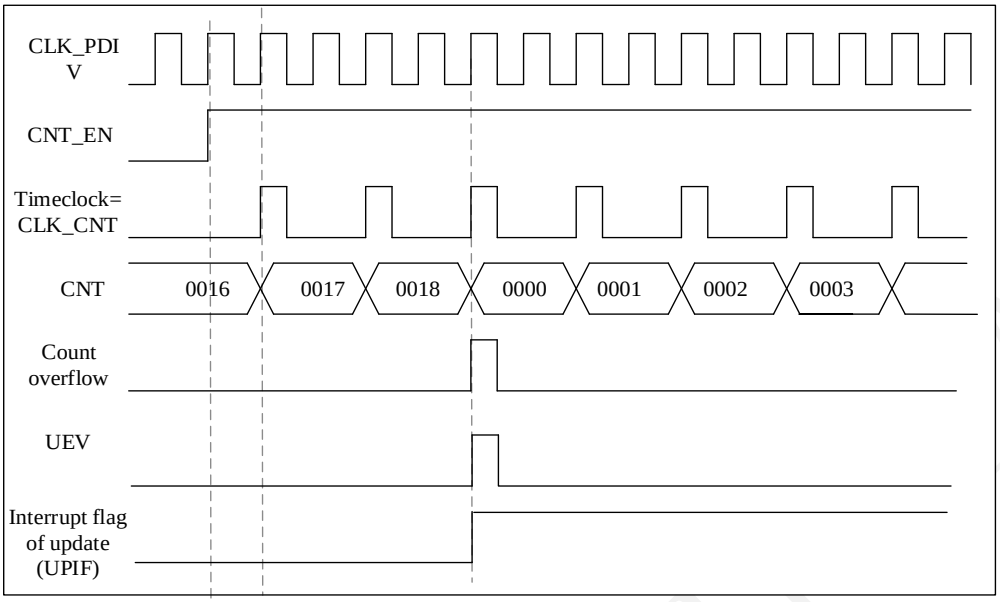
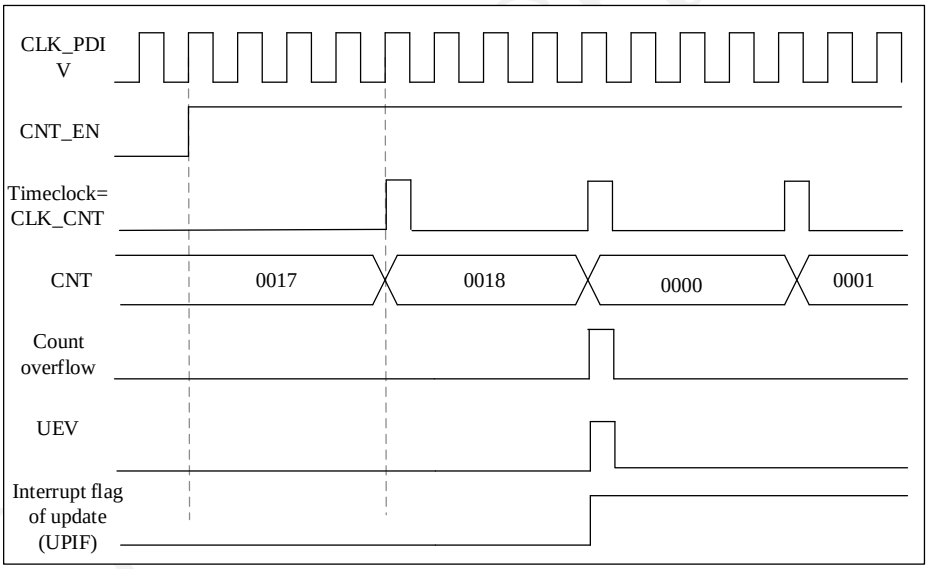


图 148 内部时钟分频系数为 4 时的计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 149 内部时钟分频系数为 N 时的计数器时序图

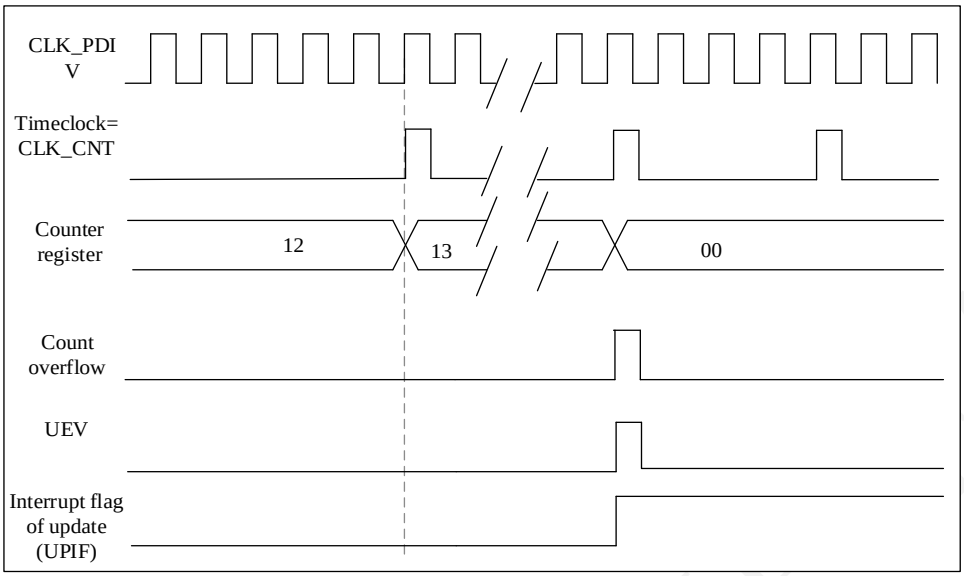
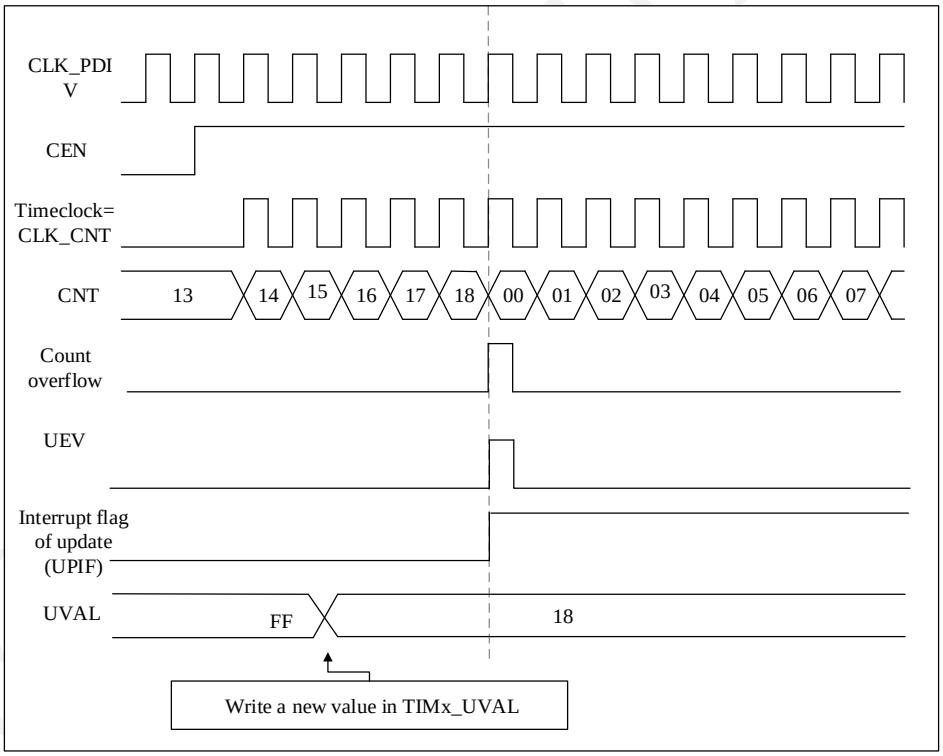
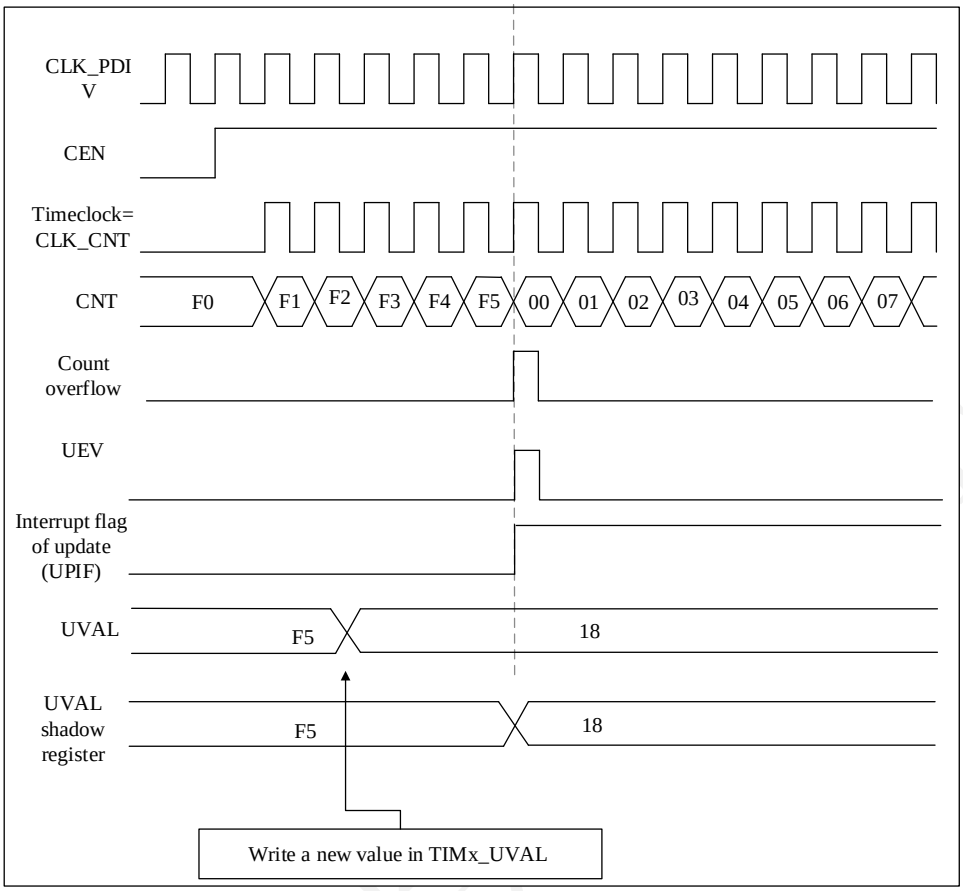


图 150 当 UVALSEN = 0 时的更新事件，计数器时序图（TIMx_UVAL 未预装载）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 151 当 UVALSEN = 1 时的更新事件，计数器时序图（TIMx_UVAL 预装载）



15.2.3 重复计数器

时基单元描述了计数器溢出如何生成更新事件（UEV）。它实际上仅在重复计数器为零时生成。这在生成 PWM 信号时非常有用。

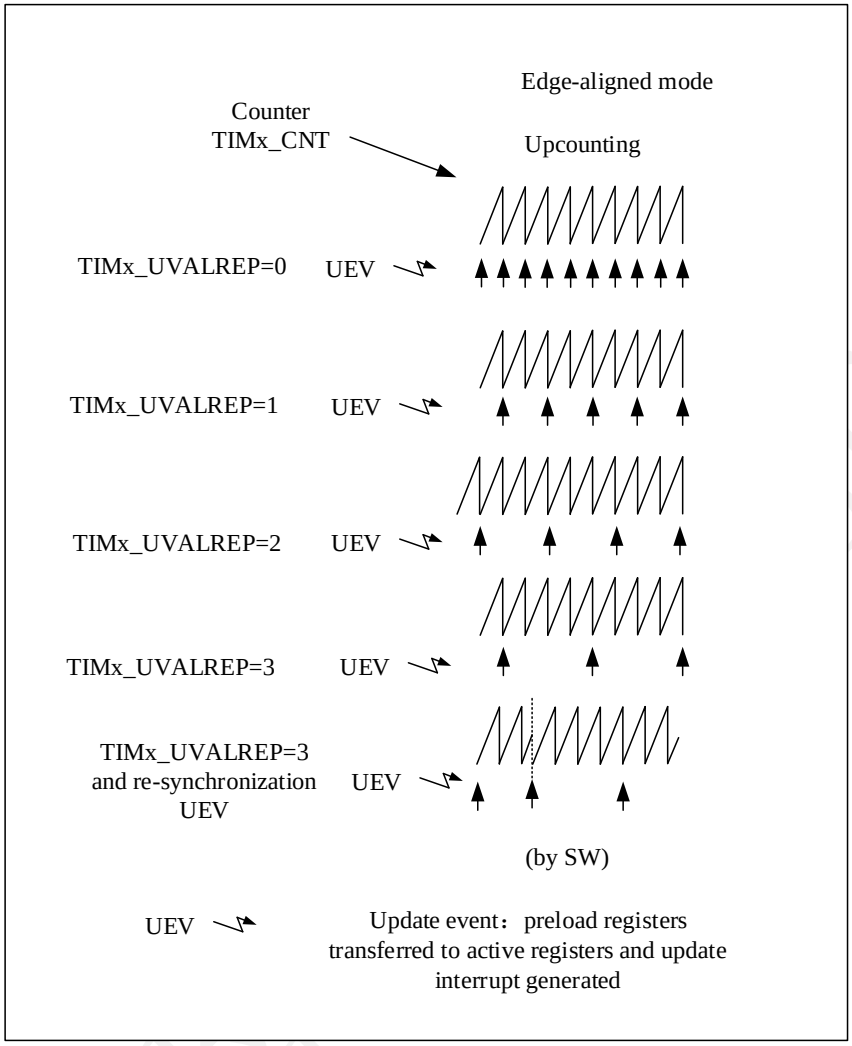
这意味着每 N 个计数器上溢事件，数据从预装载寄存器传输到影子寄存器（TIMx_UVAL 计数器更新寄存器，TIMx_PDIV 预分频器寄存器，以及比较模式下的 TIMx_CHxCCVAL 捕获/比较寄存器），其中 N 是 TIMx_UVALREP 重复计数器寄存器值。

在向上计数模式下，每次计数器溢出时，重复计数器递减。

重复计数器是自动重载类型;重复速率由 TIMx_UVALREP 寄存器值定义（见图 152）。软件配置产生更新事件（通过设置 TIMx_SWEGR 寄存器中的 UEG 位）或以硬件方式通过从机模式控制器生成更新事件时，无论重复计数器的值是什么，重复计数器都会重新加载 TIMx_UVALREP 寄存器的内容

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 152 TIMx_UVALREP 寄存器设置更新速率示例



15.2.4 时钟源

计数器时钟可由以下时钟源提供：

- 内部时钟（CLK_INT）
- 外部时钟模式 1：外部输入引脚（仅适用于 TIM15）
- 内部触发输入（ITRx）（仅适用于 TIM15）：例如，使用一个定时器作为另一个定时器的预分频器，可以将 TIM1 配置为 TIM15 的预分频器。

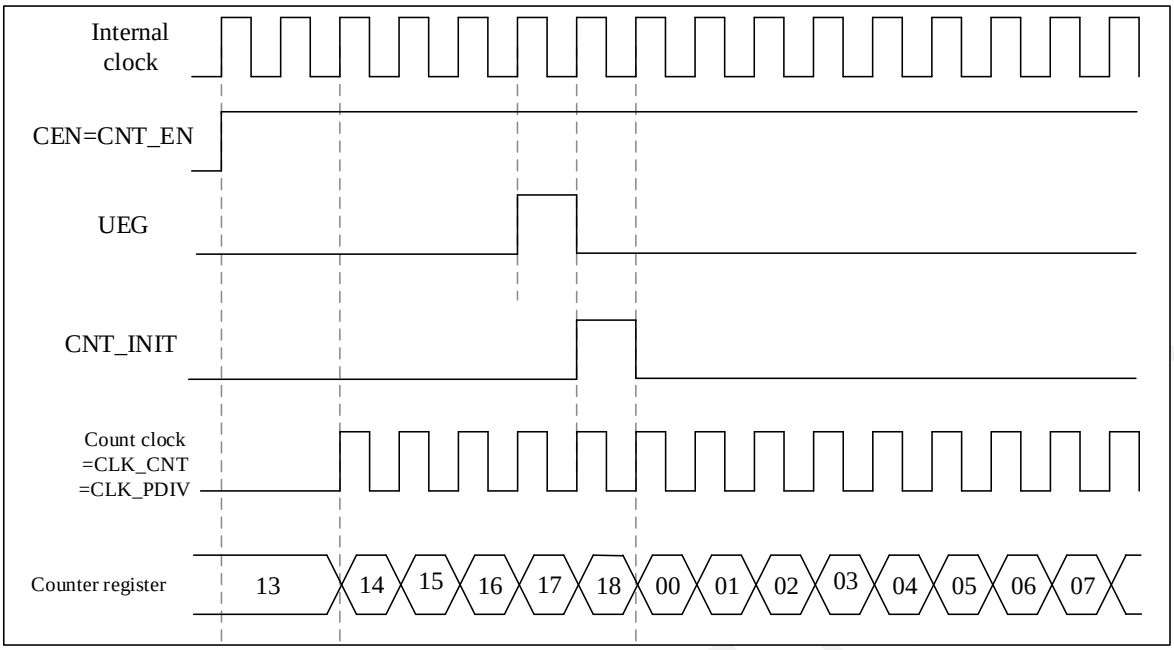
内部时钟源（CLK_INT）

对于 TIM15，如果禁用从机模式控制器（SMCFG＝000），则 CEN，DIR（在 TIMx_CTR1 寄存器中）和 UEG 位（在 TIMx_SWEGR 寄存器中）是实际控制位，只能由软件更改（除 UEG 自动被清除外）。 一旦 CEN 位写入 1，预分频器就由内部时钟 CLK_INT 提供时钟。

图 153 显示了没有预分频器的一般模式下控制时序和向上计数器的行为。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

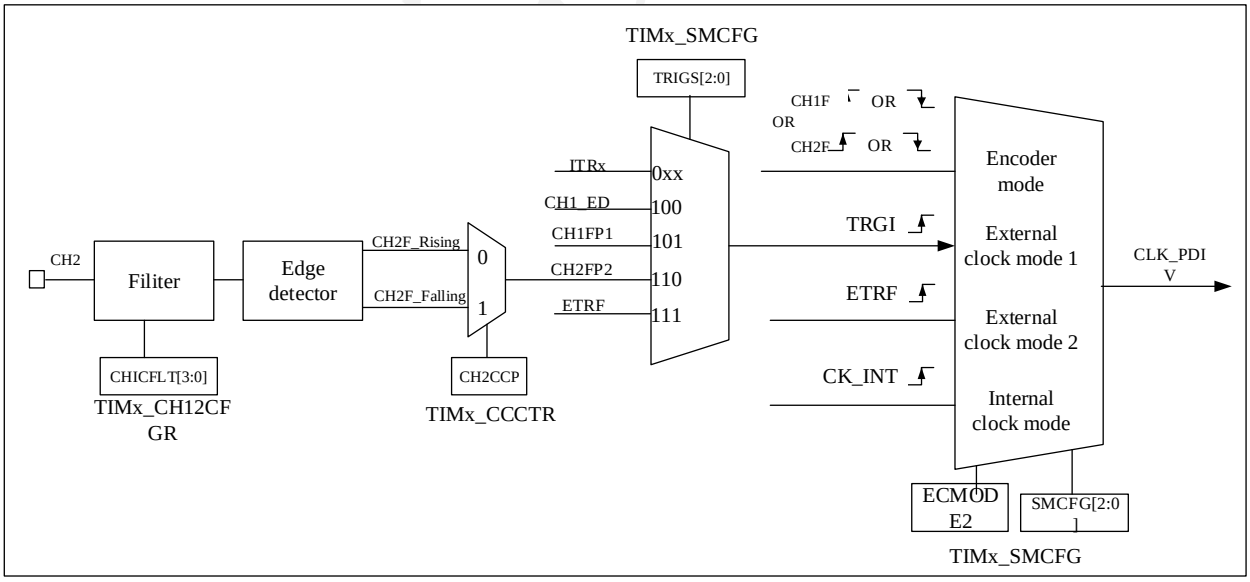
图 153 一般模式下的控制时序，内部时钟分频系数为 1



外部时钟源模式 1

当配置 TIMx_SMCFG 寄存器中的 SMCFG＝111 时，选择此模式。 计数器可以在所选输入的每个上升沿或下降沿计数。

图 154 CH2 外部时钟连接示例



例如，配置向上计数器来响应 CH2 输入的上升沿进行计数，请使用以下过程：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

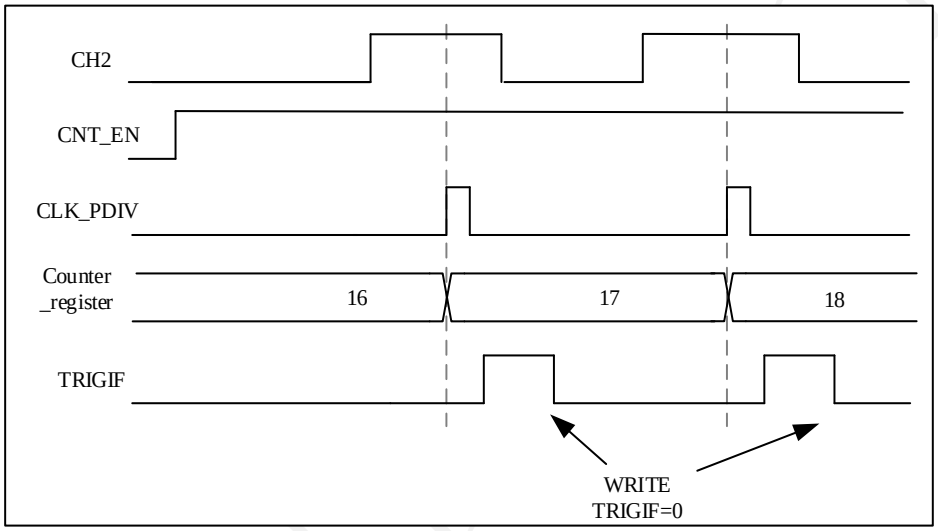
1. 通过在 TIMx_CH12CFGR 寄存器中写入 CH2FS = 01，将通道 2 配置为检测 CH2 输入的上升沿。
2. 通过写入 TIMx_CH12CFGR 寄存器中的 CH2ICFLT [3：0]位来配置输入滤波器持续时间（如果不需要滤波器，则保持 CH2ICFLT= 0000）。
3. 通过在 TIMx_CCCTR 寄存器中写入 CH2CCP = 0 选择上升沿极性。
4. 通过在 TIMx_SMCFG 寄存器中写入 SMCFG = 111，在外部时钟模式 1 下配置定时器。
5. 通过在 TIMx_SMCFG 寄存器中写入 TRIGS= 110，选择 CH2 作为输入源。
6. 通过在 TIMx_CTR1 寄存器中写入 CEN = 1 来使能计数器。

注意：捕获预分频器不用于触发，因此无需进行配置

当 CH2 上出现上升沿时，计数器计数一次，并且 TRIGIF 标志被设置。

CH2 的上升沿与计数器的实际时钟之间的延迟是由 CH2 输入上的重新同步电路引起的。

图 155 外部时钟模式 1 下的控制时序



15.2.5 捕获/比较 通道

每个捕获/比较通道由捕获/比较寄存器（包括影子寄存器），捕获输入级（带数字滤波器，多路复用和预分频器）和输出级（包括比较器和输出控制）组成。

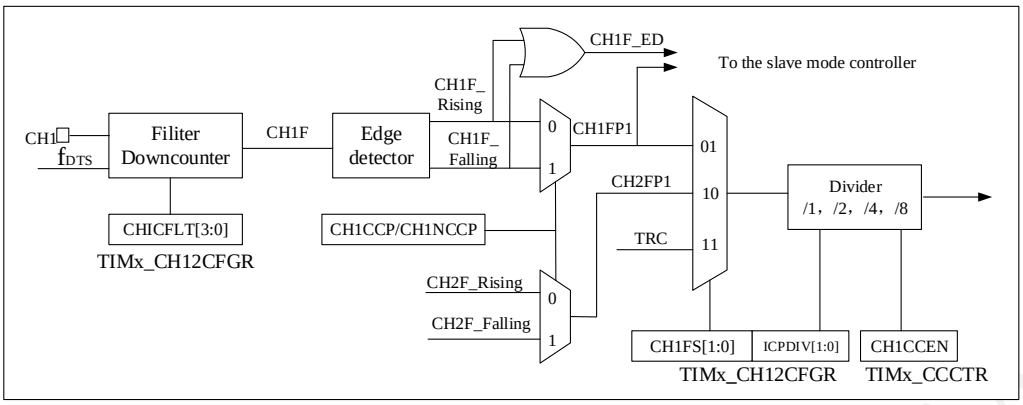
图 156 至

图 158 给出了一个捕获/比较通道。

输入级对相应的 CHx 输入进行采样以产生滤波信号 CHxF。然后，具有极性选择的边沿检测器产生信号（CHxFPx），其可以用作从机模式控制器的触发输入或用作捕获命令。 它在捕获寄存器之前预分频。

图 156 捕获/比较通道（例如：通道 1 输入级）

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



输出级生成一个中间波形，然后用于参考：CHxOCREF（高电平有效）。 极性取决于于链的末端。

图 157 捕获/比较通道 1 主电路

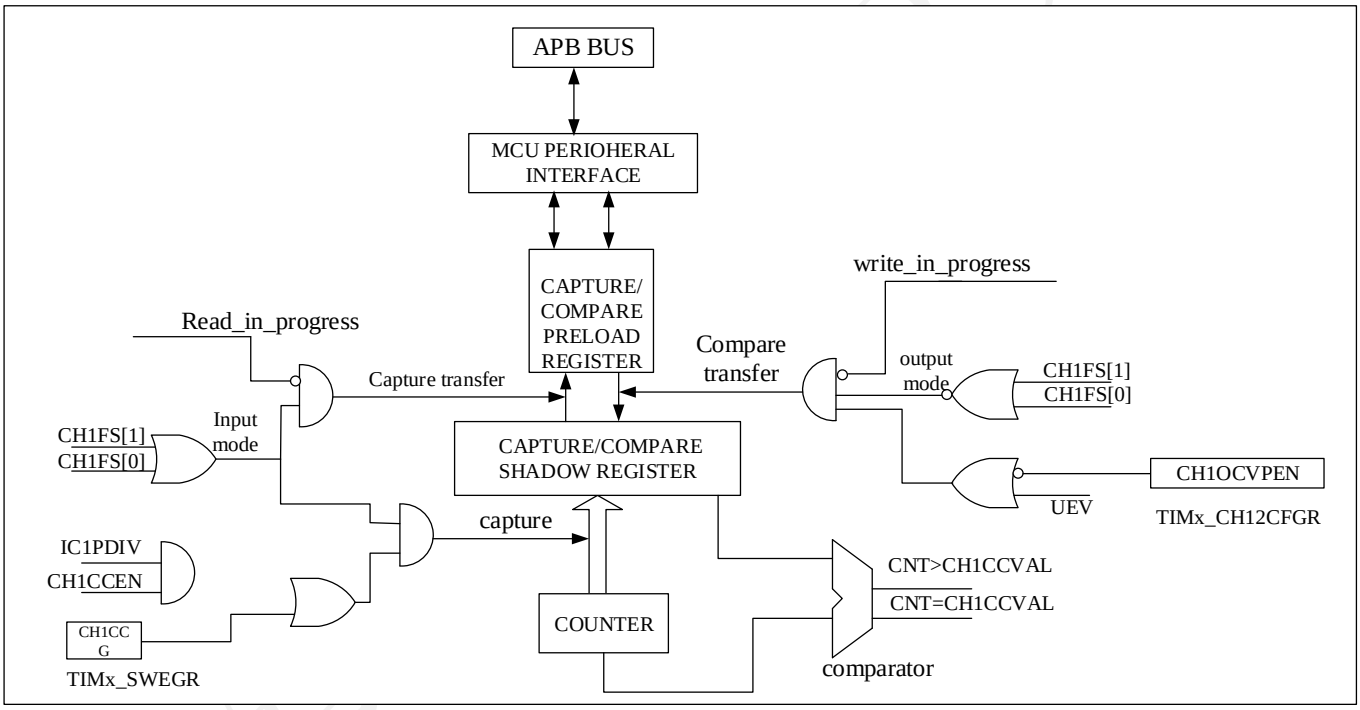


图 158　捕获/比较通道的输出级（通道 1）

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

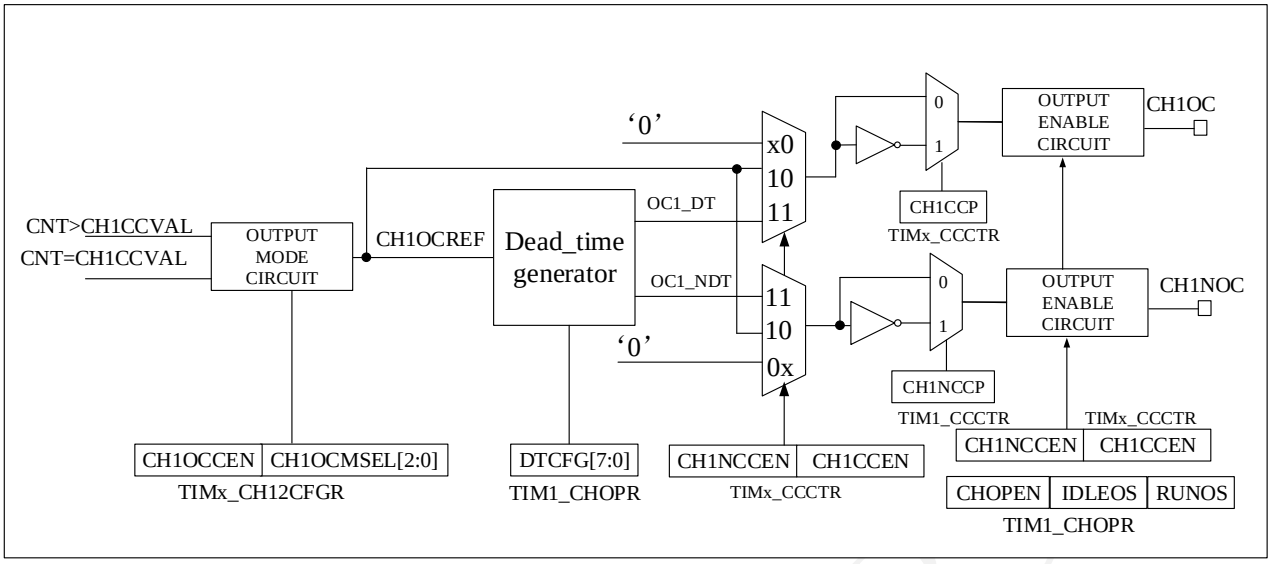
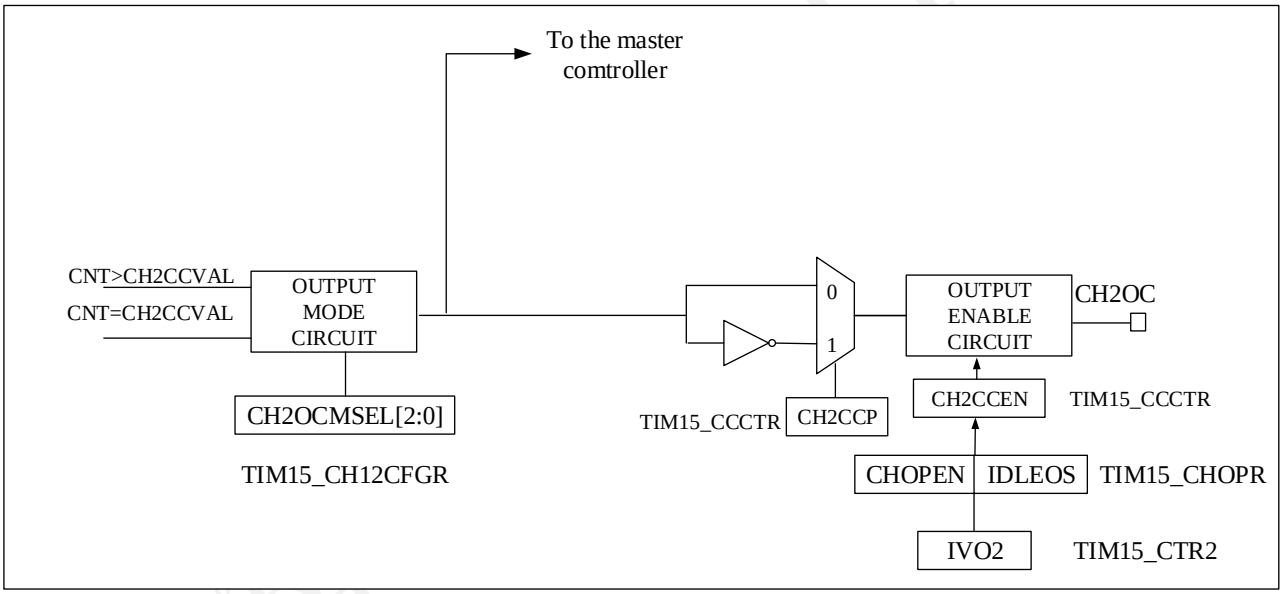


图 159 捕获/比较通道的输出级（TIM15 的通道 2）



捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。 写入和读取始终访问预装载寄存器。
在捕获模式下，捕获实际上在影子寄存器中完成，该寄存器被复制到预装载寄存器中。
在比较模式下，预装载寄存器的内容被复制到影子寄存器中，该寄存器与计数器进行比较。

15.2.6 输入捕获模式

在输入捕获模式下，在相应 CHx 信号检测到数据变化后,将计数器的值锁存到捕获/比较寄存器（TIMx_CH1CCVAL）中。发生捕获时，会置位相应的 CHxCCIF 标志（TIMx_STS 寄存器），如果使能了中断或 DMA 请求，则可以产生中断和 DMA 请求。如果在 CH1CCIF 标志已经为高电平时又发生捕获，则置位捕获溢出标志 CH1ICOF（存在于 TIMx_STS 寄存器中）。 CHxCCIF 可以通过软件将其写入 0 或读取存储在 TIMx_CHxCCVAL 寄存器中的捕获数据来清除。当将其写入 0 时，CHxICOF 将被清除。

以下示例显示当 CH1 输入上升沿时如何捕获计数器的值到 TIMx_CH1CCVAL 中。使用以下步骤：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1. 选择有效输入：TIMx_CH1CCVAL 必须连接到 CH1 输入，因此在 TIMx_CH12CFGR 寄存器中将 CH1FS 位写入 01。一旦 CH1FS 不是 00，通道被配置成输入，TIMx_CH1CCVAL 寄存器变为只读。
2. 根据连接到定时器的信号配置所需的输入滤波器持续时间（TIMx_CHxxCFGR 寄存器中的 CHxICFLT 位），例如，当数据翻转时，输入信号在 5 个内部时钟周期时不稳定。我们必须将滤波器持续时间编程为超过这 5 个时钟周期。当检测到 8 个连续样本（以 f_{DTS} 频率采样）时，CH1 上新的有效边沿变换，在 TIMx_CH12CFGR 寄存器中将 CH1ICFLT 位写入 0011 即可。
3. 通过将 TIMx_CCCTR 寄存器中的 CH1CCP 和 CH1NCCP 位写入 0（在本例中为上升沿），选择 CH1 通道上有效转换的边沿。
4. 配置输入预分频器。在我们的示例中，我们希望在每次有效转换时执行捕获，因此禁用预分频器（在 TIMx_CH12CFGR 寄存器中将 CH1ICPS 位写入 00）。
5. 通过将 TIMx_CCCTR 寄存器中的 CH1CCEN 位置 1，使能捕获功能，发生捕获时可以将计数器值捕获到捕获寄存器。
6. 如果需要，通过设置 TIMx_DIEN 寄存器中的 CH1INTEN 位来使能中断请求，通过将 TIMx_DIEN 寄存器中的 CH1DEN 位置 1 来使能相关的 DMA 请求。

发生输入捕获时：

- 在有效转换时，TIMx_CH1CCVAL 寄存器捕获计数器的值。
- CH1CCIF 标志置位（中断标志）。 如果至少发生两次连续捕获而标志未被清除，则 CH1ICOF 也会置位。
- 根据 CH1INTEN 位产生中断。
- 根据 CH1DEN 位生成 DMA 请求。

为了处理捕获溢出，建议在捕获溢出标志之前读取数据。 这是为了避免错过在读取标志之后和读取数据之前可能发生的捕获溢出。

15.2.7 PWM 输入模式（只用于 TIM15）

此模式是输入捕获模式的特定情况。配置步骤相同，除了：

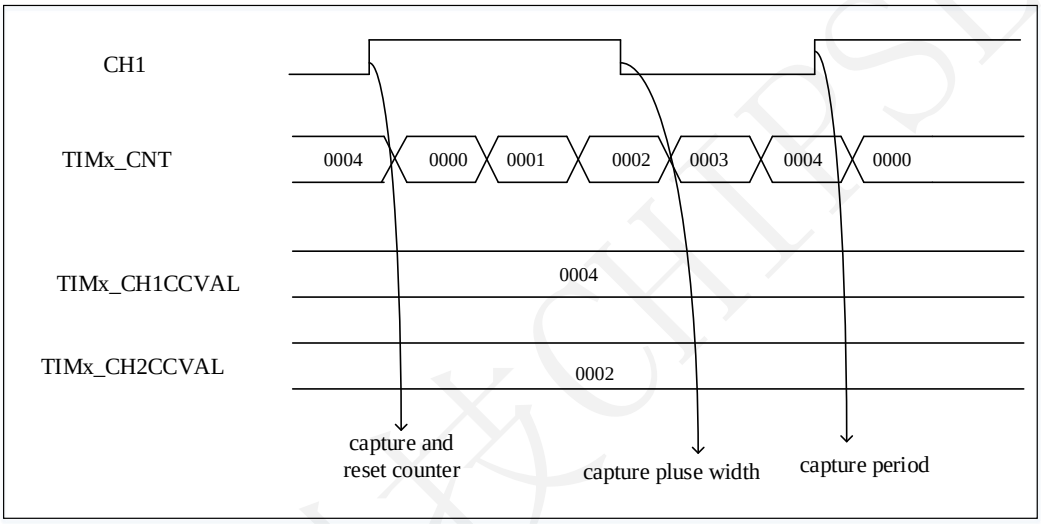
- 两个通道映射在同一个 CHx 上。
- 这 2 个通道信号边沿有效，极性相反。
- 选择两个 CHxFP 信号中的一个作为触发输入，并将从机模式控制器配置为复位模式。

例如，您可以使用以下步骤（取决于 CLK_INT 频率和预分频值）测量 CH1 上施加的 PWM 的周期（在 TIMx_CH1CCVAL 寄存器中）和占空比（在 TIMx_CH2CCVAL 寄存器中）：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 选择 TIMx_CH1CCVAL 的有效输入：将 TIM1_CH12CFGR 寄存器中的 CH1FS 位写入 01（选择 CH1）。
- 选择 CH1FP1 的有效极性（用于 TIMx_CH1CCVAL 中的捕获和计数器清零）：将 CH1CCP 写入“0”，将 CH1NCCP 位写入“0”（上升沿有效）。
- 选择 TIMx_CH2CCVAL 的有效输入：将 TIM2_CH12CFGR 寄存器中的 CH2FS 位写入 10（选择 CH1）。
- 选择 CH1FP2 的有效极性（用于 TIMx_CH2CCVAL 中的捕获）：将 CH2CCP 位写入“1”，将 CH2NCCP 位写入“0”（下降沿有效）。
- 选择有效的触发输入：将 TIMx_SMCFG 寄存器中的 TRIGS 位写入 101（选择 CH1FP1）。
- 配置从机模式控制为器从复位模式：在 TIMx_SMCFG 寄存器中将 SMCFG 位写入 100。
- 使能捕获：将 TIMx_CCCTR 寄存器中 CH1CCEN 和 CH2CCEN 位写入“1”。

图 160 PWM 输入模式时序图



15.2.8 强制输出模式

在输出模式下（TIMx_CHxxCFGR 寄存器中的 CCxFS 为 00），每个输出比较信号（CHxOCREF 和 CHxOC/CHxNOC）可以通过软件配置直接强制为有效或无效电平，与输出比较寄存器和计数器之间的任何比较无关。

置输出比较信号（CHxOCREF / CHxOC）为有效电平，只需在相应的 TIMx_CHxxCFGR 寄存器的 CHxOCMSEL 位中写入 101。因此，CHxOCREF 被强制为高（CHxOCREF 始终为高电平有效），CHxOC 与 CHxCCP 极性位的值相反。

例如：CHxCCP = 0（CHxOC 高电平有效）=> CHxOC 被强制为高电平。

通过在 TIMx_CHxxCFGR 寄存器中将 CHxOCMSEL 位写入 100，可以将 CHxOCREF 信号强制为低电平。无论如何，仍然执行 TIMx_CHxCCVAL 影子寄存器和计数器之间的比较，并允许置位标志位。可以相应地生成中断和 DMA 请求。输出比较模式部分对此进行了描述。

15.2.9 输出比较模式

此功能用于控制输出波形或指示一段给定的时间已经结束。

当捕获/比较寄存器和计数器之间发现匹配时，输出比较功能：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 相应的输出引脚的值可以配置，由输出比较模式（TIMx_CHxxCFGR 寄存器中的 CHxOCMSEL 位）和输出极性（TIMx_CCCTR 寄存器中的 CHxCCP 位）共同决定。输出引脚可以保持其电平（CHxOCMSEL = 000），设置为有效（CHxOCMSEL = 001），设置为无效（CHxOCMSEL = 010）或匹配时翻转（CHxOCMSEL = 011）。
- 在中断状态寄存器中置位标志位（TIMx_STS 寄存器中的 CHxCCIF 位）。
- 如果相应的中断使能位被置 1（TIMx_DIEN 寄存器中的 CHxINTEN 位），则产生中断。
- 如果相应的 DMA 使能位置 1（TIMx_DIEN 寄存器中的 CHxDEN 位，TIMx_CTR2 寄存器中的 CHDMARS 位用于 DMA 请求选择），则发送 DMA 请求。

可以配置 TIMx_CHxxCFGR 寄存器中的 CHxOCVPEN 位，TIMx_CHxCCVAL 寄存器使用或不使用预装载寄存器。

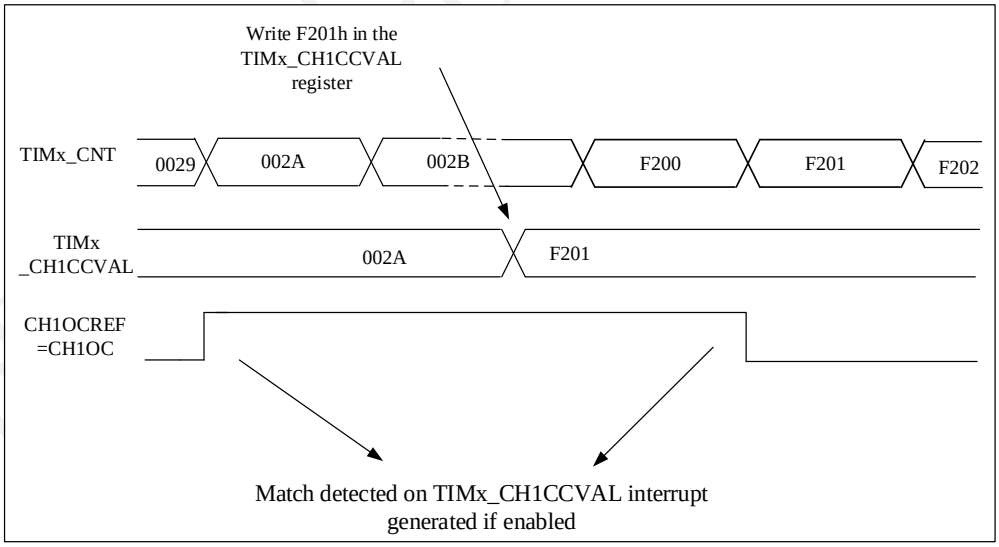
在输出比较模式中，更新事件 UEV 对 CHxOCREF 和 CHxOC 输出没有影响。定时器的精确度是计数器的一个计数时钟。输出比较模式也可用于输出单脉冲（在单脉冲模式下）。

配置步骤：

1. 选择计数器时钟（内部，外部，预分频器）。
2. 在 TIMx_UVAL 和 TIMx_CHxCCVAL 寄存器中写入所需数据。
3. 如果要发出中断请求，则设置 CHxINTEN 位。
4. 配置输出模式，示例如下：
   - 一 配置 CHxOCMSEL = 011，当计数器 CNT 值和 CHxCCVAL 相匹配，翻转 CHxOC 输出引脚；
   - 一 配置 CHxOCVPEN = 0，禁用 CHxCCVAL 预装载功能
   - 一 配置 CHxCCP = 0，高电平有效
   - 一 配置 CHxCCEN = 1，使能 CHxOC 输出
5. 通过将 TIMx_CTR1 寄存器中的 CEN 位置 1 来使能计数器。

如果未使能预装载寄存器（CHxOCVPEN = 0，否则 TIMx_CHxCCVAL 影子寄存器在下一次更新事件 UEV 时更新），可以随时通过软件配置更新 TIMx_CHxCCVAL 寄存器用来控制输出波形。 示例见图 165。

图 161 输出比较模式，CH1OC 翻转



15.2.10 PWM 模式

脉冲宽度调制模式可控制产生一个信号，信号频率由 TIMx_UVAL 寄存器的值决定，占空比由 TIMx_CHxCCVAL 寄存器的值决定。

通过在 TIMx_CHxxCFGR 寄存器的 CHxOCMSEL 位中写入 110（PWM 模式 1）或 111（PWM 模式 2），

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

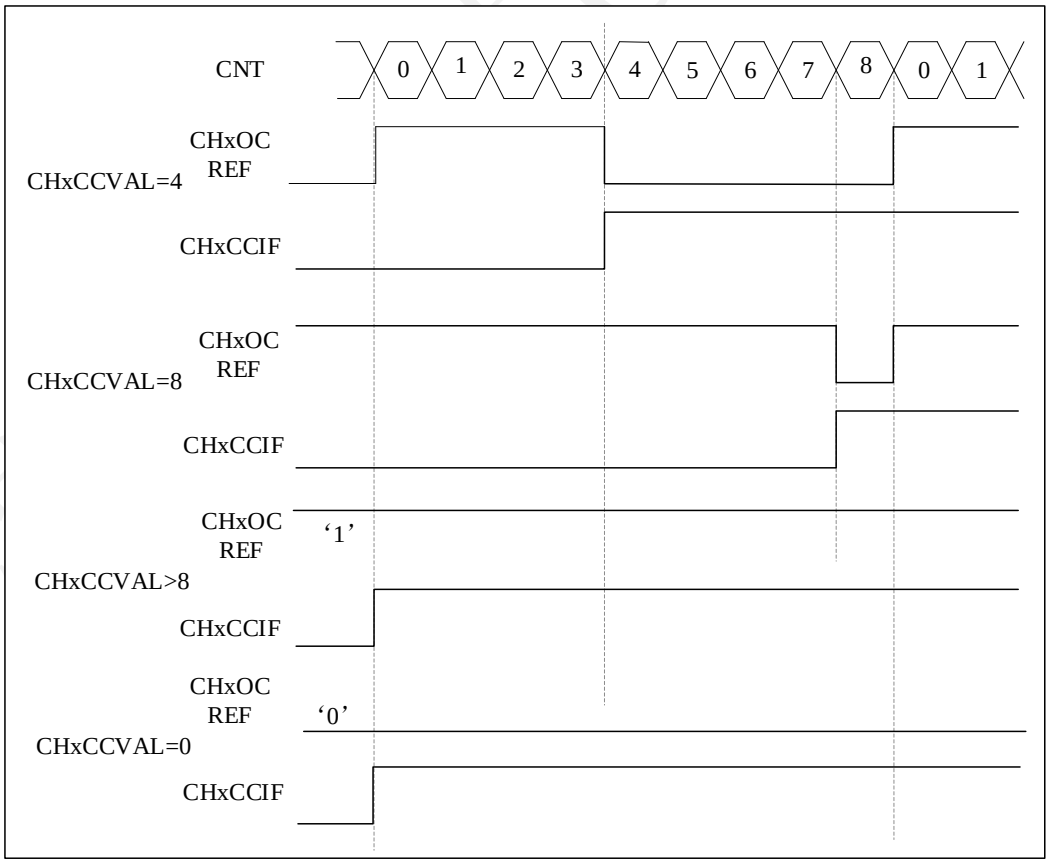
可以在每个通道上独立选择 PWM 模式（每个 CHxOC 输出一个 PWM）。必须通过置位 TIMx_CHxxCFGR 寄存器中的 CHxOCVPEN 位来启用相应的预装载寄存器，并通过置位 TIMx_CTR1 寄存器中的 UVALSEN 位来使能自动重载预装载寄存器（在向上计数或中央对齐模式下）。
由于仅在发生更新事件时将预装载寄存器传送到影子寄存器，因此在启动计数器之前，必须通过将 TIMx_SWEGR 寄存器中的 UEG 位写 1 来初始化所有寄存器。
CHxOC 极性可通过软件配置 TIMx_CCCTR 寄存器 CHxCCP。它可以编程为高电平有效或低电平有效。通过 TIMx_CCCTR 寄存器中的 CHxCCEN 位使能 CHxOC 输出。更多详细信息，请参见 TIMx_CCCTRx 寄存器说明。
在 PWM 模式（1 或 2）中，始终比较 TIMx_CNT 和 TIMx_CHxCCVAL 以确定 TIMx_CHxCCVAL≤TIMx_CNT 或 TIMx_CNT≤TIMx_CHxCCVAL（取决于计数器的方向）。定时器能够以边沿对齐模式或中央对齐模式生成 PWM，具体取决于 TIMx_CTR1 寄存器中的 CPS 位。
注意：PWM 占空比的精度为一个预分频时钟。

PWM 边沿对齐模式

向上计数配置

当 TIMx_CTR1 寄存器中的 DIR 位为低电平时，向上计数有效。
在下面的示例中，我们考虑 PWM 模式 1.只要 TIMx_CNT <TIMx_CHxCCVAL，参考 PWM 信号 CHxOCREF 就为高电平，否则它变为低电平。 如果 TIMx_CHxCCVAL 中的比较值大于自动重载值（在 TIMx_UVAL 中），则 CHxOCREF 保持为 1。如果比较值为 0，则 CHxOCREF 保持为 0。图 162 显示了 TIMx_UVAL= 8 时，一些边沿对齐 PWM 波形。

图 162 边沿对齐 PWM 波形（UVAL= 8）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

向下计数配置

当 TIMx_CTR1 寄存器中的 DIR 位为高电平时，向下计数有效。
在 PWM 模式 1 中，只要 TIMx_CNT> TIMx_CHxCCVAL，参考信号 CHxOCREF 就为低，否则它变高。如果 TIMx_CHxCCVAL 中的比较值大于 TIMx_UVAL 中的 UVAL 值，则 CHxOCREF 保持为 1。在此模式下无法使用 0%PWM。
注意：当 CHxCCVAL 配置为 0 时，预分频系数 PDIV 也必须配置为 0。

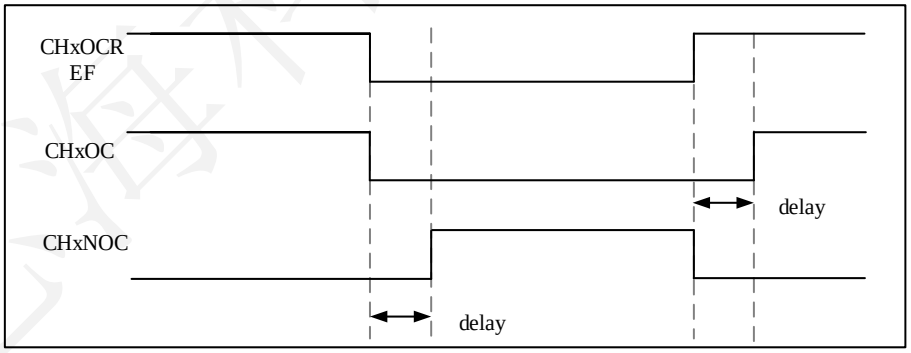
15.2.11　互补输出和死区插入

TIM15/16/17 通用定时器可输出一个互补信号，并管理输出的关断和接通。
此时间通常称为死区时间，可以根据连接到输出的设备及其特性（电平转换器的固有延迟，电源开关引起的延迟.....）进行调整。
可以为每个输出单独选择输出的极性（主输出 CHxOC 或互补 CHxNOC）。这是通过写入 TIMx_CCCTR 寄存器中的 CHxCCP 和 CHxNCCP 位来完成的。
互补信号 CHxOC 和 CHxNOC 有效由几个控制位组合决定：TIMx_CCCTR 寄存器中的 CHxCCEN 和 CHxNCCEN 位以及 TIMx_CHOPR 和 TIMx_CTR2 寄存器中的 CHOPEN，IVOx，IVOxN，IDLEOS 和 RUNOS 位。
通过置位 CHxCCEN 和 CHxNCCEN 位来启用死区插入，如果存在刹车电路则启用 CHOPEN 位。每个通道都有一个 10 位死区时间发生器。参考波形 CHxOCREF，它产生 2 个输出 CHxOC 和 CHxNOC。如果 CHxOC 和 CHxNOC 处于高电平有效：

- CHxOC 输出信号与参考信号相同，但上升沿除外，该上升沿相对于参考上升沿存在延迟。
- 除上升沿之外，CHxNOC 输出信号与参考信号相反，上升沿相对于参考下降沿存在延迟。

如果延迟大于有效输出（CHxOC 或 CHxNOC）的宽度，则不会生成相应的脉冲。
下图显示了死区时间发生器的输出信号与参考信号 CHxOCREF 之间的关系。（在这些示例中,我们假设 CHxCCP = 0，CHxNCCP = 0，CHOPEN = 1，CHxCCEN = 1 且 CHxNCCEN = 1）

图 163 带有死区时间插入的互补输出



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 164 延迟大于正脉冲的死区时间波形

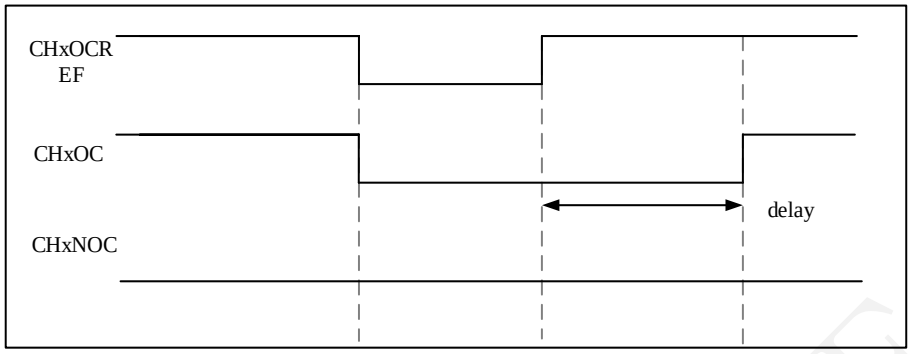
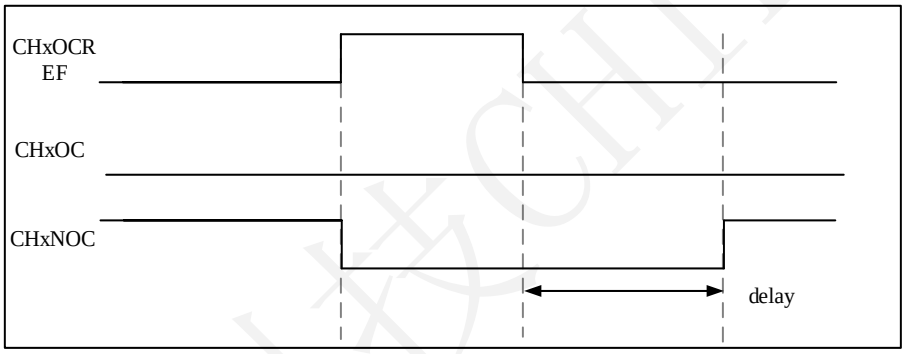


图 165 延迟大于正脉冲的死区时间波形



每个通道的死区时间延迟相同，可通过 TIMx_CHOPR 寄存器中的 DTCFG 位进行配置。

CHxOCREF 重定向到 CHxOC 或 CHxNOC

在输出模式（强制，输出比较或 PWM）中，通过配置 TIMx_CCCTR 寄存器中的 CHxCCEN 和 CHxNCCEN 位，可以将 CHxOCREF 重定向到 CHxOC 输出或 CHxNOC 输出。
这允许在一个输出上发送特定波形（例如 PWM 或静态有效电平），同时互补输出保持在其无效电平。另一方面，两个输出都处于无效状态或处于带死区时间的互补输出状态。
注：当仅使能 CHxNOC 时（CHxCCEN= 0，CHxNCCEN = 1），没有互补输出，当 CHxOCREF 为高电平时，CHxNOC 有效。 例如，如果 CHxNCCP = 0，则 CHxNOC = CHxOCREF。 另一方面，当 CHxOC 和 CHxNOC 都被使能时（CHxCCEN =1 CHxNCCEN = 1），当 CHxOCREF 为高电平时 CHxOC 变为有效，而互补输出 CHxNOC 在 CHxOCREF 为低电平时变为有效。

15.2.12 使用刹车功能

使用刹车功能时，根据控制位（TIMx_CHOPR 寄存器中的 CHOPEN，IDLEOS 和 RUNOS 位，TIMx_CTR2 寄存器中的 IVOx 和 IVOxN 位）修改输出使能信号和无效电平。在任何情况下，CHxOC 和 CHxNOC 输出都不能在相同时间设置为有效电平。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

刹车源（BRK）可以连接到 BKIN 引脚或以下内部源之一：

- 核 LOCKUP 输出
- LVD 输出
- SRAM 奇偶校验错误信号
- CSS 检测器生成的时钟故障事件

从复位退出时，刹车电路被禁用且 CHOPEN 位为低。可以通过置位 TIMx_CHOPR 寄存器中的 BRKEN 位来使能刹车功能。可以通过在同一寄存器中配置 BRKPOL 位来选择刹车输入极性。 BRKEN 和 BRKPOL 可以同时修改。写入 BRKEN 和 BRKPOL 位时，在写入有效之前有 1 个 APB 时钟周期的延迟。因此，在写操作之后需要等待 1 个 APB 时钟周期才能正确读回该位。

由于 CHOPEN 下降沿可以是异步的，因此在实际信号（作用于输出）和同步控制位（在 TIMx_CHOPR 寄存器中访问）之间插入了重新同步电路。它导致异步和同步信号之间的一些延迟。特别是，如果 CHOPEN 为低，写入 1 时，则必须在正确读取之前插入延迟（伪指令）。这是因为写入的是异步信号，而读取的是同步信号。

发生刹车时（刹车输入上的选定级别）：

- CHOPEN 位异步清零，使输出处于无效状态，空闲状态或复位状态（由 IDLEOS 位选择）。即使 MCU 振荡器关闭，此功能也会起作用。
- CHOPEN = 0 时，每个输出通道均由 TIMx_CTR2 寄存器中 IVOx 位编程的电平驱动。如果 IDLEOS = 0，则定时器释放使能输出，否则使能输出保持高电平。
- 使用互补输出时：
  - 输出首先进入复位状态无效状态（取决于极性）。这是异步完成的，因此即使没有为定时器提供时钟也能正常工作。
  - 如果定时器时钟仍然存在，则死区时间发生器被重新激活，以便在死区时间后以 IVOx 和 IVOxN 位编程的电平驱动输出。即使在这种情况下，CHxOC 和 CHxNOC 也不能一起驱动为有效电平。请注意，由于 CHOPEN 上的重新同步，死区持续时间比平时稍长（大约 2 CLK_TIM 时钟周期）。
  - 如果 IDLEOS = 0，则定时器释放使能输出，否则一旦 CHxCCEN 或 CHxNCCEN 位之一为高电平，使能输出保持或变为高电平。
- 刹车状态标志（TIMx_STS 寄存器中的 BRKIF 位）置 1。如果 TIMx_DIEN 寄存器中的 BRKINTEN 位置 1，则可以产生中断。
- 如果 TIMx_CHOPR 寄存器中的 CHOPAEN 位置 1，则 CHOPEN 位将在下一个更新事件 UEV 处再次自动置 1。例如，这可用于 PWM 调节。否则，CHOPEN 保持低位，直到再次将其写入“1”。在这种情况下，它可用于安全方面，可以将刹车输入连接到电源驱动器，热传感器或任何安全组件的警报。

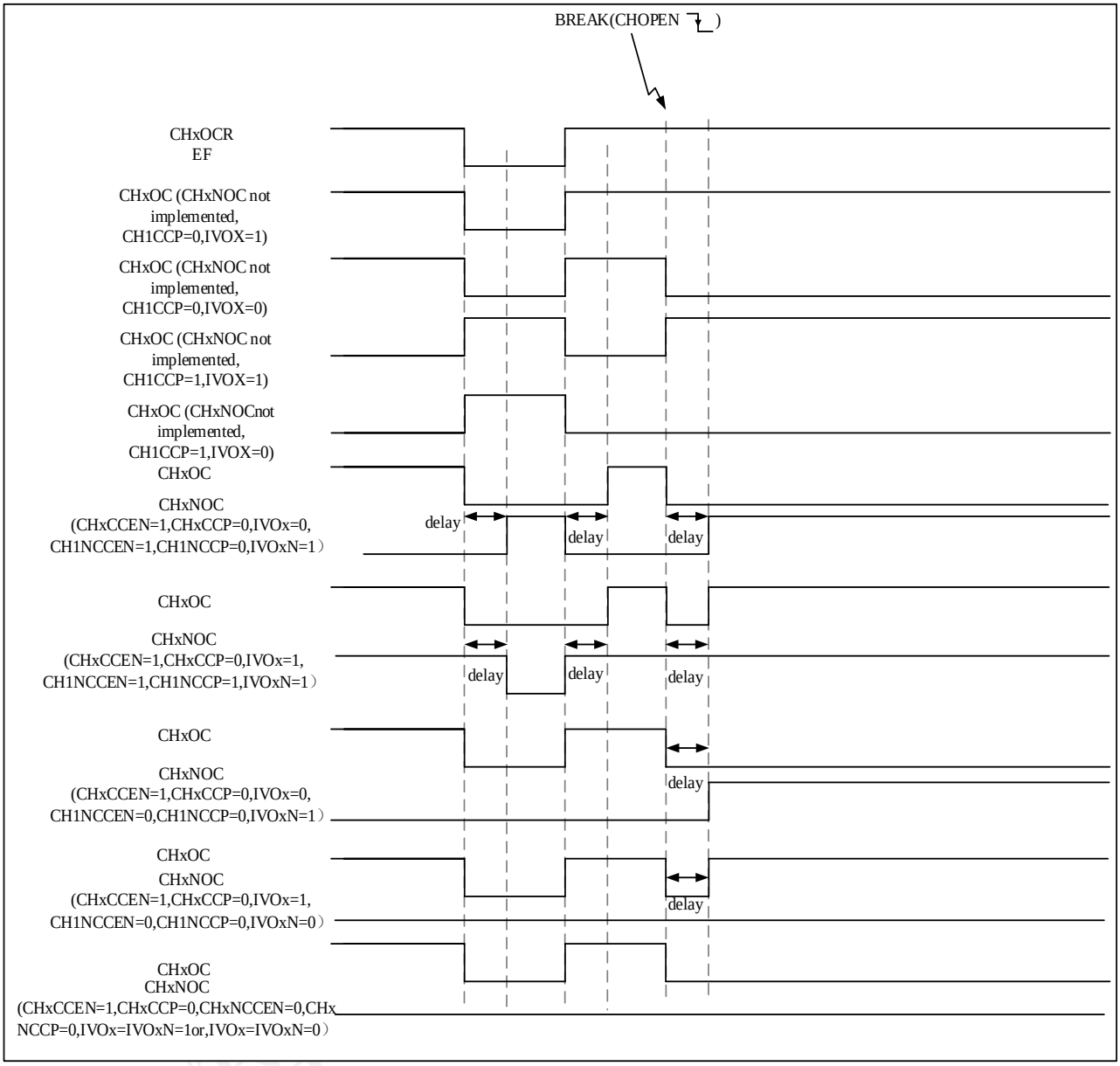
注意：刹车输入为电平有效。因此，当刹车输入有效时，CHOPEN 无法置 1（无论是自动还是软件配置）。同时，状态标志 BRKIF 无法清除。

刹车可由具有可编程极性的 BRK 输入和 TIMx_CHOPR 寄存器中的使能位 BRKEN 产生。

除了刹车输入和输出管理之外，还在刹车电路内部实施了写保护，以保护应用。它允许冻结几个参数的配置（死区持续时间，CHxOC / CHxNOC 极性和状态禁用时，CHxOCMSEL 配置，刹车使能和极性）。可以配置 TIMx_CHOPR 寄存器中 LCKLV 位，从 3 个保护级别中选择（级别 1、2、3）。外设复位释放后，LCKLV 位只能写入一次。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 166 刹车时的输出行为



15.2.13 单脉冲模式

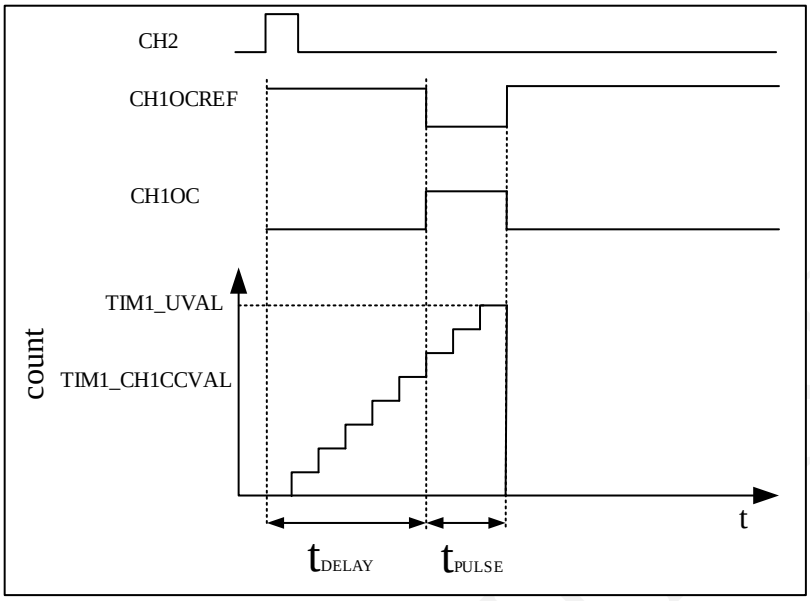
单脉冲模式（SPEN）是先前模式的特定情况。 它允许计数器响应激励而进行自启动，并在可编程延迟后产生具有可编程长度的脉冲。

可以通过从机模式控制器控制启动计数器。 通过输出比较模式或 PWM 模式产生波形。 通过将 TIMx_CTR1 寄存器中的 SPEN 位置 1 选择单脉冲模式。这使得计数器在下一个更新事件 UEV 处自动停止。仅当比较值与计数器初始值不同时，才能正确生成脉冲。在启动之前（当计时器等待触发时），配置必须是：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 向上计数：CNT <CHxCCVAL≤UVAL（特别是 0 <CHxCCVAL），
- 向下计数：CNT> CHxCCVAL

图 167 单脉冲模式示例



例如，在 CH2 输入引脚上检测到上升沿后，延迟 t_{DELAY} 之后，在 CH1OC 上生成长度为 t_{PULSE} 的正脉冲。
使用 CH2FP2 作为触发：

- 通过在 TIMx_CH12CFGR 寄存器中写入 CH2FS = 01，选择 CH2FP2。
- CH2FP2 必须检测上升沿，在 TIMx_CCCTR 寄存器中写入 CH2CCP = 0。
- 通过在 TIMx_SMCFG 寄存器中写入 TRIGS = 110，将 TI2FP2 配置为从机模式控制器（TRGI）的触发器。
- 将 TIMx_SMCFG 寄存器中 SMCFG 位配置为“110”（触发模式），CH2FP2 用于启动计数器。

由比较寄存器来定义 SPEN 波形（考虑时钟频率和计数器预分频器）：

- t_{DELAY} 由 TIMx_CH1CCVAL 寄存器中写入的值定义。
- t_{PULSE} 由自动重载值和比较值（TIMx_UVAL - TIMx_CH1CCVAL + 1）之间的差值定义。
- 假设你希望构建一个波形，当比较匹配发生时从 0 变为 1，并且当计数器达到自动重载值时从“1”变为“0”。为此，可以在 TIMx_CH12CFGR 寄存器中写入 CH1OCMSEL = 111 来使能 PWM 模式 2。可以通过在 TIMx_CH12CFGR 寄存器中写入 CH1OCVPEN = 1 并在 TIMx_CTR1 寄存器中写入 UVALSEN=1 来启用预装载寄存器。在这种情况下，您必须在 TIMx_CH1CCVAL 寄存器中写入比较值，TIMx_UVAL 寄存器中的自动重载值，通过写 UEG 位生成更新并等待 CH2 上的外部触发事件。在此示例中，CH1CCP 写入 0。

在示例中，TIMx_CTR1 寄存器中的 DIR 和 CPS 位应为低。
只需要 1 个脉冲（单模式），因此在 TIMx_CTR1 寄存器的 SPEN 位中写入 1 以在下次更新事件时停止计数器（当计数器从自动重载值变为 0 时）。

特殊情况：CHxOC 快速启用

在单脉冲模式下，CHx 输入的边沿检测后将 CEN 位置 1，使能计数器。然后计数器和比较值之间的比较使输出切换。但是这些操作需要几个时钟周期，它限制了我们可以获得的最小延迟时间 t_{DELAY}。
如果要输出具有最小延迟的波形，可以将 TIMx_CCMRx 寄存器中的 CHxOCFEN 位置 1。然后迫使

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

CHxOCREF（和 CHxOC）响应激励，而不考虑比较。输出波形与发生比较匹配时相同。仅当通道配置为 PWM1 或 PWM2 模式时，CHxOCFEN 才会起作用。

注：CHxOC 快速启用和单脉冲模式共同使用时，当 CEN 被自动清除时，输出的 PWM 波形保持不变。

15.2.14　定时器和外部触发同步

TIM15 定时器可以在几种模式下与外部触发同步：复位模式和触发模式。

从机模式：复位模式

可以重新初始化计数器及其预分频器，以响应触发输入上的事件。此外，如果配置 TIMx_CTR1 寄存器的 URSEL 位为 0，则生成更新事件 UEV。然后更新所有预装载寄存器（TIMx_UVAL，TIMx_CHxCCVAL）。

在以下示例中，响应 CH1 输入的上升沿清除向上计数器：

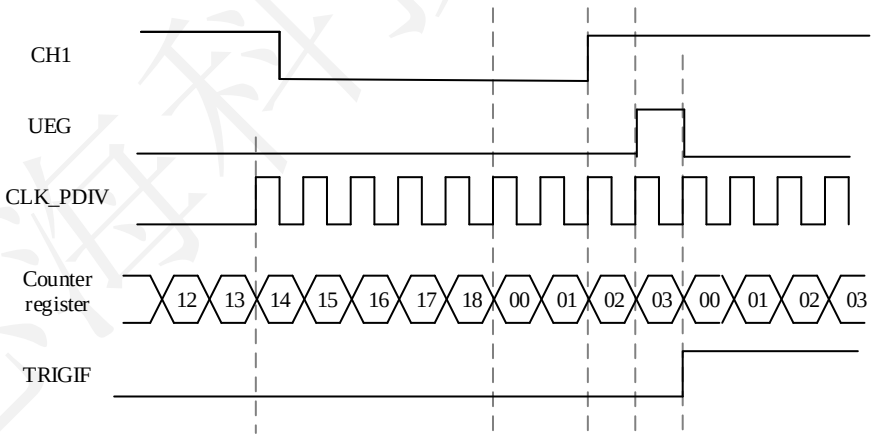
- 配置通道 1 以检测 CH1 的上升沿。配置输入滤波持续时间（在此示例中，我们不需要任何滤波，因此我们保持 CH1ICFLT = 0000）。捕获预分频器不用于触发，因此您无需进行配置。 CH1FS 位仅选择输入捕获源，TIMx_CH12CFGR 寄存器中的 CH1FS = 01。在 TIMx_CCCTR 寄存器中写入 CH1CCP = 0 和 CH1NCCP = 0 以确定极性（仅检测上升沿）。
- 通过在 TIMx_SMCFG 寄存器中写入 SMCFG = 100，配置定时器工作在复位模式。通过在 TIMx_SMCFG 寄存器中写入 TRIGS = 101，选择 CH1 作为输入源。
- 通过在 TIMx_CTR1 寄存器中写入 CEN = 1 来启动计数器。

计数器开始对内部时钟进行计数，然后正常工作直到 CH1 上升沿。当 CH1 上升时，计数器清零并从 0 重新开始计数。同时，触发标志置位（TIMx_STS 寄存器中的 TRIGIF 位），若使能中断和 DMA，则将产生中断请求，DMA 请求（取决于 TIMx_DIEN 寄存器中 TINTEN 和 TDREN 位）。

下图显示了计数器更新寄存器 TIMx_UVAL = 0x18 时的这种情况。

CH1 上升沿与计数器实际复位之间的延迟是由 CH1 输入上的重新同步电路引起的。

图 168 复位模式下的控制时序



从机模式：触发模式

计数器可以响应所选输入上的事件而启动。

在以下示例中，向上计数器以响应 CH2 输入的上升沿启动计数：

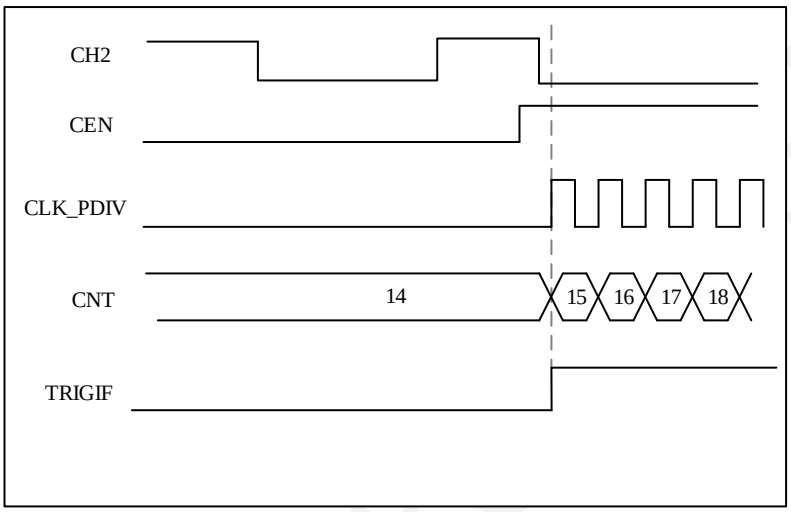
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 配置通道 2 以检测 CH2 上的上升沿。 配置输入滤波持续时间（在此示例中，我们不需要任何滤波，因此我们保持 CH2ICFLT = 0000）。 捕获预分频器不用于触发，因此您无需进行配置。 CH2FS 位仅选择输入捕获源，TIMx_CH12CFGR 寄存器中的 CH2FS = 01。在 TIMx_CCCTR 寄存器中写入 CH2CCP = 1 和 CH2NCCP = 0 以确定极性（并仅检测低电平）。
- 通过在 TIMx_SMCFG 寄存器中写入 SMCFG = 110，配置定时器在触发模式下。 通过在 TIMx_SMCFG 寄存器中写入 TRIGS = 110，选择 CH2 作为输入源。

当 CH2 上出现上升沿时，计数器开始对内部时钟进行计数，并置位 TRIGIF 标志。

CH2 上升沿与计数器实际启动之间的延迟是由 CH2 输入上的重新同步电路引起的。

图 169 触发模式下的控制时序



15.2.15　定时器同步（TIM15）

TIM 定时器在内部连接在一起，用于定时器同步或链接。

15.2.16　调试模式

15.3当微控制器进入调试模式（Cortex™-M0 内核暂停）时，TIMx 计数器将继续正常工作或停止，具体取决于 DBG 模块中的 TIMx_DBG_PAUSE 配置位。

TIM15 寄存器

15.3.1 寄存器概览

表 44 TIM15 寄存器概览

名称	偏移地址	描述	复位值
TIM15_CTR1	0x000	TIM15 控制寄存器 1	0x00000000
TIM15_CTR2	0x004	TIM15 控制寄存器 2	0x00000000
TIM15_SMCFG	0x008	TIM15 从机模式配置寄存器	0x00000000
TIM15_DIEN	0x00C	TIM15 DMA 和中断请求使能寄存器	0x00000000
TIM15_STS	0x010	TIM15 状态寄存器	0x00000000
TIM15_SWEGR	0x014	TIM15 软件事件生成寄存器	0x00000000
TIM15_CH12CFGR	0x018	TIM15 通道 1 和通道 2 配置寄存器	0x00000000
TIM15_CCCTR	0x020	TIM15 通道捕获比较控制寄存器	0x00000000

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

TIM15_CNT	0x024	TIM15 计数器	0x00000000
TIM15_PDIV	0x028	TIM15 预分频	0x00000000
TIM15_UVAL	0x02C	TIM15 计数器更新寄存器	0x0000FFFF
TIM15_UVALREP	0x030	TIM15 计数器更新重复寄存器	0x00000000
TIM15_CH1CCVAL	0x034	TIM15 通道 1 捕获比较寄存器	0x00000000
TIM15_CH2CCVAL	0x038	TIM15 通道 2 捕获比较寄存器	0x00000000
TIM15_CHOPR	0x044	TIM15 通道输出保护寄存器	0x00000000
TIM15_DMAACR	0x048	TIM15 DMA 读写配置寄存器	0x00000000
TIM15_DMAIR	0x04C	TIM15 DMA 接口寄存器	0x00000000

15.3.2 TIM15 控制寄存器 1（TIM15_CTR1）

对该寄存器的写入操作只支持半字或字写入。

TIM15_CTR1 (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	CKDIV[1:0]		UVALSEN	保留	保留	保留	SPEN	URSEL	UPD	CEN
						r/w	r/w	r/w				r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:10]	保留	
[9:8]	CKDIV	**时钟分频** 用于确定死区时间、采样时钟和计数器输入时钟之间的比例. 00：Tclk_dts=Tclk_int 01：Tclk_dts=2xTclk_int 10：Tclk_dts=4xTclk_int 11：保留
7	UVALSEN	**UVAL 影子寄存器使能** 0：TIMx_UVAL 寄存器没有缓冲器 1：TIMx_UVAL 寄存器有缓冲器
[6:4]	保留	
3	SPEN	**单脉冲使能** 0：更新事件发生时，计数器不停止 1：更新事件发生时，计数器停止计数(清除 CEN 位)
2	URSEL	**更新请求过滤** 0：如果使能中断请求，下述任意一个事件产生都可以更新中断请求 一 计数器溢出 一 软件设置 UEG 位

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		一 从机模式控制器产生的更新 1：如果使能中断请求，只在计数器上溢/下溢时产生更新中断请求
1	UPD	**禁止更新** 0：UEV 使能。以下事件之一发生时，将产生更新事件： 一 计数器上溢/下溢 一 写 UEG 位 一从机模式控制产生的更新 具有缓存的寄存器将装入他们的预装载值 1：禁止 UEV。不产生更新事件，影子寄存器(UVAL、PDIV、CHxCCVAL)保持它们的值。如果写 UEG 位或从机模式控制器收到一个硬件复位，则计数器和预分频器被重新初始化。
0	CEN	**计数器使能** 0：禁止计数器 1：使能计数器 注意：外部时钟只有先置位 CEN 位时才能工作。 但是，触发模式可以通过硬件自动置位 CEN 位。

15.3.3 TIM15 控制寄存器 2（TIM15_CTR2）

TIM15_CTR2 (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	IVO2	IVO1N	IVO1	保留	MMTOC[2:0]			MMTOC	CHPUS	保留	CHPSEN
					r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w

Bit 位	名称	描述
[31:11]	保留	
10	IVO2	**通道 2 输出空闲值** 0：当 CHOPEN=0，CH2OC=0 1：当 CHOPEN=0，CH2OC=0 注意：只要配置锁定级别为 1、2 或者 3 级时，该位不可以被修改（TIMx_CHOPR 寄存器中的 LCKLV 位）
9	IVO1N	**通道 1 互补输出空闲值** 0：当 CHOPEN=0，死区时间后 CH1NOC=0 1：当 CHOPEN=0，死区时间后 CH1NOC=1 注意：只要配置锁定级别为 1、2 或者 3 级时，该位不可以被修改（TIMx_CHOPR 寄存器中的 LCKLV 位）
8	IVO1	**通道 1 输出空闲值** 0：当 CHOPEN=0，如果有 CH1NOC，死区时间后 CH1OC=0 1：当 CHOPEN=0，如果有 CH1NOC，死区时间后 CH1OC=1

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		注意：只要配置锁定级别为 1、2 或者 3 级时，该位不可以被修改（TIMx_CHOPR 寄存器中的 LCKLV 位）
7	保留	
[6:4]	MMTOC	**主机模式触发输出控制** 这三位用于选择在主机模式下送到从定时器的同步信息(TRGO)。可能的组合如下： 000：复位 – TIMx_SWEGR 寄存器的 UEG 位被用于作为触发输出(TRGO)。如果触发输入(从机模式控 制器处于复位模式)产生复位，则 TRGO 上的信号相对实际的复位会有一个延迟 001：使能 – 计数器使能信号 CNT_EN 被用于作为触发输出(TRGO)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。当计数器使能信号受控于触发输入时，TRGO 上会有一个延迟，除非选择了主/从机模式(见 TIMx_SMCFG 寄存器中 MSM 位的描述)。 010：更新 – 更新事件被选为触发输出(TRGO)。例如，一个主定时器可以被用作一个从定时器的预分频器。 011：比较脉冲 – 发生一次捕获或比较匹配时，当要置位 CH1CCIF 标志时(即使它已经为 高)，触发输出送出一个正脉冲(TRGO)。 100：比较 – CH1OCREF 信号被用于作为触发输出(TRGO)。 101：比较 – CH2OCREF 信号被用于作为触发输出(TRGO)。 110：比较 – CH3OCREF 信号被用于作为触发输出(TRGO)。 111：比较 – CH4OCREF 信号被用于作为触发输出(TRGO)。
3	CHDMARS	**通道 DMA 请求源** 0：当发生 CHx 事件时，送出 CHx 的 DMA 请求 1：当发生更新事件时，送出 CHx 的 DMA 请求
2	CHPUS	**通道预装载更新源** 0：如果通道配置预装载使能(CHPSEN=1)，只能通过写 COMEG 位来更新 1：如果通道配置预装载使能(CHPSEN=1)，可以通过写 COMEG 位或 TRGI 上的上升沿来更新
1	保留	
0	CHPSEN	**通道配置预装载使能** 0：CHxCCEN、CHxNCCEN、CHxOCMSEL 不是预装载的 1：CHxCCEN、CHxNCCEN、CHxOCMSEL 是预装载的，该位置位后，只有在发生 COM 事件(写 COMEG 位或 TRGI 上升沿，取决于 CHPUS 位)时被更新 注:该位对具有互补输出的通道有效

15.3.4 TIM15 从机模式配置寄存器（TIM15_SMCFG）

TIM15_SMCFG (偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	MSM	TRIGS[2:0]			保留	SMCFG[2:0]		
								r/w	r/w	r/w	r/w		r/w	r/w	r/w

Bit 位	名称	描述
[31:8]	保留	
7	MSM	**主/从机模式** 0：无作用 1：触发输入(TRGI)上的事件被延迟，以允许在当前定时器与它的从定时器间的完美同步(通过 TRGO)。
[6:4]	TRIGS	**触发源选择** 同步计数器的触发输入选择 。 000：内部触发 0(ITR0) 001：内部触发 1(ITR1) 010：内部触发 2(ITR2) 011：内部触发 3(ITR3) 100：通道 1 的边沿检测器(CH1F_ED) 101：滤波后的定时器输入 1(CH1FP1) 110：滤波后的定时器输入 2(CH2FP2) 注：这些位只能在未用到时被改变(如 SMCFG=000)，以避免在改变时产生错误的边沿检测。
3	保留	
[2:0]	SMCFG	**从机模式配置** 000：禁止从机模式–如果 CEN=1，则预分频器直接由内部时钟驱动。 100：复位模式–选中的触发输入(TRGI)的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。 101：保留。 110：触发模式–计数器在触发输入 TRGI 的上升沿启动(但不复位)，只有计数器的启动是受控的。 111：外部时钟模式 1– 选中的触发输入(TRGI)的上升沿驱动计数器。

表 45 TIM15 内部触发连接

Slave TIM	ITR0 (TRIGS = 000)	ITR1 (TRIGS = 001)	ITR2 (TRIGS = 010)	ITR3 (TRIGS = 011)
TIM15	TIM2	TIM3	TIM16_CHxOC	TIM17_CHxOC

15.3.5 TIM15 DMA 和中断请求使能寄存器（TIM15_DIEN）

TIM15_DIEN (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	TDREN	保留	保留	保留	CH2DEN	CH1DEN	UPDEN	BRKINTEN	TINTEN	COMINTEN	保留	保留	CH2INTEN	CH1INTEN	UPINTEN
	r/w				r/w	r/w	r/w	r/w	r/w	r/w			r/w	r/w	r/w

Bit 位	名称	描述
[31:15]	保留	
14	TDREN	**触发事件 DMA 请求使能** 0：触发 DMA 请求禁止 1：触发 DMA 请求允许
[13:11]	保留	
10	CH2DEN	**通道 2 DMA 请求使能** 0：通道 2DMA 请求禁止 1：通道 2DMA 请求允许
9	CH1DEN	**通道 1 DMA 请求使能** 0：通道 1DMA 请求禁止 1：通道 1DMA 请求允许
8	UPDEN	**更新 DMA 请求使能** 0：更新 DMA 请求禁止 1：更新 DMA 请求允许
7	BRKINTEN	**刹车中断使能** 0：刹车中断禁止 1：刹车中断允许
6	TINTEN	**触发事件中断使能** 0：触发事件中断禁止 1：触发事件中断允许
5	COMINTEN	**COM 事件中断使能** 0：COM 事件中断禁止 1：COM 事件中断允许
[4:3]	保留	
2	CH2INTEN	**通道 2 中断使能** 0：通道 2 中断禁止 1：通道 2 中断允许
1	CH1INTEN	**通道 1 中断使能** 0：通道 1 中断禁止 1：通道 1 中断允许
0	UPINTEN	**更新中断使能** 0：更新中断禁止 1：更新中断允许

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15.3.6 TIMx 状态寄存器（TIM15_STS）

TIM15_STS (偏移地址=0x010，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	CH2ICOF	CH1ICOF	保留	BRKIF	TRIGIF	CHCOMIF	保留	保留	CH2CCIF	CH1CCIF	UPIF
					r/w0c	r/w0c		r/w0c	r/w0c	r/w0c			r/w0c	r/w0c	r/w0c

Bit 位	名称	描述
[31:11]	保留	
10	CH2ICOF	**通道 2 输入捕获溢出**，参考 CH1ICOF
9	CH1ICOF	**通道 1 输入捕获溢出** 0：无重复捕获产生 1：当 CH1CCIF 位为 1 时，通道再次发生输入捕获
8	保留	
7	BRKIF	**刹车中断标志** 0：无刹车事件产生 1：检测到刹车输入信号有效电平
6	TRIGIF	**触发中断标志** 当发生触发事件(从机模式控制器在 TRGI 输入端检测到有效边沿)时由硬件对该位置 1，它由软件清 0。 0：无触发器事件产生 1：触发器中断等待响应。
5	CHCOMIF	**通道通讯事件中断标志** 一旦产生 COM 事件(当捕获/比较控制位:CHxCCEN、CHxNCCEN、CHxOCMSEL 已被更新)该位由硬件置 1，它由软件清 0。 0：无 COM 事件产生 1：COM 中断等待响应
[4:3]	保留	
2	CH2CCIF	**通道 2 捕获比较中断标志**，参考 CH1CCIF
1	CH1CCIF	**通道 1 捕获比较中断标志** 如果通道 1 配置为输出模式: 当计数器的值和比较值匹配时该位由硬件置 1，但是中央对齐模式除外(参考 TIMx_CTR1 中的 CPS 位)。它由软件清 0。 0：无匹配发生 1：TIMx_CNT 和 TIMx_CH1CCVAL 的值匹配。当 TIMx_CH1CCVAL 的值大于 TIMx_UVAL 的值时，在向上或中央对齐模式计数器溢出，或向下计数模式时计数器下溢，CH1CCIF 置高。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		如果通道 1 配置为输入模式: 当发生捕获时，该位由硬件置 1，通过软件清 0 或者通过读取 TIMx_CH1CCVAL 寄存器清 0 0：无输入捕获产生 1：计数器的值捕获到 TIMx_CH1CCVAL 寄存器
0	UPIF	**更新中断标志** 当产生更新事件时该位由硬件置 1，软件清 0 0：无更新事件产生 1：产生更新中断等待响应 —若 TIMx_CTR1 寄存器中 UPD=0，当重复计数器计数值上溢 —若 TIMx_CTR1 寄存器中的 UPD=0，URSEL=0，当写 TIMx_SWEGR 寄存器中的 UEG 位时产生更新事件，通过软件对计数器 CNT 重新初始化。 —若 TIMx_CTR1 寄存器中的 UPD=0，URSEL=0，触发事件重新初始化计数器 CNT

15.3.7 TIM15 软件事件生成寄存器（TIM15_SWEGR）

TIM15_SWEGR(偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	BRKEG	TRIGEG	COMEG	保留	保留	CH2CCG	CH1CCG	UEG
								r/w	r/w	r/w			r/w	r/w	r/w

Bit 位	名称	描述
[31:8]	保留	
7	BRKEG	**刹车事件生成** 该位由软件置 1，用于产生一个刹车事件，由硬件自动清 0 0：无动作 1：产生一个刹车事件。此时 CHOPEN=0、BRKIF=1，若使能相应的中断或 DMA，将产生中断和 DMA 请求。
6	TRIGEG	**触发事件生成** 该位由软件置 1，用于产生一个触发事件，由硬件自动清 0 0：无动作 1：TIMx_STS 中的 TRIGIF=1，若使能相应的中断和 DMA，将产生中断和 DMA 请求。
5	COMEG	**COM 事件生成** 该位由软件置 1，硬件自动清 0 0：无动作 1：当寄存器 TIMx_CTR2 中 CHPSEN=1，允许更新 CHxCCEN、CHxNCCEN、

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		CHxOCMSEL 位 注:只对带互补输出的通道有效
4	保留	
2	CH2CCG	**通道 2 捕获比较事件生成**，参考 CH1CCG
1	CH1CCG	**通道 1 捕获比较事件生成** 该位由软件置 1，产生捕获/比较事件，由硬件自动清 0 0：无动作 1：在通道 1 上产生捕获/比较事件 若通道 1 为输出通道: 置位 CH1CCIF，若使能对应的中断和 DMA，将产生响应的中断和 DMA 请求 若通道 1 位输入通道: 当计数器的值被捕获至 TIMx_CH1CCVAL 寄存器；置位 CH1CCIF，若使能对应的中断和 DMA，将产生响应的中断和 DMA 请求。若 CH1CCIF 已经为 1，置位 CH1ICOF。
0	UEG	**更新事件生成** 该位由软件置 1，硬件自动清 0 0：无动作 1：重新初始化计数器 CNT，并且产生一个更新事件。预分频系数保持不变但预分频计数器被清 0。在中央对齐模式下或者 DIR=0(向上计数)，计数器被清 0；若 DIR=1(向下计数)，计数器取 TIMx_UVAL 的值。

15.3.8 TIM15 通道 1 和通道 2 配置寄存器（TIM15_CH12CFGR）

TIM15_CH12CFGR (偏移地址=0x018，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	CH2OCMSEL[2:0]			CH2OCVPEN	CH2OCFEN	CH2FS[1:0]		保留	CH1OCMSEL[2:0]			CH1OCVPEN	CH1OCFEN	CH1FS[1:0]	
CH2ICFLT[3:0]				CH2ICPDIV[1:0]				CH1ICFLT[3:0]				CH1ICPDIV[1:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:15]	保留	
[14:12]	CH2OCMSEL	**通道 2 输出比较模式选择**，参考 CH1OCMSEL
11	CH2OCVPEN	**通道 2 输出比较值预装载使能**，参考 CH1OCVPEN
10	CH2OCFEN	**通道 2 输出比较快速使能**，参考 CH1OCFEN
[9:8]	CH2FS	**通道 2 功能选择** 00：通道 2 被配置为输出

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		01：通道 2 被配置为输入，映射到 CH2 上 10：通道 2 被配置为输入，映射到 CH1 上 11：通道 2 被配置为输入，映射到 TRC 上 注：CH2FS 仅在通道关闭时(TIMx_CCCTR 中的 CH2CCEN=0)才是可写的。
7	保留	
[6:4]	CH1OCMSEL	**通道 1 输出比较模式选择** 该 3 位定义了输出参考信号 CH1OCREF 的行为，而 CH1OCREF 决定了 CH1OC、CH1NOC 的值。 CH1OCREF 是高电平有效，而 CH1OC、CH1NOC 的有效电平取决于 CH1CCP、CH1NCCP 位。 000：冻结。输出比较寄存器 TIMx_CH1CCVAL 与计数器 TIMx_CNT 间的比较对 CH1OCREF 不起作用； 001:匹配时设置通道 1 为有效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CH1CCVAL)相同时，强制 CH1OCREF 为高。 010：匹配时设置通道 1 为无效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CH1CCVAL)相同时，强制 CH1OCREF 为低。 011：翻转。当 TIMx_CH1CCVAL=TIMx_CNT 时，翻转 CH1OCREF 的电平。 100：强制为无效电平。强制 CH1OCREF 为低。 101：强制为有效电平。强制 CH1OCREF 为高。 110：PWM 模式 1－在向上计数时，一旦 TIMx_CNT<TIMx_CH1CCVAL 时，通道 1 为有效电平，否则为无效电平；在向下计数时，TIMx_CNT>TIMx_CH1CCVAL 时通道 1 为无效电平(CH1OCREF=0)，否则为有效电平(CH1OCREF=1)。 111：PWM 模式 2－在向上计数时，一旦 TIMx_CNT<TIMx_CH1CCVAL 时，通道 1 为无效电平，否则为有效电平；在向下计数时，TIMx_CNT>TIMx_CH1CCVAL 时通道 1 为有效电平，否则为无效电平。 注 1：一旦 LCKLV 级别设为 3(TIMx_CHOPR 寄存器中的 LCKLV 位)并且 CH1FS=00(该通道配置成输出)则该位不能被修改。 注 2：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时，CH1OCREF 电平才改变。
3	CH1OCVPEN	**通道 1 输出比较值预装载使能** 0：禁止 TIMx_CH1CCVAL 寄存器的预装载功能，可随时写入 TIMx_CH1CCVAL 寄存器，并且新写入的数值立即起作用。 1：开启 TIMx_CH1CCVAL 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMx_CH1CCVAL 的预装载值在更新事件到来时被加载至缓存寄存器中。 注 1：LCKLV 级别设为 3(TIMx_CHOPR 寄存器中的 LCKLV 位)并且 CH1FS=00(该通道配置成输出)则该位不能被修改。 注 2：仅在单脉冲模式下(TIMx_CTR1 寄存器的 SPEN=1)，可以在未打开预装载寄存器情况下使用 PWM 模式，否则无法确定其行为。
2	CH1OCFEN	**通道 1 输出比较快速使能** 该位用于加快通道输出对触发输入事件的响应。 0：根据计数器与 TIMx_CH1CCVAL 的值，CH1 正常变化，即使触发是打开。触发输入有效沿，到 CH1 输出的最小延时为 5 个时钟周期。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1：触发输入有效沿的作用就像发生了一次比较匹配。因此，CH1OC 被设置为比较电平而与比较结果无关。触发的有效沿和 CH1 输出有效之间的延时被缩短为 3 个时钟周期。CHxOCFEN 只在通道被配置成 PWM1 或 PWM2 模式时起作用。
[1:0]	CH1FS	**通道 1 功能选择** 00：通道 1 被配置为输出 01：通道 1 被配置为输入，映射到 CH1 上 10：通道 1 被配置为输入，映射到 CH2 上 11：通道 1 被配置为输入，映射到 TRC 上 注:CH1FS 仅在通道关闭时(TIMx_CCCTR 中的 CH1CCEN=0)才是可写的。

输入捕获模式

Bit 位	名称	描述
[31:16]	保留	
[15:12]	CH2ICFLT	**通道 2 输入捕获滤波**
[11:10]	CH2ICPDIV	**通道 2 输入捕获预分频**
[9:8]	CH2FS	**通道 2 功能选择** 00：通道 2 被配置为输出 01：通道 2 被配置为输入，映射到 CH2 上 10：通道 2 被配置为输入，映射到 CH1 上 11：通道 2 被配置为输入，映射到 TRC 上 注：CH2FS 仅在通道关闭时(TIMx_CCCTR 中的 CH2CCEN=0)才是可写的。
[7:4]	CH1ICFLT	**通道 1 输入捕获滤波** 定义了 CH1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成，它记录到 N 个事件后会产生一个输出的跳变： 0000：无滤波器，以 f_{DTS} 采样 0001：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=2 0010：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=4 0011：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=8 0100：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=6 0101：采样频率 $f_{SAMPLING}= f_{DTS}/2$，N=8 0110：采样频率 $f_{SAMPLING}= f_{DTS}/4$，N=6 0111：采样频率 $f_{SAMPLING}= f_{DTS}/4$，N=8 1000：采样频率 $f_{SAMPLING}= f_{DTS}/8$，N=6 1001：采样频率 $f_{SAMPLING}= f_{DTS}/8$，N=8 1010：采样频率 $f_{SAMPLING}= f_{DTS}/16$，N=5 1011：采样频率 $f_{SAMPLING}= f_{DTS}/16$，N=6 1100：采样频率 $f_{SAMPLING}= f_{DTS}/16$，N=8 1101：采样频率 $f_{SAMPLING}= f_{DTS}/32$，N=5 1110：采样频率 $f_{SAMPLING}= f_{DTS}/32$，N=6 1111：采样频率 $f_{SAMPLING}= f_{DTS}/32$，N=8
[3:2]	CH1ICPDIV	**通道 1 输入捕获预分频** 这 2 位定义了 CH1 输入的预分频系数。 一旦 CH1CCEN=0(TIMx_CCCTR 寄存器中)，则预分频器复位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获； 01：每 2 个事件触发一次捕获； 10：每 4 个事件触发一次捕获； 11：每 8 个事件触发一次捕获。
[1:0]	CH1FS	**通道 1 功能选择** 00：通道 1 被配置为输出 01：通道 1 被配置为输入，映射到 CH1 上 10：通道 1 被配置为输入，映射到 CH2 上 11：通道 1 被配置为输入，映射到 TRC 上 注：CH1FS 仅在通道关闭时(TIMx_CCCTR 中的 CH1CCEN=0)才是可写的。

15.3.9 TIM15 通道捕获比较控制寄存器（TIM15_CCCTR）

TIM15_CCCTR (偏移地址=0x020，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	CH2NCCP	保留	CH2CCP	CH2CCEN	CH1NCCP	CH1NCCEN	CH1CCP	CH1CCEN
								r/w		r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:8]	保留	
7	CH2NCCP	**通道 2 互补通道捕获比较极性**，参考 CH1NCCP
6	保留	
5	CH2CCP	**通道 2 捕获比较极性**，参考 CH1CCP
4	CH2CCEN	**通道 2 捕获比较使能**，参考 CH1CCEN
3	CH1NCCP	**通道 1 互补通道捕获比较极性** CH1 通道配置为输出 0：CH1NOC 高电平有效 1：CH1NOC 低电平有效 注:当 LCKLV 级别(TIMx_CHOPR 中 LCKLV)设定为 3 或者 2 且 CH1FS=00(通道配置为输出)则该位不能被修改
2	CH1NCCEN	**通道 1 互补通道捕获比较使能** 0:关闭－ CH1NOC 禁止输出,因此 CH1NOC 的输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1CCEN 位的值。 1：开启－ CH1NOC 信号输出到对应的输出引脚，其输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1CCEN 位的值。
1	CH1CCP	**通道 1 捕获比较极性**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		CH1 通道配置为输出 0：CH1OC 高电平有效 1：CH1OC 低电平有效 CH1 通道配置为输入 CH1NCCP/CH1CCP 位选择在触发或者捕获模式下 CH1FP1 和 CH2FP1 的有效极性 00：不翻转/上升沿有效。 01：翻转/下降沿有效。 10：保留 11：不翻转/上升沿和下降沿都有效 注：只要配置 LCKLV 为 2 或 3 级，该位就不可写（TIMx_CHOPR 寄存器中 LCKLV）。
0	CH1CCEN	**通道 1 捕获比较使能** CH1 通道配置为输出 0：关闭－ CH1OC 禁止输出，因此 CH1NOC 的输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1NCCEN 位的值。 1：开启－CH1OC 信号输出到对应的输出引脚，其输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1NCCEN 位的值。 CH1 通道配置为输入 该位决定了计数器的值是否能捕获入 TIMx_CH1CCVAL 寄存器。 0：捕获禁止； 1：捕获使能。

表 46 带刹车功能的互补输出 CHxOC 和 CHxNOC 输出控制位

控制位					输出状态	
CHOPEN 位	**IDLEOS 位**	**RUNOS 位**	**CHxCCEN 位**	**CHxNCCEN 位**	**CHxOC 输出状态**	**CHxNOC 输出状态**
1	X	0	0	0	输出已禁用（不是由计时器驱动） CHxOC = 0， CHxOC_EN = 0	输出已禁用（不是由计时器驱动） CHxNOC = 0， CHxNOC _EN = 0
		0	0	1	输出已禁用（不是由计时器驱动） CHxOC = 0， CHxOC_EN = 0	CHxOCREF + Polarity CHxNOC =CHxOCREF xor CHxNCCP, CHxNOC _EN=1
		0	1	0	CHxOCREF + Polarity CHxOC=CHxOCREF xor CHxCCP， CHxOC_EN=1	输出已禁用（不是由计时器驱动） CHxNOC = 0， CHxNOC _EN = 0
		0	1	1	CHxOCREF + Polarity + 死区时间 CHxOC_EN=1	CHxOCREF 反相 (not CHxOCREF) +

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

						Polarity + dead-time CHxNOC _EN=1
		1	0	0	输出已禁用（不是由计时器驱动）CHxOC=CHxCCP, CHxOC_EN=0	输出已禁用（不是由计时器驱动）CHxNOC =CHxNCCP, CHxNOC _EN=0
		1	0	1	关闭状态（输出使能且无效状态）CHxOC= CHxCCP，CHxOC_EN = 1	CHxOCREF + Polarity CHxNOC =CHxOCREF xor CHxNCCP, CHxNOC _EN=1
		1	1	0	CHxOCREF + Polarity CHxOC=CHxOCREF xor CHxCCP, CHxOC_EN=1	关闭状态（输出使能且无效状态）CHxNOC =CHxNCCP, CHxNOC _EN=1
		1	1	1	CHxOCREF + Polarity + dead-time CHxOC_EN=1	CHxOCREF 反相 (not CHxOCREF) + Polarity + dead-time CHxNOC _EN=1
0	0	X	0	0	输出已禁用（不是由计时器驱动）CHxOC=CHxCCP, CHxOC_EN=0	输出已禁用（不是由计时器驱动）CHxNOC =CHxNCCP, CHxNOC _EN=0
	0		0	1	输出已禁用（不是由计时器驱动）异步：CHxOC＝CHxCCP，CHxOC_EN＝0，CHxNOC＝CHxNCCP，CHxNOC _EN＝0，如果时钟存在：假设 IVOx 和 IVOxN 与 CHxOC 和 CHxNOC 不相同且不全部处于有效状态，则在死区时间后 CHxOC= IVOx 和 CHxNOC = IVOxN。	
	0		1	0		
	0		1	1		
	1		0	0	输出已禁用 (不是由计时器驱动) CHxOC=CHxCCP, CHxOC_EN=0	输出已禁用 (不是由计时器驱动) CHxNOC =CHxNCCP, CHxNOC _EN=0
	1		0	1	关闭状态（输出使能且无效状态）异步：CHxOC= CHxCCP， CHxOC_EN = 1，	
	1		1	0		

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

	1		1	1	CHxNOC = CHxNCCP，CHxNOC _EN = 1 如果时钟存在：假设 IVOx 和 IVOxN 与 CHxOC 和 CHxNOC 不相同且不全部处于有效状态，则在死区时间后 CHxOC = IVOx 和 CHxNOC = IVOxN。

1.当输出通达未使能（CCxE = CCxNE = 0），必须保持 IVOx，IVOxN，CCxP 和 CCxNP 位清零
注：连接到互补通道 CHxOC 和 CHxNOC 的外部 I/O 引脚的状态取决于 CHxOC 和 CHxNOC 通道状态以及 GPIO 配置。

15.3.10　TIM15 计数器（TIMx_CNT）

对该寄存器的写入操作只支持半字或字写入。

TIM15_CNT (偏移地址=0x024，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CNT	**计数器**

15.3.11　TIM15 预分频（TIM15_PDIV）

TIM15_PDIV (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDIV[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	PDIV	**预分频** 计数器的时钟频率(f_{CLK_CNT})等于 f_{CLK_PDIV}/(PDIV+1)。当更新事件产生时，PDIV 的值被装入预分频寄存器的缓冲器；更新事件包括写 TIMx_SWEGR 中的 UEG

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		位或工作在复位模式将计数器清 0.

15.3.12　TIM15 计数器更新寄存器（TIM15_UVAL）

TIM15_UVAL (偏移地址=0x02C，复位值=0x0000FFFF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	UVAL	**自动重载值** 当自动重载值 UVAL 为 0 时，计数器不工作

15.3.13　TIM15 计数器更新重复寄存器（TIM15_UVALREP）

TIM15_UVALREP (偏移地址=0x030，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	UVALREP[15:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[7:0]	UVALREP	**计数器更新重复次数** 开启了预装载功能后，这些位允许用户设置比较寄存器的更新速率(即周期性地从预装载寄存器传输到当前寄存器)；如果允许产生更新中断，则会同时影响产生更新中断的速率。 每次向下计数器 UVALREP_CNT 达到 0，会产生一个更新事件并且计数器 UVALREP_CNT 重新从 UVALREP 值开始计数。由于 UVALREP_CNT 只有在周期更新事件发生时才重载 UVALREP 值，因此对 TIMx_UVALREP 寄存器写入的新值只在下次周期更新事件发生时才起作用。这意味着在 PWM 模式中，(UVALREP+1)对应着： — 在边沿对齐模式下，PWM 周期的数目； — 在中央对齐模式下，PWM 半周期的数目；

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15.3.14　TIM15 通道 1 捕获比较寄存器（TIM15_CH1CCVAL）

TIM15_CH1CCVAL (偏移地址=0x034，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CH1CCVAL	**通道 1 捕获比较值** 若通道 1 配置为输出： CH1CCVAL 包含了装入当前捕获比较 1 寄存器的值(预装载值)。 如果 TIMx_CH12CFGR 寄存器(CH1OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获比较 1 寄存器中。当前捕获/比较寄存器同计数器 TIMx_CNT 比较，并在 CH1OC 端口上产生输出信号。 若通道 1 配置为输入： CH1CCVAL 包含了由上一次输入捕获 1 事件传输的计数器值。

15.3.15　TIM15 通道 2 捕获比较寄存器（TIM15_CH2CCVAL）

TIM15_CH2CCVAL (偏移地址=0x038，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH2CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CH2CCVAL	**通道 2 捕获比较值** 若通道 2 配置为输出： CH2CCVAL 包含了装入当前捕获比较 2 寄存器的值(预装载值)。 如果 TIMx_CH12CFGR 寄存器(CH2OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获比较 2 寄存器中。当前捕获/比较寄存器同计数器 TIMx_CNT 比较，并在 CH2 端口上产生输出信号。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		若通道 2 配置为输入： CH2CCVAL 包含了由上一次输入捕获 2 事件传输的计数器值。

15.3.16　TIM15 通道输出保护寄存器（TIM15_CHOPR）

TIM15_CHOPR (偏移地址=0x044，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHOPEN	CHOPAEN	BRKPOL	BRKEN	RUNOS	IDLEOS	LCKLV[1:0]		DTCFG[7:0]							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
15	CHOPEN	**通道引脚输出使能** 一旦刹车输入有效，该位被硬件异步清 0。根据 CHOPAEN 位的值，该位可以由软件置 1 或根据 CHOPAEN 位值被自动置 1。它仅对配置为输出的通道有效。 0：禁止 CHxOC 和 CHxNOC 输出或强制为空闲状态； 1：如果设置了相应的使能位(TIMx_CCCTR 寄存器的 CHxCCEN、CHxNCCEN 位)，则开启 CHxOC 和 CHxNOC 输出。
14	CHOPAEN	**输出引脚自动使能** 0：CHOPEN 只能被软件置 1 1：CHOPEN 能被软件置 1 或在下一个更新事件被自动置 1(如果刹车输入无效) 注：LCKLV 级别设置为 1，则该位不能被修改
13	BRKPOL	**刹车极性** 0：刹车输入低电平有效 1：刹车输入高电平有效 注：当 LCKLV 级别设为 1 时，则该位不能被修改
12	BRKEN	**刹车使能** 0：刹车输入禁止 1：刹车输入允许 注：当 LCKLV 级别设为 1 时，则该位不能被修改
11	RUNOS	**运行模式的关闭状态** 该位用于当 CHOPEN=1 且通道为互补输出时。没有互补输出的定时器中不存在 RUNOS 位。 0：当定时器不工作时，禁止 CHxOC/CHxNOC 输出(CHxOC/CHxNOC 使能输出信号=0)； 1：当定时器不工作时，一旦 CHxCCEN=1 或 CHxNCCEN=1，首先开启 CHxOC/CHxNOC 并输出无效电平，然后置 CHxOC/CHxNOC 使能输出信号=1。 注：一旦 LCKLV 级别设为 2，则该位不能被修改。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

10	IDLEOS	**空闲模式的关闭状态** 该位用于当 CHOPEN=0 且通道设为输出时。 0：当定时器不工作时，禁止 CHxOC/CHxNOC 输出(CHxOC/CHxNOC 使能输出信号=0)； 1：当定时器不工作时，一旦 CHxCCEN=1 或 CHxNCCEN=1 ，CHxOC/CHxNOC 首先输出其空闲电平，然后 CHxOC/CHxNOC 使能输出信号=1。 注：一旦 LCKLV 级别设为 2，则该位不能被修改。
[9:8]	LCKLV	**锁定层级控制** 该位提供写保护 00：锁定关闭，寄存器无写保护 01：锁定级别 1，不能够写入 TIMx_CHOPR 寄存器中的 DTCFG、BRKPOL、BRKEN、CHOPAEN 位和 TIMx_CTR2 寄存器中的 IVOx 和 IVOxN。 10：锁定级别 2,不能够写入锁定级别 1 中的寄存器位，同时也不可以写入通道的极性位(当相关的通道 CHxFS 设置为输出，通道的极性位是 TIMx_CCCTR 中的 CHxCCP 和 CHxNCCP)以及 RUNOS 和 IDLEOS 位 11：锁定级别 3，不能写入锁定级别 2 中的寄存器位，同时也不可以写入通道控制位(当相关的通道 CHxFS 设置为输出，通道的控制位是 TIMx_CHxxCFGR 寄存器中的 CHxOCMSEL 和 CHxOCVPEN) 注：在系统复位之后，LCKLV 只能写一次，写入的内容将冻结直到复位
[7:0]	DTCFG	**死区时间配置** 定义了插入互补输出的死区持续时间，假设 DT 表示其持续时间： DTCFG[7：5]=0xx => DT=DTCFG[7：0] × Tdtg，Tdtg = TDTS； DTCFG[7：5]=10x => DT=(64+DTCFG[5：0]) × Tdtg，Tdtg = 2 × T_{DTS} DTCFG[7：5]=110 => DT=(32+DTCFG[4：0]) × Tdtg，Tdtg = 8 × T_{DTS} DTCFG[7：5]=111 => DT=(32+DTCFG[4：0]）× Tdtg，Tdtg = 16 × T_{DTS} 注：一旦 LCKLV 级别设为 1、2 或 3，则不能修改这些位。

15.3.17 TIM15 DMA 读写配置（TIM15_DMAACR）

TIM15_DMAACR (偏移地址=0x048，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	DMATL[4:0]					保留	保留	保留	DMASA[4:0]				
			r/w	r/w	r/w	r/w	r/w				r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:13]	保留	
[12:8]	DMATL	**DMA 传输长度** 这些位定义了 DMA 的传输次数(当对 TIMx_DMAIR 寄存器进行读或写时，定时器则认为进行一次突发传输)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		00000：1 次传输 00001：2 次传输 00010：3 次传输 ..... 10001：18 次传输
[7:5]	保留	
[4:0]	DMASA	**DMA 起始地址** 这些位定义了 DMA 传输的起始地址(当对 TIMx_DMAIR 寄存器进行读或写时)，DMASA 定义为从 TIMx_CTR1 寄存器所在地址开始的偏移量： 00000：TIMx_CTR1 00001：TIMx_CTR2 00010：TIMx_SMCFG ...

15.3.18　TIM15 DMA 接口寄存器（TIM15_DMAIR）

TIM15_DMAAIR (偏移地址=0x04C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAI[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	DMAI	**DMA 接口** 对 TIMx_DMAIR 寄存器的读写会对导致对下面的地址所在寄存器的访问(TIMx_CTR1 地址)+(DMASA +DMA 索引)x4,其中 TIMx_CTR1 地址是该控制寄存器所在的地址，DMASA 是 DMAACR 中定义的基地址，DMA 索引是由 DMA 自动控制的偏移量，它取决于 TIMx_DMAACR 中定义的 DMATL

15.4

TIM16 和 TIM17 寄存器

15.4.1 寄存器概览

表 47 TIM16 和 TIM17 寄存器概览

名称	偏移地址	描述	复位值
TIMx_CTR1	0x000	TIMx 控制寄存器 1	0x00000000
TIMx _CTR2	0x004	TIMx 控制寄存器 2	0x00000000
TIMx _SMCFG	0x008	TIMx 从机模式配置寄存器	0x00000000
TIMx DIEN	0x00C	TIMx DMA 和中断请求使能寄存器	0x00000000
TIMx _STS	0x010	TIMx 状态寄存器	0x00000000

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

TIMx _SWEGR	0x014	TIMx 软件事件生成寄存器	0x00000000
TIMx _CH12CFGR	0x018	TIMx 通道 1 和通道 2 配置寄存器	0x00000000
TIMx _CCCTR	0x020	TIMx 通道捕获比较控制寄存器	0x00000000
TIMx _CNT	0x024	TIMx 计数器	0x00000000
TIMx _PDIV	0x028	TIMx 预分频	0x00000000
TIMx _UVAL	0x02C	TIMx 计数器更新寄存器	0x0000FFFF
TIMx _UVALREP	0x030	TIMx 计数器更新重复寄存器	0x00000000
TIMx _CH1CCVAL	0x034	TIMx 通道 1 捕获比较寄存器	0x00000000
TIMx _CHOPR	0x044	TIMx 通道输出保护寄存器	0x00000000
TIMx _DMAACR	0x048	TIMx DMA 读写配置寄存器	0x00000000
TIMx _DMAIR	0x04C	TIMx DMA 接口寄存器	0x00000000

15.4.2 TIM16 和 TIM17 控制寄存器 1（TIM16_CTR1 和 TIM17_CTR1）

对该寄存器的写入操作只支持半字或字写入。

TIMx_CTR1 (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	CKDIV[1:0]		UVALSEN	保留	保留	保留	SPEN	URSEL	UPD	CEN
						r/w	r/w	r/w				r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:10]	保留	
[9:8]	CKDIV	**时钟分频** 用于确定死区时间、采样时钟和计数器输入时钟之间的比例. 00：Tclk_dts=Tclk_int 01：Tclk_dts=2xTclk_int 10：Tclk_dts=4xTclk_int 11：保留
7	UVALSEN	**UVAL 影子寄存器使能** 0：TIMx_UVAL 寄存器没有缓冲器 1：TIMx_UVAL 寄存器有缓冲器
[6:4]	保留	
3	SPEN	**单脉冲使能** 0：更新事件发生时，计数器不停止 1：更新事件发生时，计数器停止计数（清除 CEN 位）
2	URSEL	**更新请求过滤**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0：如果使能中断或 DMA，下述任意一个事件产生都可以产生更新中断或 DMA 请求 一 计数器溢出 一 软件设置 UEG 位 一 从机模式控制器产生的更新 1：如果使能中断或 DMA，只在计数器上溢/下溢时产生更新中断或 DMA 请求
1	UPD	**禁止更新** 0：UEV 使能。以下事件之一发生时，将产生更新事件： 一 计数器上溢/下溢 一 写 UEG 位 一从机模式控制产生的更新 具有缓存的寄存器将装入他们的预装载值 1：禁止 UEV。不产生更新事件，影子寄存器(UVAL、PDIV、CHxCCVAL)保持它们的值。如果写 UEG 位或从机模式控制器收到一个硬件复位，则计数器和预分频器被重新初始化。
0	CEN	**计数器使能** 0：禁止计数器 1：使能计数器

15.4.3 TIM16 和 TIM17 控制寄存器 2（TIM16_CTR2 和 TIM17_CTR2）

TIMx_CTR2 (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	IVO1N	IVO1	保留	保留	保留	保留	MMTOC	CHPUS	保留	CHPSEN
						r/w	r/w					r/w	r/w		r/w

Bit 位	名称	描述
[31:10]	保留	
9	IVO1N	**通道 1 互补输出空闲值** 0：当 CHOPEN=0，死区时间后 CH1NOC=0 1：当 CHOPEN=0，死区时间后 CH1NOC=1 注意：只要配置锁定级别为 1、2 或者 3 级时，该位不可以被修改（TIMx_CHOPR 寄存器中的 LCKLV 位）
8	IVO1	**通道 1 输出空闲值** 0：当 CHOPEN=0，如果有 CH1NOC，死区时间后 CH1OC=0 1：当 CHOPEN=0，如果有 CH1NOC，死区时间后 CH1OC=1

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		注意：只要配置锁定级别为 1、2 或者 3 级时，该位不可以被修改（TIMx_CHOPR 寄存器中的 LCKLV 位）
[7:4]	保留	
3	CHDMARS	**通道 DMA 请求源** 0：当发生 CHx 事件时，送出 CHx 的 DMA 请求 1：当发生更新事件时，送出 CHx 的 DMA 请求
2	CHPUS	**通道预装载更新源** 0：如果通道配置预装载使能(CHPSEN=1)，只能通过写 COMEG 位来更新 1：如果通道配置预装载使能(CHPSEN=1)，可以通过写 COMEG 位或 TRGI 上的上升沿来更新
1	保留	
0	CHPSEN	**通道配置预装载使能** 0：CHxCCEN、CHxNCCEN、CHxOCMSEL 不是预装载的 1：CHxCCEN、CHxNCCEN、CHxOCMSEL 是预装载的，该位置位后，只有在发生 COM 事件(写 COMEG 位或 TRGI 上升沿，取决于 CHPUS 位)时被更新 注：该位对具有互补输出的通道有效

15.4.4 TIM16 和 TIM17 DMA/中断请求使能寄存器（TIM16_DIEN 和 TIM17_DIEN）

TIMx_DIEN (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	CH1DEN	UPDEN	BRKINTEN	保留	COMINTEN	保留	保留	保留	CH1INTEN	UPINTEN
						r/w	r/w	r/w	r/w	r/w				r/w	r/w

Bit 位	名称	描述
[31:10]	保留	
9	CH1DEN	**通道 1 DMA 请求使能** 0：通道 1DMA 请求禁止 1：通道 1DMA 请求允许
8	UPDEN	**更新 DMA 请求使能** 0：更新 DMA 请求禁止 1：更新 DMA 请求允许
7	RKINTEN	**刹车中断使能** 0：刹车中断禁止 1：刹车中断允许
6	保留	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

5	COMINTEN	**COM 事件中断使能** 0：COM 事件中断禁止 1：COM 事件中断允许
[4:2]	保留	
1	CH1INTEN	**通道 1 中断使能** 0：通道 1 中断禁止 1：通道 1 中断允许
0	UPINTEN	**更新中断使能** 0：更新中断禁止 1：更新中断允许

15.4.5 TIM16 和 TIM17 状态寄存器（TIM16_STS 和 TIM17_STS）

TIMx_STS (偏移地址=0x010，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	CH1ICOF	保留	BRKIF	保留	CHCOMIF	保留	保留	保留	CH1CCIF	UPIF
						r/w0c		r/w0c		r/w0c				r/w0c	r/w0c

Bit 位	名称	描述
[31:10]	保留	
9	CH1ICOF	**通道 1 输入捕获溢出** 0：无重复捕获产生 1：当 CH1CCIF 位为 1 时，通道再次发生输入捕获。
8	保留	
7	BRKIF	**刹车中断标志** 0：无刹车事件产生 1：检测到刹车输入信号有效电平
6	保留	
5	CHCOMIF	**通道通讯事件中断标志** 一旦产生 COM 事件(当捕获/比较控制位:CHxCCEN、CHxNCCEN、CHxOCMSEL 已被更新)该位由置 1，它由软件清 0。 0：无 COM 事件发生 1：COM 中断等待响应
[4:2]	保留	
1	CH1CCIF	**通道 1 捕获比较中断标志** 如果通道 1 配置为输出模式: 当计数器的值和比较值匹配时该位由硬件置 1，但是中央对齐模式除外(参考

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		TIMx_CTR1 中的 CPS 位)。它由软件清 0。 0：无匹配发生 1：TIMx_CNT 和 TIMx_CH1CCVAL 的值匹配。当 TIMx_CH1CCVAL 的值大于 TIMx_UVAL 的值时，在向上或中央对齐模式计数器溢出，或向下计数模式时计数器下溢，CH1CCIF 置高。 如果通道 1 配置为输入模式: 当发生捕获时，该位由硬件置 1，通过软件清 0 或者通过读取 TIMx_CH1CCVAL 寄存器清 0 0：无输入捕获产生 1：计数器的值捕获到 TIMx_CH1CCVAL 寄存器
0	UPIF	**更新中断标志** 当产生更新事件时该位由硬件置 1，软件清 0 0：无更新事件产生 1：产生更新中断等待响应 —若 TIMx_CTR1 寄存器中 UPD=0，当重复计数器计数值上溢 —若 TIMx_CTR1 寄存器中的 UPD=0，URSEL=0，当写 TIMx_SWEGR 寄存器中的 UEG 位时产生更新事件，通过软件对计数器 CNT 重新初始化。

15.4.6 TIM16 和 TIM17 软件事件生成寄存器（TIM16_SWEGR 和 TIM17_SWEGR）

TIMx_SWEGR(偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	BRKEG	保留	COMEG	保留	保留	保留	CH1CCG	UEG
								r/w		r/w				r/w	r/w

Bit 位	名称	描述
[31:8]	保留	
7	BRKEG	**刹车事件生成** 该位由软件置 1，用于产生一个刹车事件，由硬件自动清 0 0：无动作 1：产生一个刹车事件。此时 CHOPEN=0、BRKIF=1，若使能相应的中断和 DMA，将产生中断和 DMA 请求。
6	保留	
5	COMEG	**COM 事件生成** 该位由软件置 1，硬件自动清 0 0：无动作 1：当寄存器 TIMx_CTR2 中 CHPSEN=1，允许更新 CHxCCEN、CHxNCCEN、CHxOCMSEL 位 注:只对带互补输出的通道有效

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

[4:2]	保留	
1	CH1CCG	**通道 1 捕获比较事件生成** 该位由软件置 1，产生捕获/比较事件，由硬件自动清 0 0：无动作 1：在通道 1 上产生捕获/比较事件 若通道 1 为输出通道: 置位 CH1CCIF，若使能对应的中断和 DMA，将产生响应的中断和 DMA 请求 若通道 1 位输入通道: 当计数器的值被捕获至 TIMx_CH1CCVAL 寄存器；置位 CH1CCIF，若使能对应的中断和 DMA，将产生响应的中断和 DMA 请求。若 CH1CCIF 已经为 1，置位 CH1ICOF。
0	UEG	**更新事件生成** 该位由软件置 1，硬件自动清 0 0：无动作 1：重新初始化计数器 CNT，并且产生一个更新事件。预分频系数保持不变但预分频计数器被清 0。在中央对齐模式下或者 DIR=0(向上计数)，计数器被清 0；若 DIR=1(向下计数)，计数器取 TIMx_UVAL 的值。

15.4.7 TIM16 和 TIM17 通道 1 和通道 2 配置寄存器（TIM16_CH12CFGR 和 TIM17_CH12CFGR）

通道可配置为输入（捕获模式）或输出（比较模式）。 通过配置相应的 CHxFS 位来定义通道的方向。 在输入和输出模式下，寄存器位具有不同的功能。 对于给定的寄存器位，通道配置为输出时，CHxOC 描述其功能，当通道配置为输入时，CHxIC 描述其功能，所以配置时候需要注意，寄存器的相同位在输入和输出模式下可能具有不同的含义。。

TIMx_CH12CFGR (偏移地址=0x018，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	CH1OCMSEL[2:0]			CH1OCVPEN	CH1OCFEN	CH1FS[1:0]	
保留	保留	保留	保留	保留	保留	保留	保留	CH1ICFLT[3:0]				CH1ICPDIV[1:0]			
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

输出模式

Bit 位	名称	描述
[31:7]	保留	
[6:4]	CH1OCMSEL	**通道 1 输出比较模式选择** 该 3 位定义了输出参考信号 CH1OCREF 的行为，而 CH1OCREF 决定了 CH1OC、CH1NOC 的值。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		CH1OCREF 是高电平有效，而 CH1OC、CH1NOC 的有效电平取决于 CH1CCP、CH1NCCP 位。 000：冻结。输出比较寄存器 TIMx_CH1CCVAL 与计数器 TIMx_CNT 间的比较对 CH1OCREF 不起作用； 001:匹配时设置通道 1 为有效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CH1CCVAL)相同时，强制 CH1OCREF 为高。 010：匹配时设置通道 1 为无效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CH1CCVAL)相同时，强制 CH1OCREF 为低。 011：翻转。当 TIMx_CH1CCVAL=TIMx_CNT 时，翻转 OC1REF 的电平。 100：强制为无效电平。强制 CH1OCREF 为低。 101：强制为有效电平。强制 CH1OCREF 为高。 110：PWM 模式 1－在向上计数时，一旦 TIMx_CNT<TIMx_CH1CCVAL 时，通道 1 为有效电平，否则为无效电平；在向下计数时，TIMx_CNT>TIMx_CH1CCVAL 时通道 1 为无效电平(CH1OCREF=0)，否则为有效电平(CH1OCREF=1)。 111：PWM 模式 2－在向上计数时，一旦 TIMx_CNT<TIMx_CH1CCVAL 时，通道 1 为无效电平，否则为有效电平；在向下计数时，TIMx_CNT>TIMx_CH1CCVAL 时，通道 1 为有效电平，否则为无效电平。 注 1：一旦 LCKLV 级别设为 3(TIMx_CHOPR 寄存器中的 LCKLV 位)并且 CH1FS=00(该通道配置成输出)则该位不能被修改。 注 2：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时，CH1OCREF 电平才改变。
3	CH1OCVPEN	**通道 1 输出比较值预装载使能** 0：禁止 TIMx_CH1CCVAL 寄存器的预装载功能，可随时写入 TIMx_CH1CCVAL 寄存器，并且新写入的数值立即起作用。 1：开启 TIMx_CH1CCVAL 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMx_CH1CCVAL 的预装载值在更新事件到来时被加载至缓存寄存器中。 注 1：LCKLV 级别设为 3(TIMx_CHOPR 寄存器中的 LCKLV 位)并且 CH1FS=00(该通道配置成输出)则该位不能被修改。 注 2：仅在单脉冲模式下(TIMx_CTR1 寄存器的 SPEN=1)，可以在未打开预装载寄存器情况下使用 PWM 模式，否则无法确定其行为。
2	CH1OCFEN	**通道 1 输出比较快速使能** 该位用于加快通道输出对触发输入事件的响应。 0：根据计数器与 TIMx_CH1CCVAL 的值，CH1 正常变化，即使触发是打开。触发输入有效沿，到 CH1 输出的最小延时为 5 个时钟周期。 1：有效沿的作用就像发生了一次比较匹配。因此，OC 被，CH1OC 设置为比较电平而与比较结果无关。触发的有效沿和 CH1 输出有效之间的延时被缩短为 3 个时钟周期。CHxOCFEN 只在通道被配置成 PWM1 或 PWM2 模式时起作用。
[1:0]	CH1FS	**通道 1 功能选择** 00：通道 1 被配置为输出 01：通道 1 被配置为输入，映射到 CH1 上 10：通道 1 被配置为输入，映射到 CH2 上

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		11：通道 1 被配置为输入，映射到 TRC 上 注:CH1FS 仅在通道关闭时(TIMx_CCCTR 中的 CH1CCEN=0)才是可写的。

输入模式

Bit 位	名称	描述
[31:8]	保留	
[7:4]	CH1ICFLT	**通道 1 输入捕获滤波** 定义了 CH1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成，它记录到 N 个事件后会产生一个输出的跳变： 0000：无滤波器，以 f_{DTS} 采样 0001：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=2 0010：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=4 0011：采样频率 $f_{SAMPLING}=f_{CLK_INT}$，N=8 0100：采样频率 $f_{SAMPLING}=f_{DTS}/2$，N=6 0101：采样频率 $f_{SAMPLING}= f_{DTS}/2$，N=8 0110：采样频率 $f_{SAMPLING}= f_{DTS}/4$，N=6 0111：采样频率 $f_{SAMPLING}= f_{DTS}/4$，N=8 1000：采样频率 $f_{SAMPLING}= f_{DTS}/8$，N=6 1001：采样频率 $f_{SAMPLING}= f_{DTS}/8$，N=8 1010：采样频率 $f_{SAMPLING}= f_{DTS}/16$，N=5 1011：采样频率 $f_{SAMPLING}= f_{DTS}/16$，N=6 1100：采样频率 $f_{SAMPLING}= f_{DTS}/16$，N=8 1101：采样频率 $f_{SAMPLING}= f_{DTS}/32$，N=5 1110：采样频率 $f_{SAMPLING}= f_{DTS}/32$，N=6 1111：采样频率 $f_{SAMPLING}= f_{DTS}/32$，N=8
[3:2]	CH1ICPDIV	**通道 1 输入捕获预分频** 这 2 位定义了 CH1 输入的预分频系数。 一旦 CH1CCEN=0(TIMx_CCCTR 寄存器中)，则预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获； 01：每 2 个事件触发一次捕获； 10：每 4 个事件触发一次捕获； 11：每 8 个事件触发一次捕获。
[1:0]	CH1FS	**通道 1 功能选择** 00：通道 1 被配置为输出 01：通道 1 被配置为输入，映射到 CH1 上 10：通道 1 被配置为输入，映射到 CH2 上 11：通道 1 被配置为输入，映射到 TRC 上 注：CH1FS 仅在通道关闭时(TIMx_CCCTR 中的 CH1CCEN=0)才是可写的。

15.4.8 TIM16 和 TIM17 通道捕获比较控制寄存器（TIM16_CCCTR 和 TIM17_CCCTR）

TIMx_CCCTR (偏移地址=0x020，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	CH1NCCP	CH1NCCEN	CH1CCP	CH1CCEN
												r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:4]	保留	
3	CH1NCCP	**通道 1 互补通道捕获比较极性** 0：CH1NOC 高电平有效 1：CH1NOC 低电平有效 注:当 LCKLV 级别(TIMx_CHOPR 中 LCKLV)设定为 3 或者 2 且 CH1FS=00(通道配置为输出)则该位不能被修改
2	CH1NCCEN	**通道 1 互补通道捕获比较使能** 0:关闭－ CH1NOC 禁止输出,因此 CH1NOC 的输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1CCEN 位的值。 1：开启－CH1NOC 信号输出到对应的输出引脚，其输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1CCEN 位的值。
1	CH1CCP	**通道 1 捕获比较极性** CH1 通道配置为输出 0：CH1OC 高电平有效 1：CH1OC 低电平有效 CH1 通道配置为输入 CH1NCCP/CH1CCP 位选择在触发或者捕获模式下 CH1FP1 和 CH2FP1 的有效极性 00：不翻转/上升沿有效。 01：不翻转/下降沿有效 10：保留 11：不翻转/上升沿和下降沿都有效。 注：只要编程配置了 LCKLV 2 或 3 级，该位就不可写（在 TIMx_CHOPR 寄存器中 LCKLV 位）。
0	CH1CCEN	**通道 1 捕获比较使能** CH1 通道配置为输出 0：关闭－ CH1OC 禁止输出，因此 CH1NOC 的输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1NCCEN 位的值。 1：开启－ CH1OC 信号输出到对应的输出引脚，其输出电平依赖于 CHOPEN、IDLEOS、RUNOS、IVO1、IVO1N 和 CH1NCCEN 位的值。 CH1 通道配置为输入 该位决定了计数器的值是否能捕获入 TIMx_CH1CCVAL 寄存器。 0：捕获禁止； 1：捕获使能。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

表 48 带刹车功能的互补 CHxOC 和 CHxNOC 通道的输出控制位

控制位					输出状态	
CHOPEN 位	IDLEOS 位	RUNOS 位	CHxCCEN 位	CHxNCCEN 位	CHxOC 输出状态	CHxNOC 输出状态
1	X	0	0	0	输出已禁用（不是由计时器驱动） CHxOC = 0， CHxOC_EN = 0	输出已禁用（不是由计时器驱动） CHxNOC = 0， CHxNOC_EN = 0
		0	0	1	输出已禁用（不是由计时器驱动） CHxOC = 0， CHxOC_EN = 0	CHxOCREF + Polarity CHxNOC=CHxOCREF xor CHxNCCP, CHxNOC_EN=1
		0	1	0	CHxOCREF + Polarity CHxOC=CHxOCREF xor CHxCCP, CHxOC_EN=1	输出已禁用（不是由计时器驱动） CHxNOC = 0， CHxNOC_EN = 0
		0	1	1	CHxOCREF + Polarity + 死区时间 CHxOC_EN=1	CHxOCREF 反相 (not CHxOCREF) + Polarity + dead-time CHxNOC_EN=1
		1	0	0	输出已禁用（不是由计时器驱动） CHxOC=CHxCCP, CHxOC_EN=0	输出已禁用（不是由计时器驱动） CHxNOC=CHxNCCP, CHxNOC_EN=0
		1	0	1	关闭状态（输出使能且无效状态） CHxOC = CHxCCP， CHxOC_EN = 1	CHxOCREF + Polarity CHxNOC=CHxOCREF xor CHxNCCP, CHxNOC_EN=1
		1	1	0	CHxOCREF + Polarity CHxOC=CHxOCREF xor CHxCCP, CHxOC_EN=1	关闭状态（输出使能且无效状态） CHxNOC=CHxNCCP, CHxNOC_EN=1
		1	1	1	OCREF + Polarity + dead-time CHxOC_EN=1	与 CHxOCREF 相互补 (not CHxOCREF) + Polarity + dead-time CHxNOC_EN=1

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

0	0	X	0	0	输出已禁用(不是由计时器驱动） CHxOC=CHxCCP, CHxOC_EN=0	输出已禁用（不是由计时器驱动） CHxNOC=CHxNCCP, CHxNOC_EN=0
	0		0	1	输出已禁用（不是由计时器驱动） 异步：CHxOC＝CHxCCP，CHxOC_EN＝0，CHxNOC＝CHxNCCP，CHxNOC_EN＝0，如果时钟存在：假设 IVOx 和 IVOxN 与 CHxOC 和 CHxNOC 不相同且不全部处于有效状态，则在死区时间后 CHxOC＝IVOx 和 CHxNOC＝IVOxN。	
	0		1	0		
	0		1	1		
	1		0	0	输出已禁用 (不是由定时器驱动) CHxOC =CHxCCP, CHxOC _EN=0	输出已禁用(不是由定时器驱动) CHxNOC=CHxNCCP, CHxNOC_EN=0
	1		0	1	关闭状态（输出使能且无效状态）异步：CHxOC ＝ CHxCCP，CHxOC _EN ＝ 1，CHxNOC＝CHxNCCP，CHxNOC_EN＝1 如果时钟存在：假设 IVOx 和 IVOxN 与 CHxOC 和 CHxNOC 不相同且不全部处于有效状态，则在死区时间后 CHxOC＝IVOx 和 CHxNOC＝IVOxN。	
	1		1	0		
	1		1	1		

15.4.9 TIM16 和 TIM17 计数器（TIM16_CNT 和 TIM17_CNT）

对该寄存器的写入操作只支持半字或字写入。

TIMx_CNT (偏移地址=0x024，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CNT	计数器

15.4.10 TIM16 和 TIM17 预分频（TIM16_PDIV 和 TIM17_PDIV）

TIMx_PDIV (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDIV[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	PDIV	**预分频** 计数器的时钟频率(f_{CLK_CNT})等于 f_{CLK_PDIV}/(PDIV+1)。当更新事件产生时，PDIV 的值被装入预分频寄存器的缓冲器；更新事件包括写 TIMx_SWEGR 中的 UEG 位或工作在复位模式将计数器清 0。

15.4.11　TIM16 和 TIM17 计数器更新寄存器（TIM16_UVAL 和 TIM17_UVAL）

TIMx_UVAL (偏移地址=0x02C，复位值=0x0000FFFF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	UVAL	**自动重载值** 当自动重载值 UVAL 为 0 时，计数器不工作

15.4.12　TIM16 和 TIM17 计数器更新重复寄存器（TIM16_UVALREP 和 TIM17_UVALREP）

TIMx_UVALREP (偏移地址=0x030，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	UVALREP[15:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[7:0]	UVALREP	**计数器更新重复次数**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		开启了预装载功能后，这些位允许用户设置比较寄存器的更新速率(即周期性地从预装载寄存器传输到当前寄存器)；如果允许产生更新中断，则会同时影响产生更新中断的速率。 每次向下计数器 UVALREP_CNT 达到 0，会产生一个更新事件并且计数器 UVALREP_CNT 重新从 UVALREP 值开始计数。由于 UVALREP_CNT 只有在周期更新事件发生时才重载 UVALREP 值，因此对 TIMx_UVALREP 寄存器写入的新值只在下次周期更新事件发生时才起作用。这意味着在 PWM 模式中，(UVALREP+1)对应着： 在边沿对齐模式下，PWM 周期的数目

15.4.13　TIM16 和 TIM17 捕获/比较寄存器 1（TIM16_ CH1CCVAL 和 TIM17_CH1CCVAL）

TIMx_CH1CCVAL (偏移地址=0x034，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1CCVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CH1CCVAL	**通道 1 捕获比较值** 若通道 1 配置为输出： CH1CCVAL 包含了装入当前捕获比较 1 寄存器的值(预装载值)。 如果 TIMx_CH12CFGR 寄存器(CH1OCVPEN 位)中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获比较 1 寄存器中。当前捕获/比较寄存器同计数器 TIMx_CNT 比较，并在 CH1OC 端口上产生输出信号。 若通道 1 配置为输入： CH1CCVAL 包含了由上一次输入捕获 1 事件传输的计数器值。

15.4.14　TIM16 和 TIM17 通道输出保护寄存器（TIM16_CHOPR 和 TIM17_CHOPR）

TIMx_CHOPR (偏移地址=0x044，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHOPEN	CHOPAE	BRKPOL	BRKEN	RUNOS	IDLEOS	LCKLV[1:0]		DTCFG[7:0]							

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

	N														
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
15	CHOPEN	**通道引脚输出使能** 一旦刹车输入有效，该位被硬件异步清 0。根据 CHOPAEN 位的值，该位可以由软件置 1 或根据 CHOPAEN 位值被自动置 1。它仅对配置为输出的通道有效。 0：禁止 CHxOC 和 CHxNOC 输出或强制为空闲状态； 1：如果设置了相应的使能位(TIMx_CCCTR 寄存器的 CHxCCEN、CHxNCCEN 位)，则开启 CHxOC 和 CHxNOC 输出。
14	CHOPAEN	**输出引脚自动使能** 0：CHOPEN 只能被软件置 1 1：CHOPEN 能被软件置 1 或在下一个更新事件被自动置 1(如果刹车输入无效) *注：LCKLV 级别设置为 1，则该位不能被修改*
13	BRKPOL	**刹车极性** 0：刹车输入低电平有效 1：刹车输入高电平有效 注：当 LCKLV 级别设为 1 时，则该位不能被修改
12	BRKEN	**刹车使能** 0：刹车输入禁止 1：刹车输入允许 注：当 LCKLV 级别设为 1 时，则该位不能被修改
11	RUNOS	**运行模式的关闭状态** 该位用于当 CHOPEN=1 且通道为互补输出时。没有互补输出的定时器中不存在 RUNOS 位。 0：当定时器不工作时，禁止 CHxOC/CHxNOC 输出(CHxOC/CHxNOC 使能输出信号=0)； 1：当定时器不工作时，一旦 CHxCCEN=1 或 CHxNCCEN=1，首先开启 CHxOC/CHxNOC 并输出无效电平，然后置 CHxOC/CHxNOC 使能输出信号=1。 注：一旦 LCKLV 级别设为 2，则该位不能被修改。
10	IDLEOS	**空闲模式的关闭状态** 该位用于当 CHOPEN=0 且通道设为输出时。 0：当定时器不工作时，禁止 CHxOC/CHxNOC 输出(CHxOC/CHxNOC 使能输出信号=0)； 1：当定时器不工作时，一旦 CHxCCEN=1 或 CHxNCCEN=1 ，CHxOC/CHxNOC 首先输出其空闲电平，然后 CHxOC/ CHxNOC 使能输出信号=1。 注：一旦 LCKLV 级别设为 2，则该位不能被修改。
[9:8]	LCKLV	**锁定层级控制** 该位提供写保护 00：锁定关闭，寄存器无写保护 01：锁定级别 1，不能够写入 TIMx_CHOPR 寄存器中的 DTCFG、BRKPOL、BRKEN、CHOPAEN 位和 TIMx_CTR2 寄存器中的 IVOx 和 IVOxN。 10：锁定级别 2,不能够写入锁定级别 1 中的寄存器位，同时也不可以写入通道

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		的极性位(当相关的通道 CHxFS 设置为输出，通道的极性位是 TIMx_CCCTR 中的 CHxCCP 和 CHxNCCP)以及 RUNOS 和 IDLEOS 位 11：锁定级别 3，不能写入锁定级别 2 中的寄存器位，同时也不可以写入通道控制位(当相关的通道 CHxFS 设置为输出，通道的控制位是 TIMx_CHxxCFGR 寄存器中的 CHxOCMSEL 和 CHxOCVPEN) 注：在系统复位之后，LCKLV 只能写一次，写入的内容将冻结直到复位
[7:0]	DTCFG	**死区时间配置** 定义了插入互补输出的死区持续时间，假设 DT 表示其持续时间： DTCFG[7：5]=0xx => DT=DTCFG[7：0] × Tdtg，Tdtg = T_{DTS}； DTCFG[7：5]=10x => DT=(64+DTCFG[5：0]) × Tdtg，Tdtg = 2 × T_{DTS} DTCFG[7：5]=110 => DT=(32+DTCFG[4：0]) × Tdtg，Tdtg = 8 × T_{DTS} DTCFG[7：5]=111 => DT=(32+DTCFG[4：0]）× Tdtg，Tdtg = 16 × T_{DTS} 注：一旦 LCKLV 级别设为 1、2 或 3，则不能修改这些位。

15.4.15　TIM16 和 TIM17 DMA 控制寄存器（TIM16_DMAACR 和 TIM17_DMAACR）

TIMx_DMAACR (偏移地址=0x048，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	DMATL[4:0]					保留	保留	保留	DMASA[4:0]				
			r/w	r/w	r/w	r/w	r/w				r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:13]	保留	
[12:8]	DMATL	**DMA 传输长度** 这些位定义了 DMA 的传输次数(当对 TIMx_DMAIR 寄存器进行读或写时，定时器则认为进行一次突发传输) 00000：1 次传输 00001：2 次传输 00010：3 次传输 ..... 10001：18 次传输
[7:5]	保留	
[4:0]	DMASA	**DMA 起始地址** 这些位定义了 DMA 传输的起始地址(当对 TIMx_DMAIR 寄存器进行读或写时)，DMASA 定义为从 TIMx_CTR1 寄存器所在地址开始的偏移量： 00000：TIMx_CTR1 00001：TIMx_CTR2 00010：TIMx_SMCFG ...

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15.4.16　TIM16 和 TIM17 DMA 接口寄存器（TIM16_DMAIR 和 TIM17_DMAIR）

TIMx_DMAAIR (偏移地址=0x04C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAI[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	DMAI	**DMA 接口** 对 TIMx_DMAIR 寄存器的读写会对导致对下面的地址所在寄存器的访问 (TIMx_CTR1 地址)+(DMASA +DMA 索引)x4,其中 TIMx_CTR1 地址是该控制寄存器所在的地址，DMASA 是 DMAACR 中定义的基地址，DMA 索引是由 DMA 自动控制的偏移量，它取决于 TIMx_DMAACR 中定义的 DMATL

如何使用 DMA 突发功能的示例

在此示例中，定时器 DMA 并发功能用于更新 CHxCCVAL 的内容（x = 2,3,4），DMA 将半字传送到 CHxCCVAL 寄存器。

这是通过以下步骤完成的：

1.配置相应的 DMA 通道，如下所示：

- DMA 通道外设地址是 DMAIR 寄存器地址
- DMA 通道存储器地址是 RAM 中缓冲区的地址，包含要由 DMA 传输到 CHxCCVAL 寄存器的数据。
- 要传输的数据数= 3（参见下面的注释）。
- 禁用循环模式。

2.配置 DMAACR 寄存器放入 DMASA 和 DMATL 位字段，如下所示：

DMATL = 3 次传输，DMASA = 0xE。

3.使能 TIMx 更新 DMA 请求（配置 DIEN 寄存器中的 UPDEN 位）。

4.使能 TIMx

5.使能 DMA 通道

注：此示例适用于每个 CHxCCVAL 寄存器更新一次的情况。 例如，如果要更新每个 CHxCCVAL 寄存器两次，则要传输的数据数应为 6。以 RAM 中包含 data1，data2，data3，data4，data5 和 data6 的缓冲区为例。 数据传输到 CHxCCVAL 寄存器，如下所示：在第一次更新 DMA 请求时，data1 传输到 CH2CCVAL，data2 传输到 CH3CCVAL，data3 传输到 CH4CCVAL，在第二次更新 DMA 请求时，data4 传输到 CH2CCVAL，data5 转移到 CH3CCVAL，data6 转移到 CH4CCVAL。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

16 基本定时器（TIM6 ）

概述

16.1.1 简介

基本定时器 TIM6 由一个由可编程预分频器驱动的 16 位自动重载计数器组成。它可以用作通用定时器的时基。

16.1

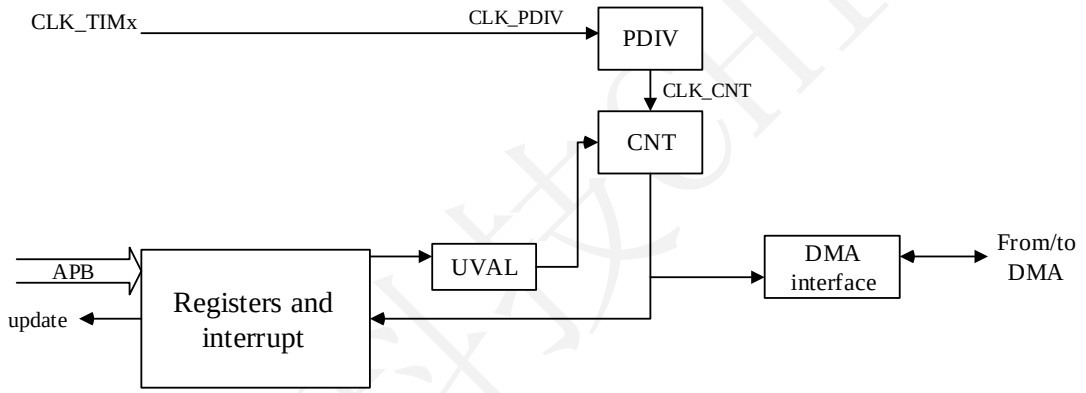
16.1.2 功能概览

- 16 位自动重载向上计数
- 16 位可编程预分频器，用于将计数器时钟频率分频 1 到 65535 之间的任何因子（可随时修改）
- 更新事件生成中断/ DMA：计数器上溢

模块操作

图 170 基本计时器框图

16.2



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

16.2.1 时基单位

可编程定时器的主要模块是一个 16 位的向上计数器及其相关的计数器更新寄存器。计数器时钟可由预分频器分频。

计数器、计数器更新寄存器和预分频器寄存器可由软件写入或读取。即使计数器正在运行也是如此。

时基单元包括：

- 计数器寄存器（TIMx_CNT）
- 预分频器寄存器（TIMx_PDIV）
- 计数器更新寄存器（TIMx_UVAL）

计数器更新寄存器是预装载的。写入或读取计数器更新寄存器访问的是预装载寄存器。根据 TIMx_CTR1 寄存器中的 UVAL 影子寄存器使能位（UVALSEN），预装载寄存器的内容将立刻或在每次更新事件(UEV)后传输到影子寄存器。。如果 TIMx_CTR1 寄存器中的 UPD 等于 0，当计数器上溢，会产生更新事件。更新事件也可以通过软件配置生成。对于不同配置产生的更新事件将在下面内容详细的描述。

计数器由预分频器输出 CLK_CNT 提供时钟，该输出仅在 TIMx_CTR1 寄存器中的计数器使能位（CEN）置 1 时使能。

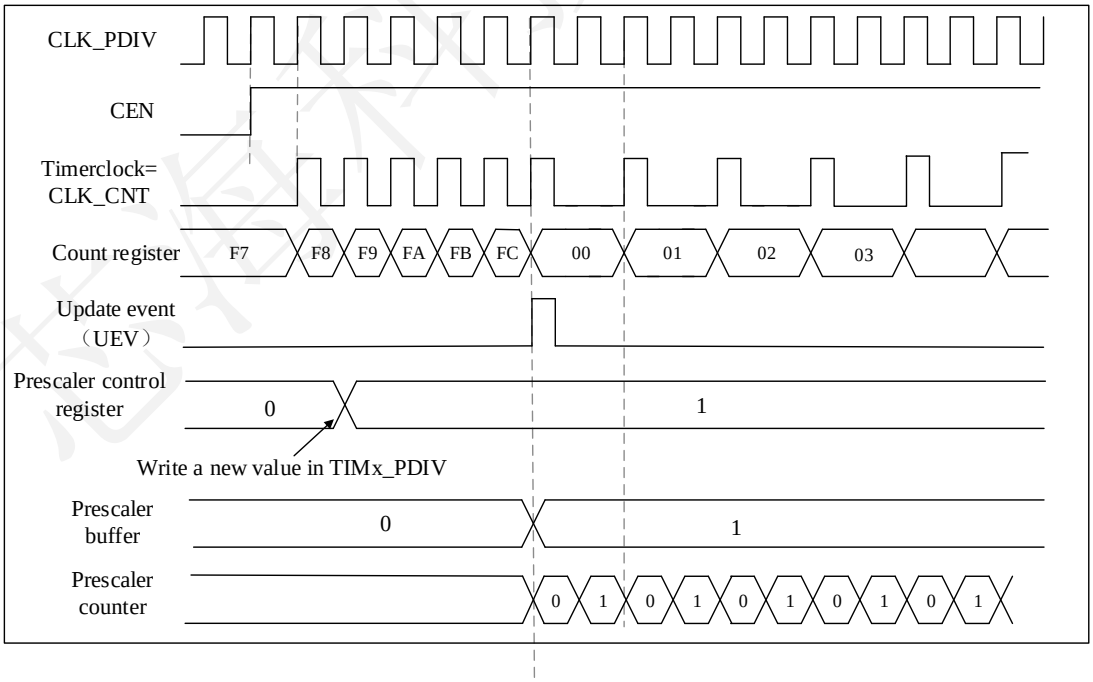
注意，实际计数器使能信号 CNT_EN 在 CEN 之后的 1 个时钟周期被设置。

预分频器描述

预分频器可以将计数器时钟分频处理，分频值为 1 到 65536 之间的任何系数。它基于通过 16 位寄存器控制的 16 位计数器（在 TIMx_PDIV 寄存器中）。它可以在运行时进行更改，因为该控制寄存器带有缓冲器。在下一次更新事件中会使用新的预分频值。

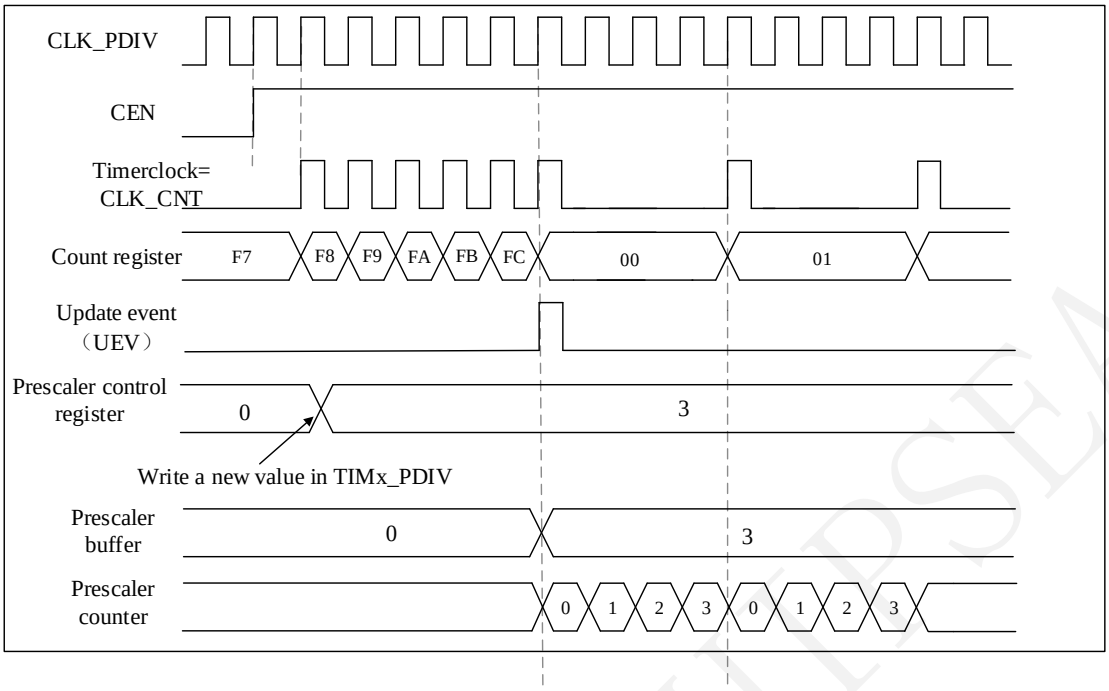
图 171 和图 172 给出了预分频值在运行中更改时计数器行为的一些示例。

图 171 预分频器分频系数从 1 变为 2 的计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 172 预分频器分频系数从 1 变为 4 的计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

16.2.2 计数器模式

计数器从 0 开始计数到自动重载值（TIMx_UVAL 寄存器的值），然后从 0 重新开始并产生计数器上溢事件。

可以在每次计数器上溢时生成更新事件，也可以通过写 TIMx_SWEGR 寄存器中的 UEG 位（通过软件或使用从机模式控制器）生成更新事件。

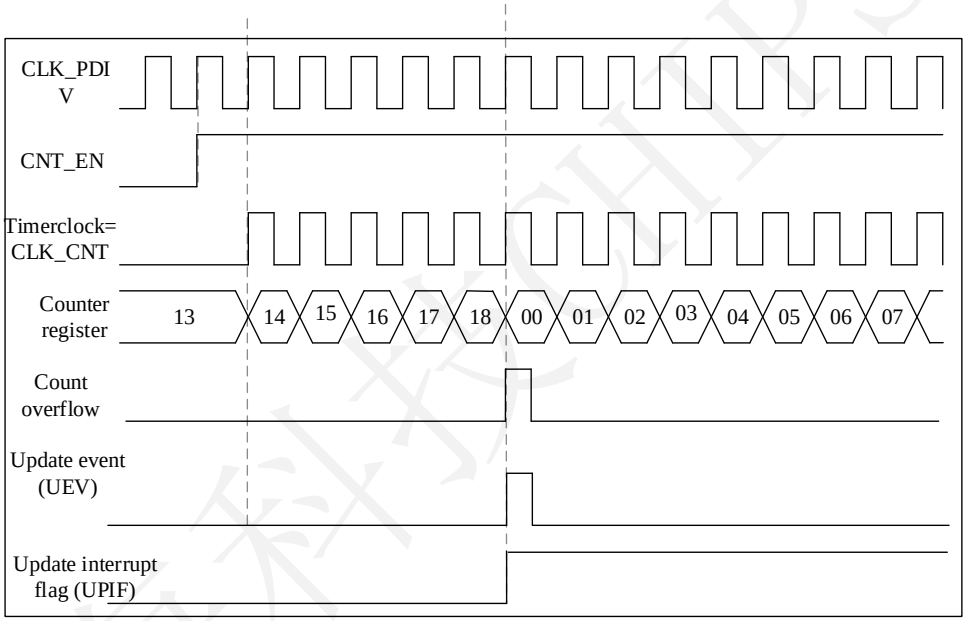
通过软件置位 TIMx_CTR1 寄存器中的 UPD 位，可以禁用 UEV 事件。这是为了避免在预装载寄存器中写入新值时更新影子寄存器。在 UPD 位写入 0 之前不会发生更新事件。然而，计数器和预分频器都从 0 重新开始计数（但预分频率不会改变）。此外，如果 TIMx_CTR1 寄存器中的 URSEL（更新请求选择）位置 1，则 UEG 位写 1 会生成更新事件 UEV，但不置位 UPIF 标志（因此不会生成中断或 DMA 请求）。

发生更新事件时，将更新所有寄存器并依据 URSEL 置位更新标志（TIMx_STS 寄存器中的 UPIF 位）。

- 预分频器的缓冲区重载了预装载值（TIMx_PDIV 寄存器的内容）
- 自动重载影子寄存器更新为预装载值(TIMx_UVAL)

下图显示了 TIMx_UVAL = 0x18 时不同时钟频率的计数器行为的一些示例。

图 173 内部时钟分频系数为 1 时计数器时序图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 174 内部时钟分频系数为 2 时的计数器时序图

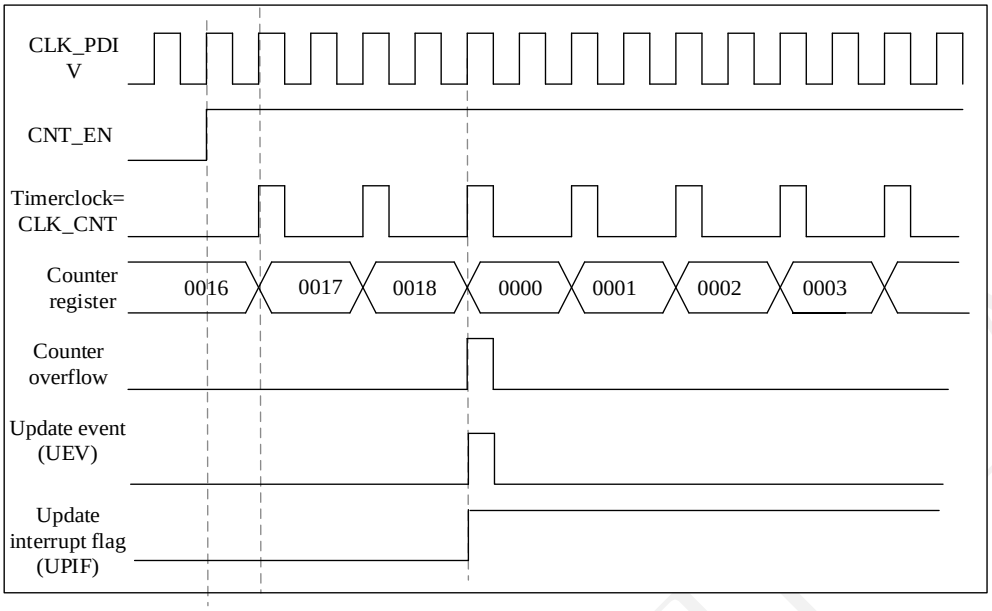
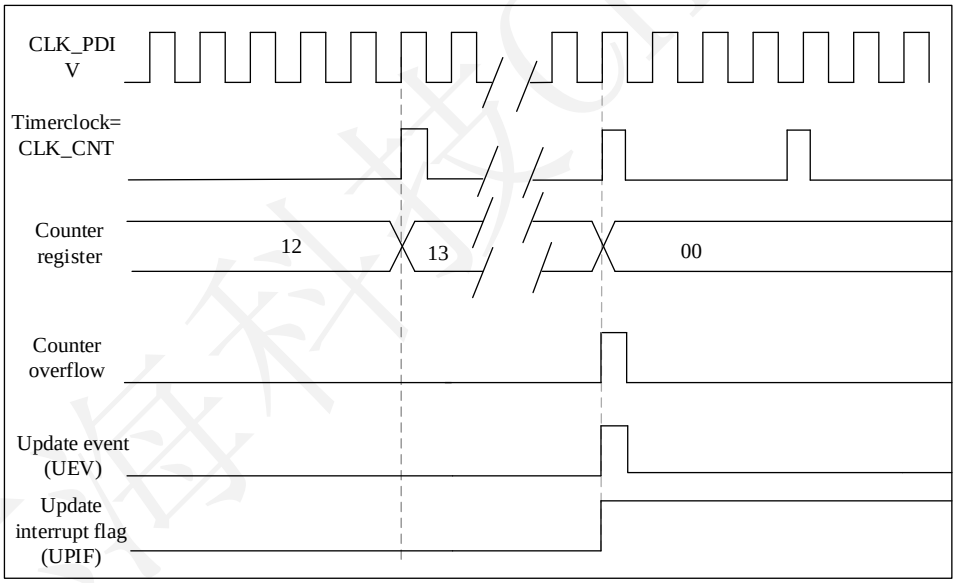
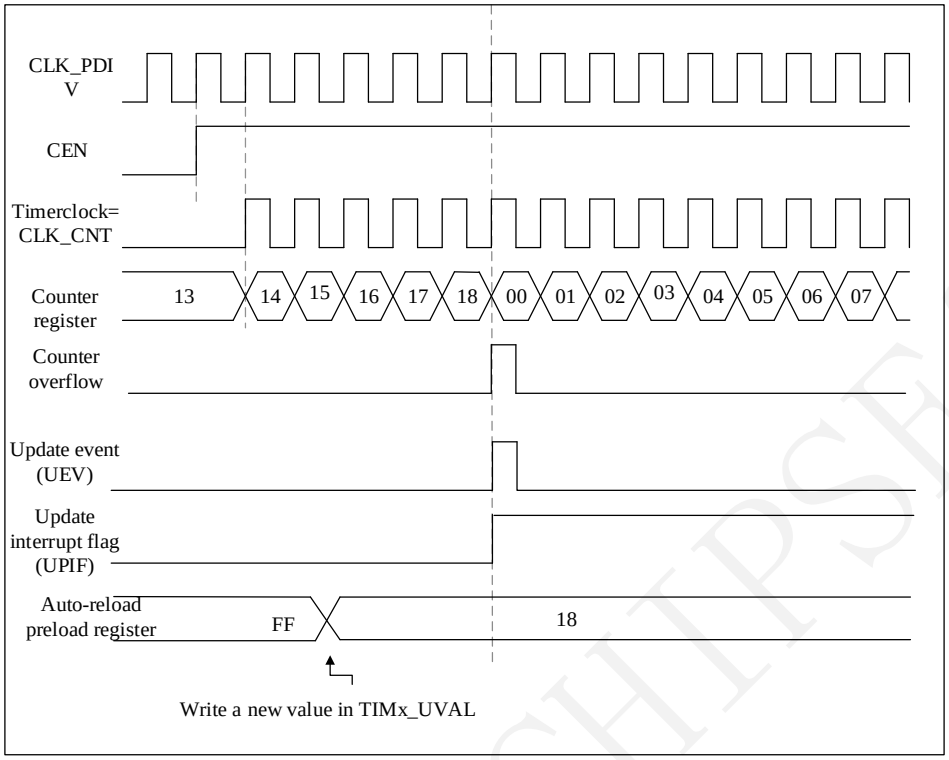


图 175 内部时钟分频系数为 N 时的计数器时序图



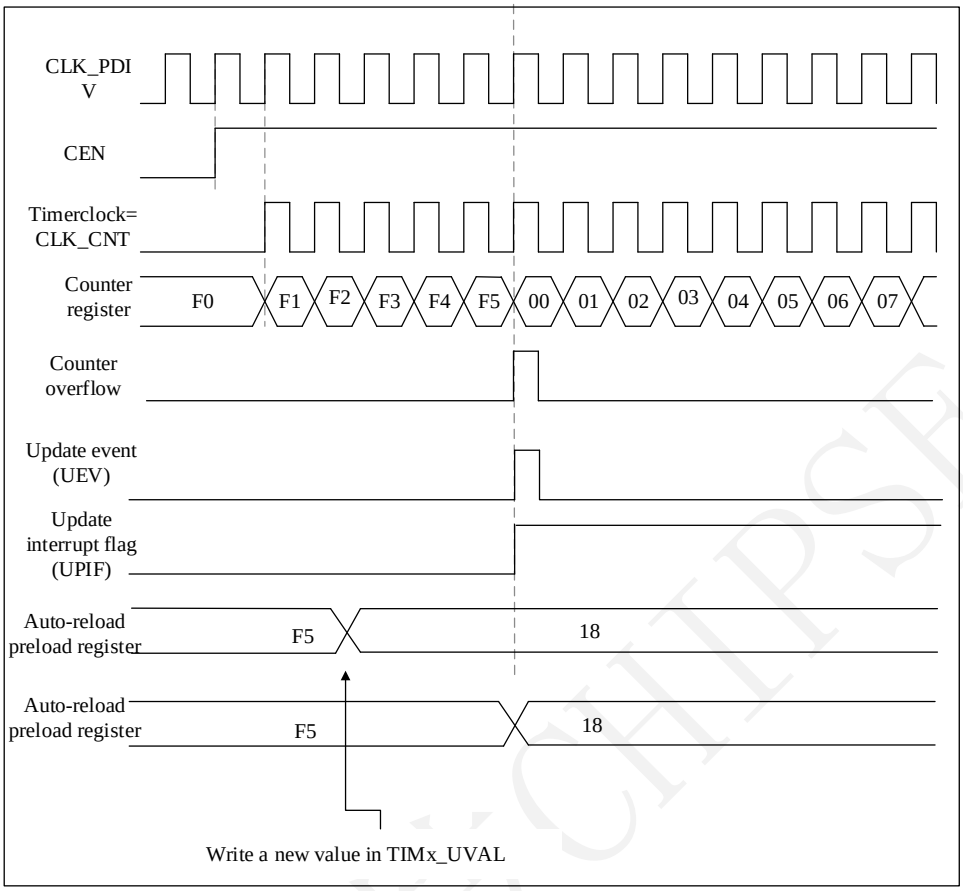
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 176 计数器时序图，UVALSEN = 0 时的更新事件（未预装载 TIMx_UVAL）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 177 UVALSEN = 1 时的更新事件，计数器时序图（TIMx_UVAL 预装载）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

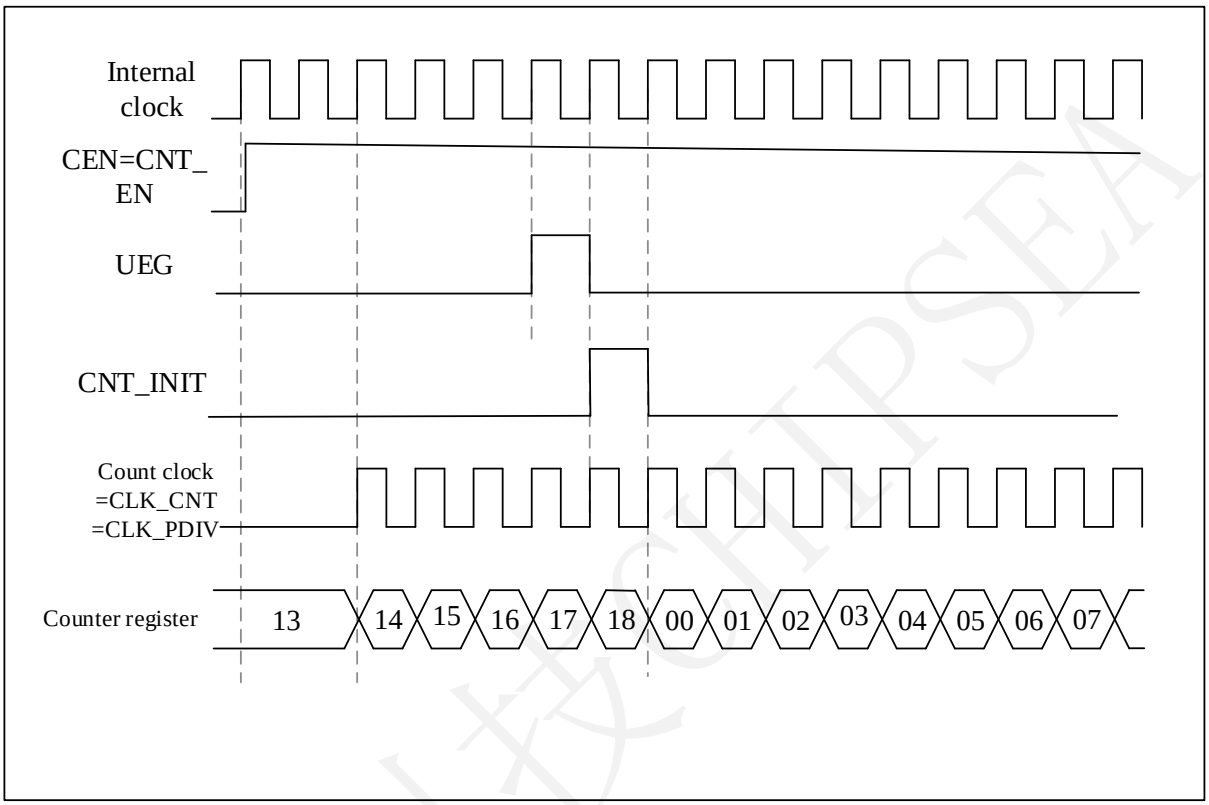
16.2.3 时钟源

计数器时钟由内部时钟（CLK_INT）源提供。

CEN（在 TIMx_CTR1 寄存器中）和 UEG 位（在 TIMx_SWEGR 寄存器中）是实际控制位，只能由软件更改（除 UEG 自动被清除外）。一旦 CEN 位写入 1，预分频器时钟由内部时钟 CLK_INT 提供。

图 183 显示了没有预分频器的一般模式下控制时序和向上计数器的行为。

图 178 内部时钟分频系数为 1，一般模式下的控制时序



16.2.4 调试模式

16.3 当微控制器进入调试模式（Cortex™-M0 内核 - 暂停）时，TIM6 计数器将继续正常工作或停止，具体取决于 DBG 模块中的 TIM6_DBG_PAUSE 配置位。

寄存器

16.3.1 寄存器概览

表 49 TIM6 寄存器概览

名称	偏移地址	描述	复位值
TIM6_CTR1	0x000	TIM6 控制寄存器 1	0x00000000
TIM6_CTR2	0x004	TIM6 控制寄存器 2	0x00000000
TIM6_DIEN	0x00C	TIM6 DMA/中断使能寄存器	0x00000000
TIM6_STS	0x010	TIM6 状态寄存器	0x00000000
TIM6_SWEGR	0x014	TIM6 软件事件生成寄存器	0x00000000
TIM6_CNT	0x024	TIM6 计数器	0x00000000
TIM6_PDIV	0x028	TIM6 预分频器	0x00000000
TIM6_UVAL	0x02C	TIM6 计数器更新寄存器	0x0000FFFF

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

16.3.2 TIM6 控制寄存器 1（TIM6_CTR1）

对该寄存器的写入操作只支持半字或字写入。

TIM6_CTR1 (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	UVALSEN	保留	保留	保留	SPEN	URSEL	UPD	CEN
								r/w				r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:8]	保留	
7	UVALSEN	**UVAL 影子寄存器使能** 0：TIMx_UVAL 寄存器没有缓冲器 1：TIMx_UVAL 寄存器有缓冲器
[6:4]	保留	默认复位值
3	SPEN	**单脉冲使能** 0：更新事件发生时，计数器不停止 1：更新事件发生时，计数器停止计数（清除 CEN 位）
2	URSEL	**更新请求过滤** 该位由软件置位和清除，选择 UEV 事件源。 0：如果使能中断或者 DMA 请求，下述任意一个事件都可以产生更新中断或 DMA 请求 - 计数器上溢 - 软件写 UEG 位 - 从机模式控制器产生的更新 1：如果使能中断或 DMA 使能，只在计数器上溢时产生更新中断或 DMA 请求
1	UPD	**禁止更新** 该位由软件置位和清除，以启用/禁用 UEV 事件生成。 0：计数器上溢、设置 UEG 位、从机模式控制产生的更新都将会产生 UEV，具有缓存的寄存器将装入他们的预装载值 1:：禁止 UEV。不产生更新事件，影子寄存器(UVAL、PDIV、CHxCCVAL)保持它们的值。如果写 UEG 位或从机模式控制器发出了一个硬件复位，则计数器和预分频器被重新初始化。
0	CEN	**计数器使能** 0：禁止计数器 1：使能计数器

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		注意：触发模式可以通过硬件自动设置 CEN 位。 发生更新事件时，在单脉冲模式下 CEN 将会被自动清除。

16.3.3 TIM6 控制寄存器 2（TIM6_CTR2）

TIM6_CTR2 (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	MMTOC[2:0]			保留	保留	保留	保留
									r/w	r/w	r/w				

Bit 位	名称	描述
[31:7]	保留	
[6:4]	MMTOC	**主机模式选择** 这三位用于选择要在主机模式下发送到从定时器以进行同步的信息（TRGO）。组合如下： 000：复位 - TIMx_SWEGR 寄存器中的 UEG 位用作触发输出（TRGO）。如果通过触发输入产生复位（从机模式控制器配置为复位模式），则与实际复位相比，TRGO 上的信号被延迟。 001：使能 - 计数器使能信号 CNT_EN 用作触发输出（TRGO）。在同时启动多个定时器或控制启用从定时器是非常有用的。 当计数器使能信号由触发输入控制时，TRGO 会有延迟，除非选择了主/从机模式（参见 TIMx_SMCFG 寄存器中的 MSM 位描述）。 010：更新 - 更新事件作为触发输出（TRGO）。例如，主定时器更新事件可以用作从定时器的预分频器。
[3:0]	保留	

16.3.4 TIM6 DMA /中断使能寄存器（TIM6_DIEN）

TIM6_DIEN (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	UPDEN	保留	保留	保留	保留	保留	保留	保留	UPINTEN
							r/w								r/w

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

Bit 位	名称	描述
[31:9]	保留	
8	UPDEN	**更新 DMA 请求启用** 0：更新 DMA 请求禁止。 1：更新 DMA 请求允许。
[7:1]	保留	
0	UPINTEN	**更新中断使能** 0：更新中断禁止。 1：更新中断允许。

16.3.5 TIM6 状态寄存器（TIM6_STS）

TIM6_DIEN (偏移地址=0x010，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	UPIF
															r/w0c

Bit 位	名称	描述
[31:1]	保留	
0	UPIF	**更新中断标志** 该位可由硬件置位，软件写 0 清除。 0：没有更新事件发生。 1：产生更新事件。

16.3.6 TIM6 软件事件生成寄存器（TIM6_SWEGR）

TIM6_DIEN (偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	UEG
															w

Bit 位	名称	描述

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

[31:1]	保留	
0	UEG	**更新生成** 该位可由软件置位，由硬件自动清零。 0：没有动作。 1：重新初始化定时器计数器并产生一个更新事件。注意，预分频器计数器也被清零（但预分频值不受影响）。

16.3.7 TIM6 计数器（TIM6_CNT）

对该寄存器的写入操作只支持半字或字写入。

TIM6_CNT (偏移地址=0x024，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	计数器值	**计数器值**

16.3.8 TIM6 预分频器（TIM6_PDIV）

TIM6_PDIV (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDIV [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	PDIV	**预分频器值** 计数器时钟频率 f_{CLK_CNT} 等于 f_{CLK_PDIV} /（PDIV + 1）。 当更新事件产生时，PDIV 的值加载到预分频器寄存器的缓冲器。

16.3.9 TIM6 计数器更新寄存器（TIM6_UVAL）

TIM6_UVAL (偏移地址=0x02C，复位值=0x0000FFFF)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UVAL[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	**名称**	**描述**
[31:16]	保留	
[15:0]	UVAL	**自动重载值** 发生更新事件时，UVAL 值加载到计数器更新寄存器的影子寄存器中。有关 UVAL 更新规则的更多详细信息，参考时基单元描述。 当自动重载值为 0 时，计数器停止计数。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

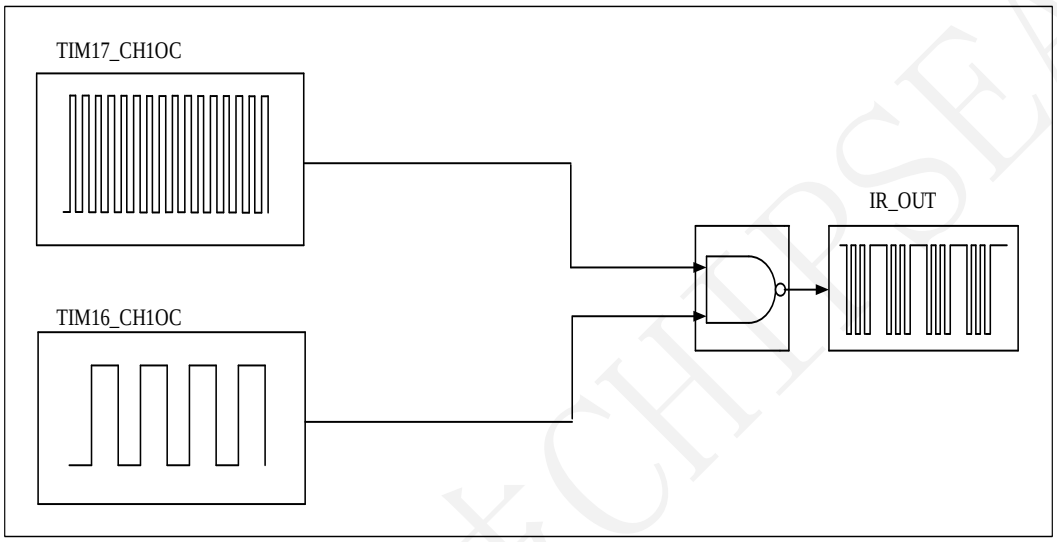
17 红外接口(IRTIM)

设备上有一个可供使用远程控制的红外接口。它可与红外 LED 一起使用来执行远程控制功能。它在内部连接 TIM16 和 TIM17 。

为了产生远程红外控制信号，IR 接口必须开启，同时 TIM16 通道 1（TIM16_CH1OC）和 TIM17 通道 1(TIM17_CH1OC)也必须被合适地配置以产生正确的波形。

红外接收器可以通过基本的输入捕获模式轻松实现。

图 179 IR 内部硬件与 TIM16 和 TIM17 连接



通过对两个定时器输出比较通道进行配置，可以获得所有标准的红外脉冲调制模式。

TIM17 用来产生高频载波，同时 TIM16 产生调制包络。

红外功能在 IR_OUT 管脚上输出。这个功能的打开是通过开启 GPIOx_MFSELx 寄存器中的相关多功能复用实现。

高性能 LED 驱动器（只能在 PB9 管脚获取）能被 SYSCFG_RMAPCFG 寄存器中的 I2C_FMPEN_PB9 位打开并用来降低直接控制红外 LED 的高电流。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

18 独立看门狗定时器 (FWDT)

概述

18.1.1 简介

系统中集成一个独立看门狗定时器(FWDT)，它拥有独立的低速时钟域(LRC)，并且工作在 VDD 电压域，在主时钟域因为软件错误发生故障，甚至主时钟失效，独立看门狗都可以正常工作，这非常适合需要独立环境且对精度要求不高的应用场合。

18.1

独立看门狗有写保护机制，可以防止误操作。当内部递减计数器计数到 0 时，独立看门狗会产生一个系统复位信号。

18.1.2 功能概览

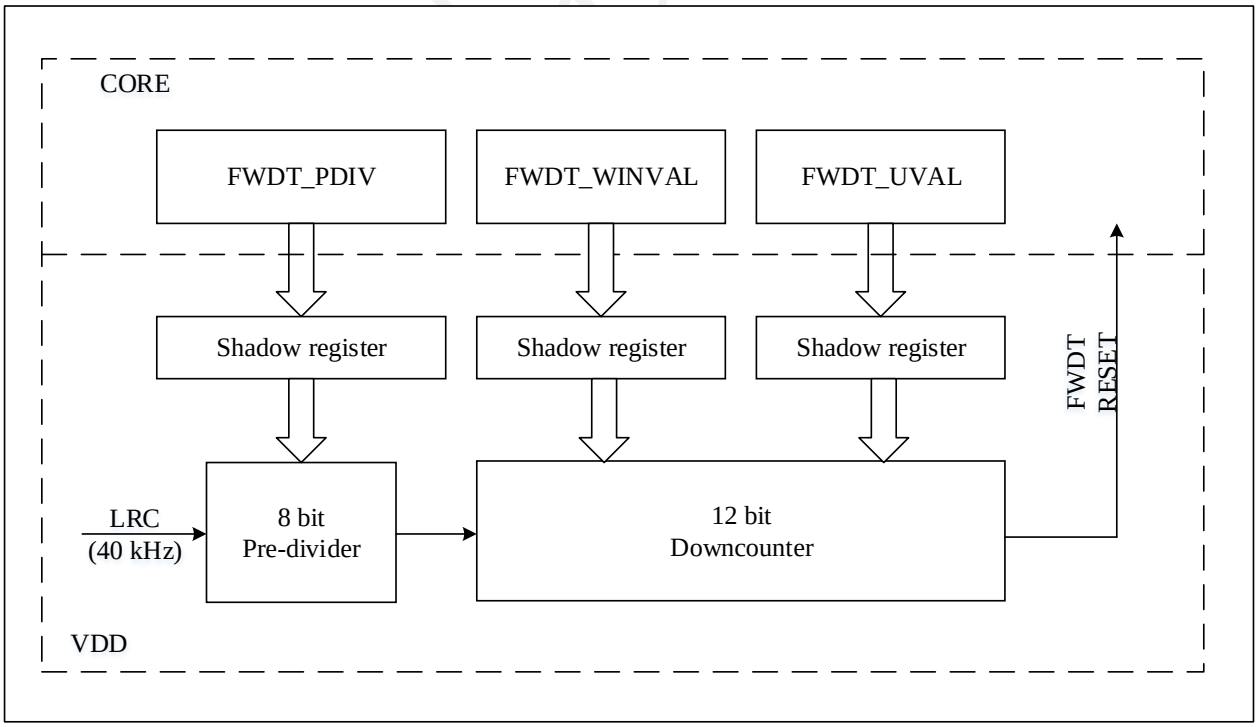
- 12 位自由运行的递减计数器
- 独立的低速时钟源，且工作在 VDD(5V)电源域，在系统处于深度睡眠模式和掉电模式仍能正常工作
- 当计数器递减到 0 时，或者在窗外更新定时器的值，会产生系统复位
- 可配置的选项字节控制位 FWDT_AO 来决定上电是否自动启动独立看门狗
- 可配置的调试模式下独立看门狗的开关

模块操作

18.2

独立看门狗定时器是一个带有预分频功能和窗值功能的 12 位递减计数器。下图是独立看门狗定时器的功能框图。

图 180 独立看门狗定时器功能框图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

18.2.1 硬件启动看门狗

如果用户在选项字节中启动了“硬件看门狗”功能，在系统上电复位后，独立看门狗会自动开始运行；如果在计数器计数结束前软件没有向控制码寄存器写入相应的值刷新计数器，则系统会产生复位。

18.2.2 寄存器读写保护

FWDT_PDIV 、FWDT_UVAL 和 FWDT_WINVAL 三个寄存器具有写保护功能。要修改这三个寄存器的值，必须先向 CCODE 寄存器中写入 0x5555。写入除 0x5555 以外的其他值会导致这些寄存器被重新写保护。

刷新操作（即 CCODE 写入 0xAAAA）也会启动写保护功能。状态寄存器指示预分频系数、更新值和窗值是否处于正在被更新的过程中。

18.2.3 调试模式

当微控制器进入调试模式时，根据调试模块中的 FWDT_DBG_PAUSE 配置位的值来决定独立看门狗计数器是继续工作还是停止。

18.3 寄存器

18.3.1 寄存器概览

表 50 FWDT 寄存器概览

名称	偏移地址	描述	复位值
FWDT_CCODE	0x000	FWDT 控制码寄存器	0x00000000
FWDT_PDIV	0x004	FWDT 预分频寄存器	0x00000000
FWDT_UVAL	0x008	FWDT 更新值寄存器	0x00000FFF
FWDT_STS	0x00C	FWDT 状态寄存器	0x00000000
FWDT_WINVAL	0x010	FWDT 窗值寄存器	0x00000FFF

18.3.2 FWDT 控制码寄存器（FWDT_CCODE）

FWDT_CCODE (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCODE[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CCODE	**控制码**（只写，读出值为 0x0000） 由软件周期性的写入 0xAAAA 以刷新独立看门狗计数器，俗称喂狗，否则当递减计数器计数到 0 时会产生系统复位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		写入 0x5555 去除 FWDT_PDIV、FWDT_RLR 和 FWDT_WINVAL 三个寄存器的写保护，这三个寄存器可写。 写入 0xCCCC 启动看门狗（也可以通过选项字节在上电的时候就启动独立看门狗）

18.3.3 FWDT 预分频寄存器（FWDT_PDIV）

注：此寄存器 CS32F03X-RA 版本复位值与 CS32F03X 有差异

CS32F03X-RA：FWDT_PDIV (偏移地址=0x004，复位值=0x00000004)

CS32F03X：FWDT_PDIV (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	PDIV[2:0]		
													r/w	r/w	r/w

Bit 位	名称	描述
[31:3]	保留	
[2:0]	PDIV	**预分频系数** 通过设置这些位来选择定时器时钟的预分频系数。要改变预分频系数， 需要先去除该寄存器的写保护，同时要求 FWDT_STS 寄存器的 DRF 位必须为 0. 000：预分频系数=4 001：预分频系数=8 010：预分频系数=16 011：预分频系数=32 100：预分频系数=64 101：预分频系数=128 110：预分频系数=256 111：预分频系数=256 对此寄存器进行读操作，将从 VDD 电压域返回预分频值。如果 DRF 位为 1 时，表示写操作正在进行，则读回的值可能是无效的。因此，只有等 DRF 位为 0 时，读出的才是有效值

18.3.4 FWDT 更新值寄存器（FWDT_UVAL）

FWDT_UVAL (偏移地址=0x008，复位值=0x00000FFF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	UVAL[11:0]											
				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:12]	保留	
[11:0]	UVAL	**看门狗计数器更新值** 用于定义看门狗计数器的下次刷新的更新值，每当向 FWDT_CCODE 寄存器写入 0xAAAA 时，更新值会被装载到计数器中。随后计数器从这个值开始递减计数。 看门狗超时周期可根据更新值和时钟预分频系数来计算。 对此寄存器进行写操作，需要先去除该寄存器的写保护，同时要求 FWDT_STS 寄存器的 UVRF 位必须为 0。 对此寄存器进行读操作，将从 VDD 电压域返回更新值。如果 UVRF 位为 1 时，表示写操作正在进行，则读回的值可能是无效的。因此，只有等 UVRF 位为 0 时，读出的才是有效值

18.3.5 FWDT 状态寄存器（FWDT_STS）

FWDT_STS (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	WRF	UVRF	DRF
													r	r	r

Bit 位	名称	描述
[31:3]	保留	
2	WRF	**看门狗定时器窗值更新状态** 该位由硬件置位，为 1 表明正在更新窗值。当 VDD 电压域中完成了看门狗定时器的窗值更新时，该位会被硬件清零，该操作大约需要 5 个 LRC 时钟周期。只有当 WRF 为 0 时才能再次改写窗值。
1	UVRF	**看门狗定时器更新值更新状态** 该位由硬件置位，为 1 表明正在更新定时器的更新值。当 VDD 电压域中完成了看门狗定时器的更新值更新时，该位会被硬件清零，该操作大约需要 5 个 LRC 时钟周期。 只有当 UVRF 为 0 时才能再次改写更新值。
0	DRF	**看门狗定时器预分频系数更新状态**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		该位由硬件置位，为 1 表明正在更新预分频系数。VDD 电压域中完成了看门狗定时器预分频系数更新时，该位会被硬件清零,该操作大约需要 5 个 LRC 时钟周期。 只有当 DRF 为 0 时才能再次改写预分频系数。

18.3.6 FWDT 窗值寄存器（FWDT_WINVAL）

FWDT_WINVAL (偏移地址=0x010，复位值=0x00000FFF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	WINVAL[11:0]											
				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:12]	保留	
[11:0]	WINVAL	**独立看门狗定时器窗值** 窗值是递减数器的比较上限。为了防止产生系统复位信号，必须在向下计数器递减到窗值和 0 之间时刷新看门狗定时器。对此寄存器进行写操作，需要先去除该寄存器的写保护，同时要求 FWDT_STS 寄存器的 WRF 位必须为 0。对此寄存器进行读操作，将从 VDD 电压域返回更新值。如果 WRF 位为 1 时，表示写操作正在进行，则读回的值可能是无效的。因此，只有等 WRF 位为 0 时，读出的才是有效值

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

19 窗看门狗定时器 (WWDT)

19.1 概述

19.1.1 简介

系统中集成一个窗看门狗定时器(WWDT)，它被用来监测由软件故障导致的系统错误。窗看门狗定时器开启后，7 位递减计数器由初始值递减，当计数值达到 0x3F 时会产生复位（CVAL[6]位被清 0）。在定时器计数值达到窗值之前，更新定时器也会产生复位。因此软件需要在给定的区间内更新定时器。窗看门狗定时器在计数值达到 0x40 时，会产生一个提醒标志位，如果使能中断也将会产生提醒中断。

窗看门狗定时器的时钟是由 PCLK 分频得到，窗看门狗定时器非常适用于需要精确计时应用场景。

19.1.2 功能概览

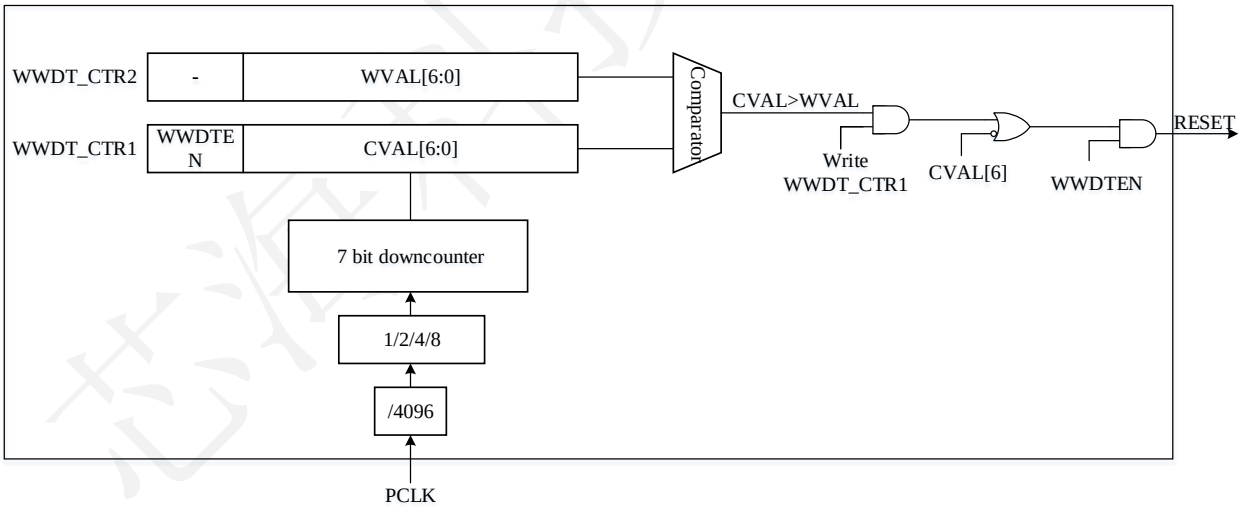
- 可编程 7 位自由运行递减计数器
- 当使能窗看门狗后，有如下两种情况会产生系统复位：
  - 当计数器达到 0x3F 时产生复位
  - 窗外更新定时器会产生复位
- 提醒中断(RMDI)：打开窗看门狗定时器，使能中断，计数值达到 0x40 会产生提醒中断

19.2 模块操作

使能窗看门狗定时器， 在如下两种情况下将产生系统复位。

- 当计数器 CVAL[6:0]的值由 0x40 递减到 0x3F 时，则会产生一个系统复位。
- 软件在计数器值大于窗值时更新计数器， 将会产生一个系统复位。

图 181 窗看门狗定时器功能框图



19.2.1 启动窗看门狗

系统复位之后窗看门狗定时器处于关闭状态。软件可以向 WWDT_CTR1 中的 WWDTEN 位写 1 开启窗看门狗定时器。

19.2.2 窗看门狗定时器更新（喂狗）

窗看门狗定时器打开后，计数器递减计数，计数器配置的值应该大于 0x3F，即 CVAL[6]位应该为 1。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

CVAL[5:0]决定了两次重载之间的最大间隔时间。计数器的时钟周期取决于 PCLK 时钟周期和预分频系数配置(WWDT_CTR2 寄存器的 PDIV[1:0])。控制寄存器 (WWDT_CTR2)中的 WVAL[6:0]用来设定窗值。当计数器的值小于窗值，且大于 0x3F 的时候，重载递减计数器不会引起系统复位，反之在其他时候进行重载计数器就会引起复位。

19.2.3 窗看门狗中断

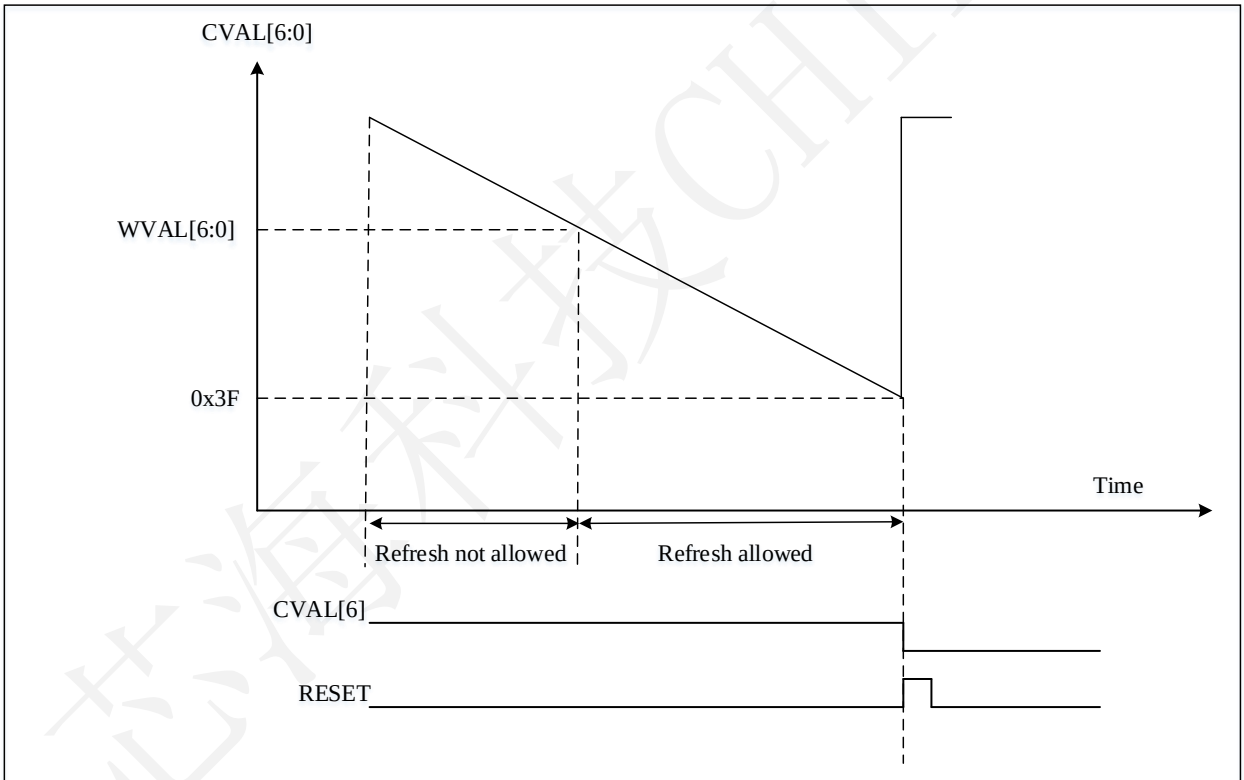
对 WWDT_CTR2 寄存器中的 RMDIE 位置 1 可以使能提醒中断(RMDI)，当计数值达到 0x40 的时候该中断产生。同时可以用相应的中断服务程序(ISR) 来触发特定的行为，来分析软件故障的原因以及在器件复位的时候挽救重要数据。此外，在 ISR 中软件也可以重载计数器来管理软件系统检查，在这种情况下，窗看门狗定时器将永远不会复位。

通过将 WWDT_STS 寄存器的 RMDIF 位写 0 可以清除 RMDI 中断。

19.2.4 怎样编写窗看门狗超时程序

下图显示了装载到窗看门狗计数器中的 7 位计数值和窗看门狗的延迟时间之间的线性关系。此图可用来做为快速计算的参考，而未将时间的偏差考虑在内。如果需要更高的精度，可以使用下图提供的计算公式。

图 182 窗看门狗定时器时序图



The formula calculate the timeout value in given by :

$$T_{WWDT} = T_{PCLK} \times 4096 \times 2^{PDIV} \times (CVAL[5:0] + 1)$$

where:

T_{WWDT} ： WWDT timeout

T_{PCLK} ： PCLK period

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

在 PCLK=48MHz 时，最小/最大超时值如下表：

表 51 在 PCLK 频率为 48MHz 时的最小/最大超时值

PDIV[1:0]	最小超时时间 CVAL[6:0]=0x40	最大超时时间 CVAL[6:0]=0x7F
00	85us	5.46ms
01	170us	10.92ms
10	341us	21.84ms
11	682us	43.69ms

19.2.5 调试模式

当微控制器进入调试模式时，根据调试模块中的 WWDT_DBG_PAUSE 配置位的值来决定窗看门狗计数器是继续工作还是停止。

寄存器

19.3.1 寄存器概览

19.3

表 52 WWDT 寄存器概览

名称	偏移地址	描述	复位值
WWDT_CTR1	0x000	WWDT 控制寄存器 1	0x0000007F
WWDT_CTR2	0x004	WWDT 控制寄存器 2	0x0000007F
WWDT_STS	0x008	WWDT 状态寄存器	0x00000000

19.3.2 WWDT 控制寄存器 1（WWDT_CTR1 ）

WWDT_CTR1 (偏移地址=0x000，复位值=0x0000007F)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	WWDTEN	CVAL[6:0]						
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:8]	保留	
7	WWDTEN	**窗看门狗定时器使能** 此位由软件置 1，由硬件在复位后清零 0：禁止窗看门狗 1：使能窗看门狗
[6:0]	CVAL	**7 位窗看门狗定时器值**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		这些位用来存储窗看门狗的计数器值。每个计数周期减 1，当计数器值从 0x40 变为 0x3F 时，窗看门狗产生超时复位。

19.3.3 WWDT 控制寄存器 2（WWDT_CTR2）

WWDT_CTR2 (偏移地址=0x004，复位值=0x0000007F)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	RMDIE	PDIV[1:0]		WVAL[6:0]						
						r/w1s	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:10]	保留	
9	RMDIE	**提醒中断使能** 如果该位被置 1，计数值到达 0x40 时触发提醒中断，该位由硬件清零，写 0 无效。
[8:7]	PDIV	**预分频系数** 用来定义窗看门狗定时器的时间基准 00： PCLK/4096/1 01： PCLK/4096/2 10： PCLK/4096/4 11： PCLK/4096/8
[6:0]	WVAL	**7 位窗值** 这些位包含了用来与递减计数器进行比较用的窗值。

19.3.4 WWDT 状态寄存器（WWDT_STS）

WWDT_STS (偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	RMDIF
															r/w0c

Bit 位	名称	描述

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

[31:1]	保留	
0	RMDIF	**提醒中断标志** 当计数器的值到达 0x40 时，该位由硬件置 1。只有通过软件写 0 来清除，对此位写 1 无效。即使提醒中断未被使能(RMDIE=0)，此位也会被置 1。

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

20 实时时钟 (RTC)

概述

20.1.1 简介

RTC 是一个独立的二进码十进数(BCD)计时器，具有可编程闹钟中断功能。

两个 32 位的寄存器以 BCD 方式保存着秒、分、小时(12/24 小时制)、日(星期数)、日期、月、年。亚
20.1秒值同时也可以以二进制格式读取。

RTC 可以自动补偿夏令时及月份的天数，如 28 天、29 天(闰年)、30 天、31 天。

一个单独的 32 位寄存器用于保存可编程闹钟的亚秒、秒、分、小时、日和日期。

RTC 的校准功能可以校准晶振的偏差。

RTC 域复位后，RTC 的所有寄存器都处于受保护状态，避免意外的写操作。

只要供电电压在工作电压范围内，RTC 就会一直保持正常运行，无论是芯片处于哪种工作状态(运行模式、低功耗模式或复位状态)。

20.1.2 功能概览

- 日历功能，可显示亚秒、秒、分、时(12/24 小时制) 、日(星期) 、日期、月和年。
- 通过软件编程实现夏令时的补偿。
- 可编程闹钟中断功能，闹钟可以由任何日历字段来触发。
- 参考时钟检测功能：可以用更高精度的 50Hz 或 60Hz 时钟源来提高日历的精度。
- 通过亚秒偏移功能，可以实现 RTC 与外部时钟精确同步。
- 数字校准电路(计数器定期修正)：0.95ppm 精准度，来自几秒钟的校准窗口。
- 事件时间记录。
- 带可配置的滤波器和内上拉电阻的侵入检测。
- 可屏蔽中断/事件：
  - 闹钟
  - 时间记录
  - 侵入检测

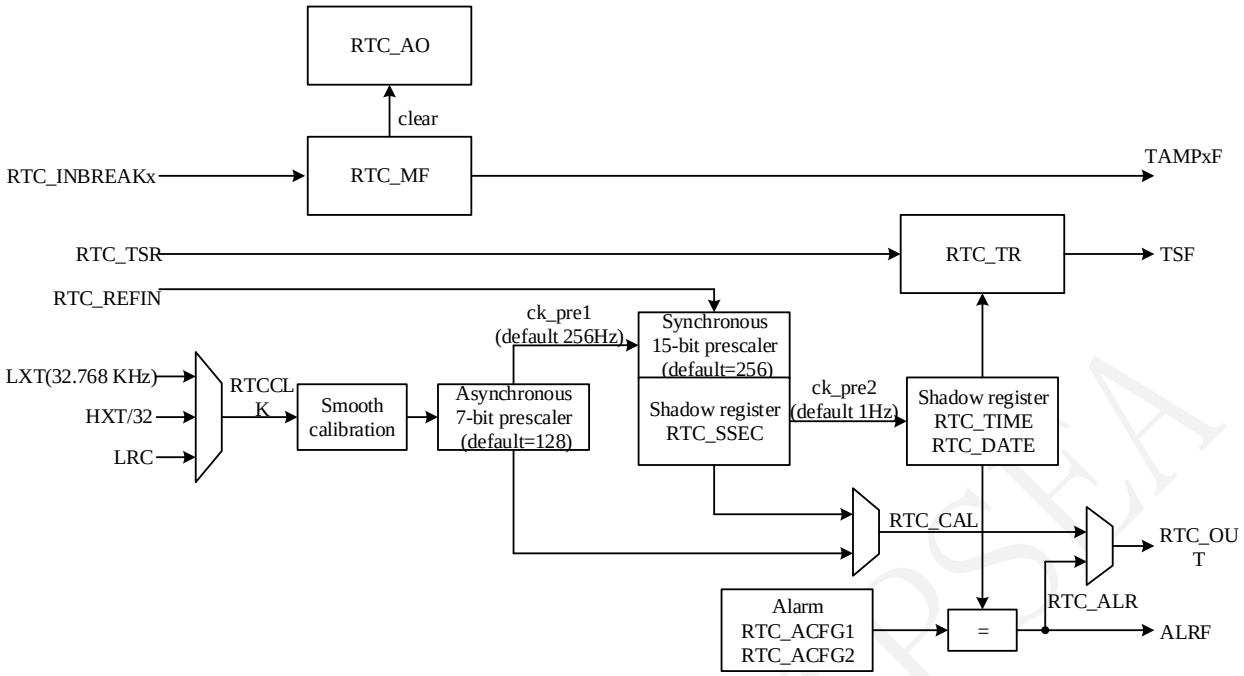
20.2
- 5 个不掉电寄存器:当产生一个侵入检测事件，不掉电寄存器被复位。

模块操作

20.2.1 功能框图

图 183 RTC 功能框图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



RTC 包括以下功能：

- 1 个闹钟。
- 2 个侵入检测

  侵入事件会擦除不掉电寄存器。
- 1 个受 I/O 影响的时间记录。
- 侵入事件可以产生时间记录事件。
- 5 个 32 位不掉电寄存器

  当 VDD 掉电时，不掉电寄存器由 VBAT 供电。
- 多功能复用输出：RTC_OUT 的输出可以选择以下其中一个输出：

  RTC_CAL：512Hz 或者 1Hz(当用 32.768 KHz 的 LXT 时)。使能 RTC_CTR 中的 CALOE 位来选择这个输出。

  RTC_ALR：闹钟事件输出。通过配置 RTC_CTR 中的 OUTSRC[1:0]位来选择这个输出。
- 多功能复用输入：

  RTC_TSR：时间记录事件

  RTC_INBREAK1：侵入事件 1

  RTC_INBREAK2：侵入事件 2

  RTC_REFIN：50Hz 或者 60Hz 参考时钟输入

20.2.2 RTC 寄存读写

访问 RTC 寄存器

RTC 寄存器是 32 位寄存器。 除了 DAR=0 时对日历影子寄存器执行读操作外， APB 接口为其他对 RTC 寄存器的访问提供了 2 种等待状态（深度睡眠模式 1/2 或掉电模式）。

RTC 寄存器写保护

系统复位会通过清零 PMU_CTR 中的 VBTWEN 位，禁止对 RTC 寄存器的写操作，防止意外的写操

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

作。通过设置 VBTWEN 位来启动对 RTC 寄存器的写权限。

RTC 域复位后，所有 RTC 寄存器都处于写保护。此写保护不受系统复位影响。往 RTC_CCODE 寄存器写入解锁序列以解除写保护。通过以下操作解除所有 RTC 寄存器的写保护(RTC_MF，RTC_AOx 及 RTC_STS[13:8]除外)，共四种序列组合：

1. 往 RTC_CCODE 写入 0xCA 或 0x53
2. 往 RTC_CCODE 写入 0x53 或 0xCA

写入任何错误的解锁序列都会启动写保护机制。写保护解锁后不要立即对寄存器进行配置操作，需要 5 个时钟的同步过程。

RTC 复位

所有系统复位信号都可以复位日历影子寄存器 RTC_SSEC、RTC_TIME 和 RTC_DATE 及 RTC_STS 中的一些位。

而 RTC 当前日历寄存器、RTC_CTR、RTC_PDIV、RTC_1SCAL、RTC_ADJ、RTC_TR1、RTC_TR2、RTC_TR3、RTC_MF、RTC_AOx、RTC_ACFG1 和 RTC_ACFG2 寄存器会被 RTC 域复位信号复位而与系统复位信号无关。

当 RTC 的时钟源为 LXT 时，如果发生系统复位的复位源不是 RTC 域复位信号时，RTC 将维持运行。如果 RTC 域复位发生，RTC 将停止并且 RTC 所有寄存器均被复位。

20.2.3 实时时钟和日历

RTC 时钟

RTC 时钟源(RTCCLK)可以从 LXT、HXT 和 LRC 选择，更多相关配置信息可参考 RCU 模块。

1 个可编程预分频器产生 1Hz 的时钟，用于更新日历。为最大限度地减少功耗，1 个可编程的预分频器分成了 2 个分频器：

- 由 RTC_PDIV 中的 PDIV1[6:0]配置的 7 位异步分频器
- 由 RTC_PDIV 中的 PDIV2[14:0]配置的 15 位同步分频器。

注：当同时启用这 2 个分频器时，推荐把异步分频器的分频系数调高以最大限度降低功耗。

当时钟源为 32.768 KHz，异步分频器和同步分频器的分频系数分别设置为 128 和 256 时，产生内部时钟 ck_pre2 为 1Hz。

最小的分频系数为 1，最大的分频系数为 2^{22}。对应最大的输入频率为 4MHz 左右。

异步分频器输出频率 f_{ck_pre1} 满足：

$$f_{ck_pre1} = f_{RTCCLK}/(PDIV1 + 1)$$

ck_pre1 时钟为二进制 RTC_SSEC 亚秒递减计数器提供时钟。当计数器计数为 0 时，RTC_SSEC 重新加载 PDIV2 的值。

同步分频器输出频率 f_{ck_pre2} 满足：

$$f_{ck_pre2} = f_{RTCCLK}/((PDIV1 + 1) * (PDIV2 +1))$$

ck_pre2 可以做为日历更新的时钟。

日历寄存器

RTC 日历的时间和日期寄存器可以直接通过影子寄存器进行访问，这些寄存器是和 APB 总线时钟同步的。也可以跳过影子寄存器直接访问时间和日期寄存器，避免等待同步所需的时间。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- RTC_SSEC：RTC 亚秒寄存器
- RTC_TIME：RTC 时间寄存器
- RTC_DATE：RTC 日期寄存器

每 2 个 RTCCLK 周期，当前日历的值会拷贝到对应的影子寄存器中，并且 RTC_STS 中的 RSF 位置位。在深度睡眠模式 1/2 或掉电模式，不进行该拷贝操作。当退出这 2 种模式，影子寄存器最多在 2 个 RTCCLK 内更新。

当应用程序读日历寄存器时，默认情况下，是访问日历的影子寄存器以获取日历的值。可以通过向 RTC_CTR 中的 DAR 位写入 0，使得应用程序直接访问日历寄存器。

在 DAR=0 时，如需读取 RTC_SSEC、RTC_TIME 和 RTC_DATE 寄存器的内容，APB 时钟的频率至少是 RTCCLK 频率的 7 倍。

系统复位后，影子寄存器也将自动复位。

日历初始化及配置

按照以下步骤完成对日历时间和日期的初始化，包括时间格式及预分配的配置，完成以下步骤后，日历将开始计时。

1. RTC_STS 中的 INITE 位置 1，进入初始化模式。在此模式下，日历暂停运行同时可以更新日历值
2. 等待 RTC_STS 中的 INITF 位被置 1，确保进入初始化模式。由于同步延迟，大概需要等待 2 个 RTCCLK 时钟周期
3. 向 RTC_PDIV 写入合适的预分频系数来产生用于日历计数的 1Hz 时钟
4. 将初始时间和日期值加载到影子寄存器 (RTC_TIME 和 RTC_DATE)， 通过 RTC_CTR 中的 FMT12 位设置时间格式(12 小时制 或 24 小时制)。
5. 清除 INITE 位退出初始化模式。日历计数器的实际值将会自动加载， 并在 4 个 RTCCLK 时钟周期后重新启动

注：系统复位后，应用程序可以读取 RTC_STS 中的 INITS 位来检查日历是否已经被初始化过。如果 INITS=0 则日历未被初始化，因为日历的年字段为复位值(0x00)。

为读取日历初始化后的值，程序必须先检查 RTC_STS 中的 RSF 位是否被置位。

当 RTC_CTR 中的 DAR 为 0 时，读日历寄存器

为了保证同步机制下正确读取日历 RTC_SSEC、RTC_TIME 和 RTC_DATE 寄存器的值，APB 的时钟的频率至少是 RTCCLK 频率的 7 倍。

如果 APB 的时钟的频率少于 RTCCLK 频率的 7 倍，程序需要读取日历寄存器 2 次。如果第二次读取结果和第一次读取的一样，则读取的值是正确的。否则需要读取第三次。任何情况下，APB 的时钟频率不能低于 RTCCLK 的频率。

每 2 个 RTCCLK 时钟日历寄存器内容拷贝到影子寄存器 RTC_SSEC、RTC_TIME 和 RTC_DATE 中，同时 RTC_STS 中的 RSF 位会被置位。为了保证 3 个寄存器中值的一致，读取 RTC_SSEC 或者 RTC_TIME 会锁定高阶日历影子寄存器的值，直至 RTC_DATE 的值被读取。为了防止程序会在 2 个 RTCCLK 时钟周期内多次读取日历，每次程序读取日历寄存器后都需清除 RSF 并在 RSF 被置位后才再次读取日历寄存器 RTC_SSEC、RTC_TIME 和 RTC_DATE。

当退出低功耗模式(深度睡眠模式 1/2 或掉电模式)时，程序必须清除 RSF。然后程序需要等到 RSF 被置位后才能读取日历寄存器 RTC_SSEC、RTC_TIME 和 RTC_DATE。

RSF 位应该在唤醒后被清除，而不是进入低功耗模式前。

系统复位后，影子寄存器会被复位，因此需要等 RSF 被置位后才能读取 RTC_SSEC、RTC_TIME 和 RTC_DATE 寄存器。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

日历初始化后，程序需要等 RSF 被置位后才能读取 RTC_SSEC、RTC_TIME 和 RTC_DATE 寄存器。

RTC 同步后，程序需要等 RSF 被置位后才能读取 RTC_SSEC、RTC_TIME 和 RTC_DATE 寄存器。

当 RTC_CTR 中的 DAR 为 1 时，读日历寄存器

读日历寄存器直接从日历计数器获取值，因此不需要等待 RSF 被置位。在退出低功耗模式(深度睡眠模式 1/2 或掉电模式)时，这种读取方式比较有效，因为这些模式下影子寄存器不会更新。

当 DAR 为 1 时，如果 2 次读取操作之间出现 RTCCLK 的时钟边沿，不同寄存器的值之间可能不是一致。并且如果读操作过程中碰到 RTCCLK 的时钟边沿，某个寄存器的值可能会不正确。程序必须读取所有日历寄存器 2 次然后进行比较，或者比较两组最低有效日历寄存器的结果，来确保读取的值是一致并且正确的。

注：DAR=1 时，读日历寄存器的指令的完成需另加一个额外的 APB 时钟周期。

20.2.4 可编程闹钟

通过置位 RTC_CTR 中的 ALRE 位，启动闹钟功能。当日历的亚秒、秒、分、小时、日期或星期和 RTC_ACFG1 或 RTC_ACFG2 中设定的值匹配时，ALRF 位会被置位。所有日历的字段都可以通过 RTC_ACFG1 中的 WDBYP、HORBYP、MINBYP、SECBYP 和 RTC_ACFG2 中的 SSECBYP 独立被选择为闹钟源。闹钟中断使能通过 RTC_CTR 中的 ALRIE 位设置。

注：如果秒字段被选做闹钟源，为确保正常运行，同步分频器的分频系数 PDIV2 必须大于 3。

通过设置 RTC_CTR 中的 OUTSRC[1:0]，闹钟可以选择输出到 RTC_ALR。RTC_ALR 的输出极性可以通过 RTC_CTR 中的 APOL 设置。

配置闹钟

按照以下步骤完成对闹钟的配置：

1. 清除 RTC_CTR 中的 ALRE 位关闭闹钟功能
2. 对闹钟寄存器 RTC_ACFG1 和 RTC_ACFG2 设置
3. 置位 RTC_CTR 中的 ALRE 位启动闹钟功能

注：由于时钟同步，每次更新 RTC_CTR 寄存器后，需要等待 2 个 RTCCLK 时钟周期才有效。

使用闹钟功能时，需要配置寄存器：

- RTC_PDIV.PDIV1 = 0
- RTC_PDIV.PDIV2= 15'h7fff
- RTC_ACFG2. SSECBYP!= 0

闹钟输出

RTC_CTR 中的 OUTSRC 位用于激活输出闹钟 RTC_ALR。输出与 RTC_STS 寄存器中相应标志位的内容一致。输出极性由 RTC_CTR 中的 APOL 位决定，当 APOL 为 1 时，输出为标志位的取反的值。

闹钟复用功能输出

通过设置 RTC_MF 中的 PC13DATA 位，可以配置 RTC_ALR 输出为开漏输出或者推挽输出。

注：当 RTC_ALR 选中输出时，其输出优先级比 RTC_CAL 高(CALOE 无影响，但需保持复位值)。当 RTC_CAL 或者 RTC_ALR 选中输出时，RTC_OUT 管脚自动配置成输出功能。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

20.2.5 夏令时

通过 RTC_CTR 寄存器的 DEC1H, INC1H 和 SAVEF 位管理夏令时间。通过设置 DEC1H 和 INC1H，软件可以不进入初始化模式分别对日历进行减 1 小时和加 1 小时操作。同时软件可以通过 SAVEF 位记录该操作。

注：不要在 59 分 59 秒时配置 DEC1H，INC1H。

20.2.6 RTC 同步

RTC 的时钟可以同步到更精确的远程时钟。读取亚秒(RTC_SSEC 或者 RTC_TR3)后，可以精确地计算出远程时钟和 RTC 时钟的偏差值。RTC 可以通过 RTC_ADJ 寄存器用时钟移位的方式去除偏差。

RTC_SSEC 用于存储同步分频器的计算值，因此可以以 1/(PDIV2+1) 秒的分辨率去计算 RTC 实际保持的时间。增大 PDIV2 的值可以提高分辨率，当 PDIV2 为 0x7FFF 时，最好分辨率为 30.52 微秒(RTCCLK 时钟频率为 32.768KHz)。但是为了保持预分频器输出频率为 1Hz，增大 PDIV2 就必须同时减小 PDIV1，结果会增加 RTC 的动态功耗。

通过 RTC_ADJ 寄存器可以微调 RTC。写 RTC_ADJ 寄存器可以推迟或提前移位时钟沿，在分辨率为 1/(PDIV2+1) 秒时幅度最大可以达到 1 秒。移位操作会把 SSEC_ADJ[14:0]的值加到预分频计数器 SSEC[15:0]上从而到达推迟时钟沿的目的。如果同时将 INC1S 置为 1，结果会加上一个整秒同时再减去不到 1 秒的时间，所以会提前时钟信号。

注：在启动移位操作前，必须要先检查到 SSEC[15]=0 避免发生溢出。

当写 RTC_ADJ 寄存器时，就启动了移位操作，同时 SHF_BUSY 被硬件置位，当移位操作完成，SHF_BUSY 被硬件清零。

注：RTC 同步功能和参考时钟检测功能不兼容，即当 OPCLKEN=1 时，不能写 RTC_ADJ。

20.2.7 RTC 参考时钟检测

RTC 的日历可以和外部输入 50Hz 或 60Hz 的 RTC_REFIN 时钟保持同步。RTC_REFIN 的时钟精度需要比 32.768 KHz 的 LXT 时钟精度高。通过置位 RTC_CTR 中的 OPCLKEN 位启动参考时钟检测功能，RTC_REFIN 用于补偿日历更新时钟(1Hz)的偏移。

如果在特定的窗口内，每次 1Hz 时钟的边沿都会和最近的 RTC_REFIN 边沿进行比较。大部分情况下，这 2 个时钟的边沿是对齐的。如果发现不对齐，说明 LXT 时钟发生偏移，RTC 会将 1Hz 时钟进行微调来确保后面的 1Hz 时钟边沿对齐。因此，日历的精度和参考时钟一样。

RTC 用基于 32.768 KHz 的晶振产生的 256Hz 时钟 ck_pre1 来检测输入参考时钟。检测在日历更新时刻(每秒)的一个窗口内进行，检测窗口为 7 个 ck_pre1 时钟，更新窗口为 3 个 ck_pre1 时钟。

每次在窗口(检测窗口和更新窗口)检测到参考时钟时，用于输出 ck_pre1 时钟的异步分频器则会重新加载分频系数。如果参考时钟的边沿与 1Hz 时钟对齐，则不会重新加载。如果边沿不对齐，则重新加载分频系数就会偏移 1Hz 边沿，使得与参考时钟边沿对齐。

当参考时钟停止时(在更新窗口 3 个 ck_pre1 周期内没有检测到参考时钟检测)，日历将完全遵照 LXT 时钟进行更新。RTC 等待参考时钟，并产生一个围绕 ck_pre2 边沿的检测窗口。

启动 RTC_REFIN 检测后，固件必须配置 PDIV1 和 PDIV2 至默认值：固件写入

- PDIV1 = 0x007F
- PDIV2 = 0x00FF

注：时钟检测功能在掉电模式下禁用。

20.2.8 RTC 平滑校准

RTC 的频率可以按 0.954ppm 的精度进行平滑校准，其可校准的范围为-487.1ppm~488.5ppm。校准过程是经过一系列微调，通过增加或减少 RTCCLK 脉冲。这些调整均匀的分布，因此即使在很短时间内，

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

RTC 时钟也可以很好地被校准。

平滑校准在 2^{20} 个 RTCCLK 时钟周期时间段内进行，当输入时钟频率是 32.768KHz 时其时间为 32 秒。这个时间段由一个基于 RTCCLK 的 2^{20} 计数器 cal_cnt[19:0]实现。

RTC_1SCAL 明确记录了每 32 秒周期内被屏蔽掉 RTCCLK 时钟周期的数目：

- SWACLK[0]=1 屏蔽 1 个 RTCCLK 时钟周期
- SWACLK[1]=1 屏蔽 2 个 RTCCLK 时钟周期
- SWACLK[2]=1 屏蔽 4 个 RTCCLK 时钟周期
- 以此类推，SWACLK[8]=1 屏蔽 256 个 RTCCLK 时钟周期

注：当 SWACLK[0]=1 时，cal_cnt[19:0]=0x80000 时屏蔽 RTCCLK；当 SWACLK[1]=1 时，cal_cnt[19:0]=0x40000/C0000 时屏蔽 RTCCLK；当 SWACLK[2]=1 时，cal_cnt[19:0]=0x20000/0x60000 /0xA0000/0xE0000 时屏蔽 RTCCLK；当 SWACLK[8]=1 时，cal_cnt[19:0]=0xXX800 时屏蔽 RTCCLK。

SWACLK[8:0]可以实现按 0.954ppm 的精度进行平滑校准，其可最多降低频率 487.1ppm，而 INSCLK 可以使频率增加 488.5ppm。置位 INSCLK 可以在每 2^{11}RTCCLK 中插入 1 个额外的 RTCCLK 时钟，即每 32 秒中插入 512 个时钟。

同时配置 SWACLK[8:0]和 INSCLK 参数，可以在每 32 秒中插入-511 到+512 RTCCLK 时钟，也就是校准范围为-487.1ppm~488.5ppm，校准精度为 0.954ppm。

校准后的频率 f_{cal} 计算公式如下：

$$f_{cal} = f_{RTCCLK} + f_{RTCCLK} * (512*INSCLK - SWACLK[8:0])/(2^{20} + SWACLK[8:0] - 512*INSCLK)$$

在 PDIV1<3 情况下的校准

当异步预分频器的分频系数 PDIV1<3 时，INSCLK 不能置 1。如果 INSCLK 已经被置 1 后，再设 PDIV1 值小于 3，则 INSCLK 被忽略并且校准按 INSCLK 为 0 的情况运行。

当 PDIV1<3 情况下进行校准时，同步预分频器的分频系数 PDIV2 应该相对应的减小以确保每秒都可以加速 8 个 RTCCLK 时钟，也就是每 32 秒加速 256 个 RTCLK 时钟。因此，只用 SWACLK 就可以实现在 255 和 256 个时钟脉冲间(对应 243.3ppm – 244.1ppm 的校准范围)有效增加。

正常情况下，RTCCLK 时钟频率为 32768Hz，当 PDIV1=1 时，PDIV2 应该设置成 16379 而不是 16383 (减 4)。当 PDIV1=0 时，PDIV2 应该设置成 32759 而不是 32767 (减 8)。

通过上述方式减小 PDIV2，校准后的频率 f_{cal} 计算公式如下：

$$f_{cal} = f_{RTCCLK} + f_{RTCCLK} * (256 - SWACLK[8:0])/(2^{20} + SWACLK[8:0] - 256)$$

在此情况下，如果 RTCCLK 为 32768.00 Hz， 则 SWACLK[7:0] 的正确值应等于 0x100 (SWACLK 范围的中点)。

验证 RTC 的校准

通过测量 RTCCLK 的精确频率，计算出正确的 SWACLK 和 INSCLK 的值以确保 RTC 精度。同时，提供一个可选的 1Hz 输出用来测量和验证 RTC 的精度。

测量 RTC 的精确频率时，最大的误差有 2 个 RTCCLK 时钟周期，这取决于数字校准周期和测量周期的对齐情况。如果校准周期和测量周期时间长度一样，上述 2 个 RTCCLK 时钟误差可以消除，这种情况下误差只来源于校准的分辨率。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 默认校准周期为 32 秒
  - ◆ 在该模式下，32 秒内测试 1Hz 输出，可以保证测量精度在 0.477ppm 内(32 秒内 0.5 个 RTCCLK 时钟误差，由校准的分辨率引起)。
- 通过置位 RTC_1SCAL 中的 WIN16S 位可强制校准周期为 16 秒
  - ◆ 在该模式下，16 秒内测试 1Hz 输出，测量误差在 0.954ppm 内(16 秒内 0.5 个 RTCCLK 时钟误差)。因此，长周期内 RTC 的精度也会降到 0.954ppm：当 WIN16S=1 时，SWACLK[0]将保持为 0。
- 通过置位 RTC_1SCAL 中的 WIN8S 位可强制校准周期为 8 秒
  - ◆ 在该模式下，8 秒内测试 1Hz 输出，测量误差在 1.907ppm 内(8 秒内 0.5 个 RTCCLK 时钟误差)。因此，长周期内 RTC 的精度也会降到 1.907ppm：当 WIN8S=1 时，SWACLK[1:0]将保持为 00。

运行中 RTC 重校准

当 RTC_STS 中的 INITF 为 0 时，可以通过如下步骤让运行中的 RTC 更新 RTC_1SCAL 寄存器：

1. 查询 RTC_STS 中的 CALBSY。
2. 当 CALBSY 为 0 时，向 RTC_1SCAL 寄存器写入新值。然后 CALBSY 将自动置 1。
3. 向 RTC_1SCAL 寄存器写入新值后的 3 个 ck_pre1 时钟周期内，新的校准设置生效。

校准时钟输出

置位 RTC_CTR 中的 CALOE 位，RTC_CAL 将会输出 1 个参考时钟。

当 RTC_CTR 中的 CALSRC 位被复位为 0，且 PDIV1[6:0]=0x7F 时，RTC_CAL 输出频率为 $f_{RTCCLK}/64$。因此如果 RTCCLK 的频率为 32768Hz，则 RTC_CAL 频率为 512Hz。因为输出 RTC_CAL 下降沿有微抖动导致占空比不规整，因此推荐使用输出时钟 RTC_CAL 上升沿。

当 RTC_CTR 中的 CALSRC 位被置位为 1，且 PDIV2[7:0]=0xFF(即 PDIV2[14:0]是非 0 的 256 的倍数)时，RTC_CAL 输出频率为 $f_{RTCCLK}/(256*(PDIV1[6:0] + 1))$。因此如果 RTCCLK 的频率为 32768Hz 且 PDIV1[6:0]和 PDIV2[14:0]均为默认值 0x7F 和 0xFF，则 RTC_CAL 频率为 1Hz。1Hz 输出时钟受移位操作影响，当 SHF_BUSY=1 时，时钟可能会翻转。

注：当 RTC_CAL 或者 RTC_ALR 选中输出时，RTC_OUT 管脚自动配置成输出功能。

当 CALSRC 被清零时，RTC_CAL 的输出是异步分频器的第 6 级信号。

当 CALSRC 被置位时，RTC_CAL 的输出是同步分频器的第 8 级信号。

20.2.9 时间记录功能及侵入检测

时间记录功能

通过使能 RTC_CTR 中的 TRE 位启动 RTC 的时间记录功能。

当管脚上检测到时间记录事件时，日历会被保存到时间记录寄存器(RTC_TR1、RTC_TR2、RTC_TR3)。同时，RTC_STS 中的 TSF 标志位被置位。

通过使能 RTC_CTR 中的 TRIE 位，当发生时间记录事件时可以产生中断。

如果 RTC_STS 中的 TSF 已经被置位，这时发生时间记录事件，则 RTC_STS 中的 TSOVF 标志位被置位，并且时间记录寄存器(RTC_TR1、RTC_TR2)保持上一次记录的值。

注：由于同步原因，TSF 在事件记录发生 2 个 ck_pre1 时钟周期后才被置位。而 TSOVF 被置位是零延迟。因此，如果 2 次时间记录事件发生的时间间隔非常短，TSOVF 位可为 1 而此时 TSV 位为 0。因此建议当 TSF 位被置位后再检查 TSOVF 位。建议清除浸入事件标志，将 tamp1f 和 tamp2f 一起清 0。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

警告：如果 TSF 在被程序清零后立刻产生时间记录事件，TSF 和 TSOVF 都会被置位。为了避免同一时间发生的时间记录事件被屏蔽，程序不得向 TSF 写入 0 清除，除非已经从此位读到 1。

系统可选择侵入事件是否会触发时间记录事件，参考侵入功能相关章节。

侵入检测

RTC_INBRKx 侵入事件可设置成边沿检测或带滤波的电平检测。

侵入检测可以用于以下功能：

- 擦除不掉电寄存器
- 产生中断唤醒深度睡眠模式 1/2 和掉电模式

侵入检测初始化

每个侵入检测可以通过使能 RTC_MF 寄存器中对应的 INBRKxE 位来启动。每个侵入检测在 RTC_STS 都有对应的标志位 TAMPxF。

当管脚上检测到侵入事件时，对应的 TAMPxF 会被置位，但是有一定的延迟，如下：

- 当 INBRKFLT[1:0]=00 时，即边沿检测方式，无延迟
- 当 INBRKFLT[1:0]=10/10/11 时，即带滤波的电平检测方式，延迟 3 个 ck_pre1 时钟周期
- 当 INBRKTR=1 时，即侵入事件时间记录，延迟 3 个 ck_pre1 时钟周期

当在上述延迟内同一个管脚发生新的侵入事件且 TAMPxF 已经置位了，则新的侵入事件不会被检测到。

通过使能 RTC_MF 中的 INBRKIE 位，当发生侵入事件时可以产生中断。

发生侵入事件时间记录

通过置位 RTC_MF 中的 INBRKTR 位，所有侵入事件将触发时间记录。这种情况 RTC_STS 中的 TSF 和 TSOVF 被置位的机制与正常发生时间记录事件一样。同时对应的 TAMPxF 也会被置位。

侵入输入的边沿检测和带滤波电平检测

当 INBRKFLT[1:0]=00 时，根据 INBRKxTRG 位的设置，当检测到对应管脚上上升沿或者下降沿 RTC_INBRKx 时产生侵入事件。在这种情况下，RTC_INBRKx 管脚的内部上拉电阻停用。

警告：用于边沿检测的信号和对应的 INBRKxE 进行逻辑与后用于产生侵入事件，这样可以避免丢失在侵入管脚使能之前就发生了的侵入事件。

- 当 INBRKxTRG=0，如果侵入管脚信号在侵入管脚使能(INBRKxE 置位)前已经为 1，INBRKxE 置位后会产生侵入事件，即使侵入管脚使能后管脚上没有上升沿信号。
- -当 INBRKxTRG=1，如果侵入管脚信号在侵入管脚使能(INBRKxE 置位)前已经为 0，INBRKxE 置位后会产生侵入事件，即使侵入管脚使能后管脚上没有下降沿信号。

在检测到侵入事件并且清除侵入事件后，如果程序要写不掉电寄存器(RTC_AOx)，需要要先禁用再启动(INBRKxE 先复位再置 1)侵入检测功能。这样可以避免在检测出仍有侵入事件时对 RTC_AOx 寄存器进行写操作。这相当于对侵入管脚的信号的电平检测。

注：在 VDD 域掉电后，侵入检测功能依旧保持有效。为了避免对 RTC_AOx 寄存器进行不必要的复位，侵入管脚需要在片外接到正确的电平。

设置 INBRKFLT 成非 0 值，就可以启动带滤波电平检测功能。当检测到 2/4/8 次(INBRKFLT[1:0]决定)连续样本的指定电平信号(根据 INBRKxTRG)时，将产生侵入事件。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

在侵入输入信号被采样前，RTC_INBRKx 管脚可以通过内部 I/O 内部上拉电阻进行预充电，除非置位 INBRKPUDIS 来禁止预充电。预充电的时间由 INBRKPRCH 决定，允许 RTC_INBRKx 输入管脚接更大电容。

可通过调整 INBRKFREQ 来改变电平检测的采样频率，从而在侵入检测延迟与通过上拉电阻而产生的功耗间进行取舍。

20.2.10 RTC 控制的 GPIO

RTC_OUT、RTC_TS 和 RTC_INBREAK1 映射到同一个引脚 PC13。
通过 RTC_MF 寄存器的配置来控制 RTC_ALR 的输出：PC13DATA 位用于选择 RTC_ALR 输出是推挽模式还是开漏模块。

当 PC13 不用做 RTC 复用功能，可通过设置 RTC_MF 中 PC13CFG 位将 PC13 强制为推挽输出模式， 输出值由 PC13DATA 位决定。 此时，PC13 的推挽输出状态和值在掉电模式下是可以保持的。引脚 PC13 的配置输出优先级如表 53 所示。

当引脚 PC14 和 PC15 不作为 LXT 振荡器时，可以通过设置 RTC_MF 中 PC14CFG 和 PC15CFG 位分别来将 PC14 和 PC15 强制为推挽输出模式，其输出值分别由 PC14DATA 和 PC15DATA 决定。此时，PC14 和 PC15 的推挽输出状态和值在掉电模式下是可以保持的。
引脚 PC14 和 PC15 的配置输出优先级分别如下表 54 和表 55 所示。

表 53 RTC 引脚 PC13 配置

功能 / 引脚配置	RTC_ALR 开漏输出	RTC_ALR 推挽输出	RTC_CAL 推挽输出	RTC_INBREAK1 悬空输入	RTC_TS 和 RTC_INBREAK1 悬空输入	RTC_TS 悬空输入	强制推挽输出	唤醒或者标准 GPIO
RTC_ALR 输出使能	1	1	0	0	0	0	0	0
RTC_CAL 输出使能	--	--	1	0	0	0	0	0
RTC_INBREAK1 输入使能	--	--	--	1	1	0	0	0
RTC_TS 输入使能	--	--	--	0	1	1	0	0
PC13CFG	--	--	--	--	--	--	1	0
PC13DATA	0	1	--	--	--	--	PC13 输出值	--

表 54 LXT 引脚 PC14 配置

功能 / 引脚配置	LXT 振荡器	跳过 LXT	强制推挽输出	标准 GPIO
RCU_VBDC 中的 LXTEN 位	1	1	0	0
RCU_VBDC 中的 LXTBYP 位	0	1	--	--
PC14CFG	--	--	1	0
PC14DATA	--	--	PC14 输出值	--

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

表 55 LXT 引脚 PC15 配置

功能 / 引脚配置	LXT 振荡器	强制推挽输出		标准 GPIO
RCU_VBDC 中的 LXTEN 位	1	1	0	0
RCU_VBDC 中的 LXTBYP 位	0	1	--	--
PC15CFG	--	1	1	0
PC15DATA	--	PC15 输出值	PC15 输出值	--

注：--为无影响

20.2.11　不掉电寄存器

不掉电寄存器(RTC_AOx)不会被系统复位信号复位，从掉电模式唤醒也不会复位不掉电寄存器。而侵入事件会复位不掉电寄存器。

20.2.12　RTC 低功耗模式

表 56 低功耗模式对 RTC 的影响

模式	描述
睡眠模式	无影响； RTC 中断使芯片退出睡眠模式。
深度睡眠模式 1	如果 RTC 的时钟源是 LXT 或 LRC，RTC 保持运行状态。RTC 闹钟、RTC 侵入事件、RTC 时间记录事件会唤醒芯片退出深度睡眠模式 1 模式。
深度睡眠模式 2	如果 RTC 的时钟源是 LXT 或 LRC，RTC 保持运行状态。RTC 闹钟、RTC 侵入事件、RTC 时间记录事件会唤醒芯片退出深度睡眠模式 2 模式。
掉电模式	如果 RTC 的时钟源是 LXT 或 LRC，RTC 保持运行状态。RTC 闹钟、RTC 侵入事件、RTC 时间记录事件会唤醒芯片退出掉电模式。

20.2.13　RTC 中断

所有 RTC 中断都连接到 NVIC 控制器。

为了启动 RTC 中断，需要进行以下步骤：

1. 配置并使能 NVIC 中 RTC 对应的中断，并且选择上升沿有效。
2. 配置并使能 NVIC 中的 RTC IRQ 通道。
3. 配置 RTC 产生中断。

表 57 RTC 中断控制位

中断事件	事件标志位	使能控制位	退出睡眠模式	退出深度睡眠模式	退出掉电模式
闹钟	ALRF	ALRIE	YES	YES[1]	YES[1]
时间记录事件	TSF	TSIE	YES	YES[1]	YES[1]
侵入输入检测 1	TAMP1F	INBRK1E	YES	YES[1]	YES[1]
侵入输入检测 2	TAMP2F	INBRK2E	YES	YES[1]	YES[1]

备注：RTC 的时钟源是 LXT 或 LRC 时才可以唤醒深度睡眠模式和掉电模式。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

寄存器

20.3.1 寄存器概览

表 58 RTC 寄存器概览

名称	偏移地址	描述	复位值
RTC_TIME	0x000	RTC 时间寄存器	0x00000000
RTC_DATE	0x004	RTC 日期寄存器	0x00002101
RTC_ CTR	0x008	RTC 控制寄存器	0x00000000
RTC_STS	0x00C	RTC 状态寄存器	0x00000007
RTC_PDIV	0x010	RTC 预分频寄存器	0x007F00FF
RTC_ACFG1	0x01C	RTC 闹钟配置 1 寄存器	0x00000000
RTC_CCODE	0x024	RTC 控制码寄存器	0x00000000
RTC_SSEC	0x028	RTC 亚秒寄存器	0x00000000
RTC_ADJ	0x02C	RTC 调整寄存器	0x00000000
RTC_TR2	0x030	RTC 时间记录寄存器	0x00000000
RTC_TR1	0x034	RTC 时间记录寄存器	0x00000000
RTC_TR3	0x038	RTC 时间记录寄存器	0x00000000
RTC_1SCAL	0x03C	RTC 校准寄存器	0x00000000
RTC_MF	0x040	RTC 复用功能寄存器	0x00000000
RTC_ACFG2	0x044	RTC 闹钟配置 2 寄存器	0x00000000
RTC_AO0	0x050	不掉电寄存器 0	0x00000000
RTC_AO1	0x054	不掉电寄存器 1	0x00000000
RTC_AO2	0x058	不掉电寄存器 2	0x00000000
RTC_AO3	0x05C	不掉电寄存器 3	0x00000000
RTC_AO4	0x060	不掉电寄存器 4	0x00000000

20.3.2 RTC 时间寄存器（RTC_TIME）

该寄存器是日历时间的影子寄存器。必须在初始化模式下对该寄存器进行写操作。同时该寄存器也是受 RTC 寄存器写保护机制所保护。

当 DAR=0 时，该寄存器受 RTC 域复位和系统复位影响；

当 DAR=1 时，该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_TIME (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	PM	HORTEN[1:0]		HORUNT[3:0]			
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	MINTEN[2:0]			MINUNT[3:0]				保留	SECTEN[2:0]			SECUNT[3:0]			
	r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w	r/w	r/w	r/w	r/w	r/w	r/w

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

Bit 位	名称	描述
[31:23]	保留	
22	PM	**上午/下午标志位** 0: 上午或者 24 小时制 1: 下午
[21:20]	HORTEN	**时 BCD 码十位数**
[19:16]	HORUNT	**时 BCD 码个位数**
[14:12]	MINTEN	**分 BCD 码十位数**
[11:8]	MINUNT	**分 BCD 码个位数**
[6:4]	SECTEN	**秒 BCD 码十位数**
[3:0]	SECUNT	**秒 BCD 码个位数**

20.3.3 RTC 日期寄存器（RTC_DATE）

该寄存器是日历日期的影子寄存器。必须在初始化模式下对该寄存器进行写操作。同时该寄存器也是受 RTC 寄存器写保护机制所保护。
当 DAR=0 时，该寄存器受 RTC 域复位和系统复位影响；
当 DAR=1 时，该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_DATE (偏移地址=0x004，复位值=0x00002101)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	YTEN[3:0]				YUNT[3:0]			
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUNT[2:0]			MTEN	MUNT[3:0]				保留	保留	DTEN[1:0]		DUNT[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w			r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:24]	保留	
[23:20]	YTEN	**年 BCD 码十位数**
[19:16]	YUNT	**年 BCD 码个位数**
[15:13]	WUNT	**星期 BCD 码个位数**
12	MTEN	**月 BCD 码十位数**
[11:8]	MUNT	**月 BCD 码个位数**
[7:6]	保留	
[5:4]	DTEN	**日 BCD 码十位数**
[3:0]	DUNT	**日 BCD 码个位数**

20.3.4 RTC 控制寄存器（RTC_CTR）

该寄存器受 RTC 域复位影响，而不受系统复位影响。该寄存器受 RTC 寄存器写保护机制所保护。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

RTC_CTR (偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	CALOE	OUTSRC [1:0]		APOL	CALSRC	SAVEF	DEC1H	INC1H
								r/w	r/w	r/w	r/w	r/w	r/w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIE	保留	保留	ALRIE	TRE	保留	保留	ALRE	保留	FMT12	DAR	OPCLKEN	TRESEL	保留	保留	保留
r/w			r/w	r/w			r/w		r/w	r/w	r/w	r/w			

Bit 位	名称	描述
[31:24]	保留	
23	CALOE	**校准输出使能** 0：禁止校准输出 1：使能校准输出
[22:21]	OUTSRC	**RTC_ALR 输出选择** 00：禁止输出 01：闹钟标志位输出 10：保留 11：保留
20	APOL	**闹钟输出 RTC_ALR 极性** 0：当 ALRF 被置位时，RTC_ALR 输出高有效 1：当 ALRF 被置位时，RTC_ALR 输出低有效
19	CALSRC	**校准输出选择** 0：输出 512Hz 时钟(当 PDIV1=0x7F，PDIV2=0xFF 且 RTCCLK 频率为 32768Hz 时) 1：输出 1Hz 时钟(当 PDIV1=0x7F，PDIV2=0xFF 且 RTCCLK 频率为 32768Hz 时)
18	SAVEF	**时区调整标记** 该位可由用户写入，用于记录夏令时是否已经发生变化
17	DEC1H	**时区减 1 小时**(冬季时间变化) 当该位被置 1 时，如果当前时数不是 0 日历会减去 1 小时(下一秒生效)，如果当前时数为 0 没有效果。读该位恒为 0。 0：无影响 1：当前时间减 1 小时。可以在初始化外用于冬季时间变化
16	INC1H	**时区加 1 小时**(夏季时间变化) 当该位被置 1 时，日历会加 1 小时(下一秒生效)。读该位恒为 0。 0：无影响 1：当前时间加 1 小时。可以在初始化外用于夏季时间变化
15	TRIE	**时间记录中断使能** 0：禁止时间记录中断

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1：使能时间记录中断
[14:13]	保留	
12	ALRIE	**闹钟中断使能** 0：禁止闹钟中断 1：使能闹钟中断
11	TRE	**时间记录使能** 0：禁止时间记录功能 1：使能时间记录功能
[10:9]	保留	
8	ALRE	**闹钟使能** 0：禁止闹钟功能 1：使能闹钟功能
7	保留	
6	FMT12	**小时格式** 0：24 小时/天制 1：上午/下午制 *注：只能在初始化模式下写入*
5	DAR	**直接访问寄存器** 0：日历值(读 RTC_SSEC、RTC_TIME、RTC_DATE 寄存器)为影子寄存器的值，2 个 RTCCLK 时钟周期更新一次 1：日历值(读 RTC_SSEC、RTC_TIME、RTC_DATE 寄存器)直接取自日历计数器的值。 *注：如果 APB 时钟频率小于 7 倍的 RTCCLK 时钟频率，DAR 必须设置为 1*
4	OPCLKE	**外部精确时钟(50Hz 或 60Hz)检测使能** 0：禁止外部精确时钟检测 1：使能外部精确时钟检测 *注：PDIV2 必须为 0x00FF* *只能在初始化模式下写入*
3	TRESEL	**时间记录事件有效边沿** 0：RTC_TSR 管脚上升沿会产生时间记录事件 1：RTC_TSR 管脚下降沿会产生时间记录事件 当改变该位时，TRE 必须被复位。
[2:0]	保留	

注：不建议在日历的小时数增加时去改变小时，这有可能将正确的小时增量屏蔽掉。

20.3.5 RTC 控制寄存器（RTC_STS）

该寄存器受 RTC 域复位影响，而不受系统复位影响(除了 INITE、INITF 和 RSF 位)。该寄存器(除了 RTC_STS[13:8]外)受 RTC 寄存器写保护机制所保护。

RTC_STS (偏移地址=0x00C，复位值=0x00000007)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	CAL BSY

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

															r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	TAMP2F	TAMP1F	TSOVF	TSF	保留	保留	ALRF	INITE	INITF	RSF	INITS	SHF_BUSY	保留	保留	ALRWAF
	r/w0c	r/w0c	r/w0c	r/w0c			r/w0c	r/w	r	r/w0c	r	r			r

Bit 位	名称	描述
[31:17]	保留	
16	CALBSY	**校准忙标志** 当程序向 RTC_1SCAL 执行写操作时，该位被自动置 1，表示 RTC_1SCAL 被封锁。当新的校准生效时，该位被清除。参考运行中 RTC 重校准
15	保留	
14	TAMP2F	**侵入 2 标志** 当检测到侵入 2 事件时，该位置 1 写 0 清除
13	TAMP1F	**侵入 1 标志** 当检测到侵入 1 事件时，该位置 1 写 0 清除
12	TSOVF	**时间记录溢出标志** 当 TSF 位已经被置 1 后，如果发生时间记录事件，则 TSOVF 被置 1 写 0 清除 建议当 TSF 位被清除后再查询和清除 TSOVF 位，否则在 TSF 被清除前发生时间记录事件 TSOVF 容易被忽略。
11	TSF	**时间记录标志** 当检测到时间记录事件时，该位置 1 写 0 清除
[10:9]	保留	
8	ALRF	**闹钟标志** 当 RTC_TIME 和 RTC_DATE 的值和 RTC_ACFG1 的值匹配时，该位置 1 写 0 清除
7	INITE	**初始化模式使能** 0：正常运行模式 1：初始化模式下写 RTC_TIME、RTC_DATE 和 RTC_PDIV 寄存器。日历计数器停止，直至 INITE 被复位后，计数器从新的值开始计数
6	INITF	**初始化模式进入标志** 当该位被置 1 时，标志 RTC 在初始化模式，RTC_TIME、RTC_DATE 和 RTC_PDIV 寄存器可以更新 0：禁止日历寄存器更新 1：允许日历寄存器更新
5	RSF	**同步标志** 当日历寄存器被复制到相对应的影子寄存器时，该位被置 1。当初始化模式、

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		同步正忙(SHF_BUSY=1)或者 DAR=1 时，该位被硬件清除。也可以通过程序清除 在初始化模式下，该位可以被程序或硬件清除 0：日历影子寄存器还未同步 1：日历影子寄存器已经同步
4	INITS	**初始化状态** 当日历寄存器的年数为非 0(RTC 域复位值为 0)时，该位被置 1 0：日历还未被初始化 1：日历已经被初始化
3	SHF_BUSY	**同步忙标志** 0：没有同步移位操作 1：正在同步移位操作 当向 RTC_ADJ 寄存器写入时，该位被置 1。当同步移位操作完成后，该位被硬件自动清除。向该位直接写入无效
[2:1]	保留	
0	ALRWAF	**闹钟可写标志** 当 ALRE 为 0 时，闹钟寄存器可以被改变，该位被硬件置 1 初始化模式下，该位被硬件清除 0：禁止闹钟寄存器更新 1：允许闹钟寄存器更新

注：ALRF 和 TSF 位被写 0 后，将在 2 个 APB 时钟周期后清 0。

20.3.6 RTC 预分频寄存器（RTC_PDIV）

该寄存器必须在初始化模式下对该寄存器进行写操作。同时该寄存器也是受 RTC 寄存器写保护机制所保护。
该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_PDIV (偏移地址=0x010，复位值=0x007F00FF)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	PDIV1[6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	PDIV2[14:0]														
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:23]	保留	
[22:16]	PDIV1	**RTC 异步分频系数** 异步分频器输出频率为 $f_{ck_pre1}=f_{RTCCLK}/(PDIV1 + 1)$
15	保留	
[14:0]	PDIV2	**RTC 同步分频系数**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		同步分频器输出频率为 $f_{ck_pre2}=f_{ck_pre1}/(PDIV2 + 1)$

20.3.7 RTC 闹钟配置 1 寄存器（RTC_ACFG1）

该寄存器必须在 ALRWAF=1 或者初始化模式下对该寄存器进行写操作。同时该寄存器也是受 RTC 寄存器写保护机制所保护。
该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_ACFG1 (偏移地址=0x01C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WDBYP	WDSEL	DTEN[1:0]		DUNT[3:0]				HORBYP	PM	HORTEN[1:0]		HORUNT[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MINBYP	MINTEN[2:0]			MINUNT[3:0]				SECBYP	SECTEN[2:0]			SECUNT[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
31	WDBYP	**星期/日匹配旁路** 0：星期/日匹配时，闹钟置位 1：闹钟不比较星期/日
30	WDSEL	**星期/日选择** 0：DUNT[3:0]代表日 1：DUNT[3:0]代表星期，同时闹钟不比较 DTEN[1:0]
[29:28]	DTEN	**日 BCD 十位数**
[27:24]	DUNT	**日/星期 BCD 个位数**
23	HORBYP	**时匹配旁路** 0：时匹配时，闹钟置位 1：闹钟不比较时
22	PM	**上午/下午选择** 0：上午或者 24 小时制 1：下午
[21:20]	HORTEN	**时 BCD 十位数**
[19:16]	HORUNT	**时 BCD 个位数**
15	MINBYP	**分匹配旁路** 0：分匹配时，闹钟置位 1：闹钟不比较分
[14:12]	MINTEN	**分 BCD 十位数**
[11:8]	MINUNT	**分 BCD 个位数**
7	SECBYP	**秒匹配旁路** 0：秒匹配时，闹钟置位

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1：闹钟不比较秒
[6:4]	SECTEN	**秒 BCD 十位数**
[3:0]	SECUNT	**秒 BCD 个位数**

20.3.8 RTC 控制码寄存器（RTC_CCODE）

RTC_CCODE (偏移地址=0x024，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	CCODE[7:0]							
								w	w	w	w	w	w	w	w

Bit 位	名称	描述
[31:8]	保留	
[7:0]	CCODE	**写保护控制码** 通过程序可以向该寄存器进行写操作 读该寄存器恒为 0x00 参考 RTC 寄存器写保护章节

20.3.9 RTC 亚秒寄存器（RTC_SSEC）

当 DAR=0 时，该寄存器受 RTC 域复位和系统复位影响；
当 DAR=1 时，该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_SSEC (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSEC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[31:16]	保留	
[15:0]	SSEC	**亚秒值** 亚秒值为同步计数器中的值。 秒的小数部分为(PDIV2 - SSEC)/(PDIV2 + 1) *注：只有在 RTC 同步移位操作后，SSEC 的值才可能比 PDIV2 大。这种情况下，正确的时间/日期比 RTC_TIME/RTC_DATE 少 1 秒*

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

20.3.10　RTC 调整寄存器（RTC_ADJ）

该寄存器受 RTC 寄存器写保护机制所保护。
该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_ADJ (偏移地址=0x02C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INC1S	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	SSEC_ADJ[14:0]														
	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit 位	名称	描述
31	INC1S	**增加 1 秒** 0：无影响 1：日历计数器增加 1 秒 该位只写，读恒为 0。当前如果有同步移位操作(即 SHF_BUSY=1)，写该位无影响。 该位的功能是和 SSEC_ADJ 一起使用，可以在单次操作中有效地增加若干分之秒
[30:15]	保留	
[14:0]	SSEC_ADJ	**亚秒调整** 该位只写，读恒为 0。当前如果有同步移位操作(即 SHF_BUSY=1)，写该位无影响。 写入 SSEC_ADJ 的值将添加到同步预分频器计数器。由于计数器是倒计时的， 时钟将被延迟， 延迟时间为 SSEC_ADJ/(PDIV2 + 1) 当同时写入 INC1S 和 SSEC_ADJ 时，时钟(推进时钟)将增加若干分之一秒，推进为(1- SSEC_ADJ/(PDIV2 + 1)) *注：写 SSEC_ADJ 会清除 RSF 位。程序需等待 RSF=1 再读影子寄存器以确保影子寄存器与移位时间已经同步更新*

20.3.11　RTC 时间记录 2 寄存器（RTC_TR2）

该寄存器的值只有在 TSF=1 时候有效，当 TSF 被复位该寄存器也会被复位。
该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_TR2 (偏移地址=0x030，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	PM	HORTEN[1:0]		HORUNT[3:0]			
									r	r	r	r	r	r	r

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	MINTEN[2:0]			MINUNT[3:0]				保留	SECTEN[2:0]			SECUNT[3:0]			
	r	r	r	r	r	r	r		r	r	r	r	r	r	r

Bit 位	名称	描述
[31:23]	保留	
22	PM	**上午/下午标志位** 0: 上午或者 24 小时制 1: 下午
[21:20]	HORTEN[1:0]	**时 BCD 码十位数**
[19:16]	HORUNT[3:0]	**时 BCD 码个位数**
[14:12]	MINTEN[2:0]	**分 BCD 码十位数**
[11:8]	MINUNT[3:0]	**分 BCD 码个位数**
[6:4]	SECTEN[2:0]	**秒 BCD 码十位数**
[3:0]	SECUNT[3:0]	**秒 BCD 码个位数**

20.3.12　RTC 时间记录 1 寄存器（RTC_TR1）

该寄存器的值只有在 TSF=1 时候有效，当 TSF 被复位该寄存器也会被复位。
该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_TR1 (偏移地址=0x034，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUNT[2:0]			MTEN	MUNT[3:0]				保留	保留	DTEN[1:0]		DUNT[3:0]			
r	r	r	r	r	r	r	r			r	r	r	r	r	r

Bit 位	名称	描述
[31:16]	保留	
[15:13]	WUNT	**星期 BCD 码个位数**
12	MTEN	**月 BCD 码十位数**
[11:8]	MUNT	**月 BCD 码个位数**
[7:6]	保留	
[5:4]	DTEN	**日 BCD 码十位数**
[3:0]	DUNT	**日 BCD 码个位数**

20.3.13　RTC 时间记录 3 寄存器（RTC_TR3）

该寄存器的值只有在 TSF=1 时候有效，当 TSF 被复位该寄存器也会被复位。
该寄存器只受 RTC 域复位影响，而不受系统复位影响。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

RTC_TR3 (偏移地址=0x038，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSEC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[31:16]	保留	
[15:0]	SSEC	**时间记录亚秒值** 该寄存器为当发生时间记录事件时同步分频器的计数器的值

20.3.14　RTC 校准寄存器（RTC_1SCAL）

该寄存器受 RTC 寄存器写保护机制所保护。
该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_1SCAL (偏移地址=0x03C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INSCLK	WIN8S	WIN16S	保留	保留	保留	保留	SWACLK[8:0]								
r/w	r/w	r/w					r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
15	INSCLK	**插入 RTC 时钟** 0：不插入 RTC 时钟 1：每 2^{11} 个脉冲插入 1 个 RTCCLK 时钟，即频率增加 488.5ppm。 该功能是和 SWACLK[8:0]配合使用。如果输入频率是 32768Hz，那么在 32 秒窗口内插入的 RTCCLK 时钟数为(512*INSCLK) - SWACLK[8:0]
14	WIN8S	**校准窗口为 8 秒** 当 WIN8S 为 1 时，校准窗口为 8 秒 *注：当 WIN8S=1 时，SWACLK[1:0]锁定为 00*
13	WIN16S	**校准窗口为 16 秒** 当 WIN16S 为 1 时，校准窗口为 16 秒。如果 WIN8S=1，则 WIN16S 不能置 1

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		注：当 WIN16S=1 时，SWACLK[0]锁定为 0
[12:9]	保留	
[8:0]	SWACLK	**减少 RTC 时钟** 通过在 2^{20} 个 RTCCLK 周期内(如果输入频率为 32768Hz，则为 32 秒)屏蔽掉 SWACLK[8:0]个 RTCCLK 时钟，以减小日历的频率(分辨率为 0.9537ppm) 通过和 INSCLK 一起使用可以增大日历频率

20.3.15　RTC 复用功能寄存器（RTC_MF）

该寄存器受 RTC 域复位影响，而不受系统复位影响。

RTC_MF (偏移地址=0x040，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	PC15 CFG	PC15 DATA	PC14 CFG	PC14 DATA	PC13 CFG	PC13 DATA	保留	保留
								r/w	r/w	r/w	r/w	r/w	r/w		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INBRKPUDIS	INBRKPRCH[1:0]		INBRKFLT[1:0]		INBRKFREQ[2:0]			INBRKTR	保留	保留	INBRK2TRG	INBRK2E	INBRKIE	INBRK1TRG	INBRK1E
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w			r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:24]	保留	
23	PC15CFG	**PC15 配置** 0：PC15 管脚受控于 GPIO 配置寄存器。因此在掉电模式，PC15 处于悬空状态 1：LXT 禁用时，PC15 管脚强制为推挽输出
22	PC15DATA	**PC15 输出值** 当 LXT 禁用且 PC15CFG=1 时，PC15 管脚输出值为 PC15DATA
21	PC14CFG	**PC14 配置** 0：PC14 管脚受控于 GPIO 配置寄存器。因此在掉电模式，PC14 处于悬空状态 1：LXT 禁用时，PC14 管脚强制为推挽输出
20	PC14DATA	**PC14 输出值** 当 LXT 禁用且 PC14CFG=1 时，PC14 管脚输出值为 PC14DATA
19	PC13CFG	**PC13 配置** 0：PC13 管脚受控于 GPIO 配置寄存器。因此在掉电模式，PC13 处于悬空状态 1：当 RTC 所有复用功能都禁止时，PC13 管脚强制为推挽输出

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

18	PC13DATA	**闹钟输出模式/PC13 输出值** 如果 PC13 用于输出 RTC_ALR，则 PC13DATA 用于配置输出 0：RTC_ALR 为开漏输出 1：RTC_ALR 为推挽输出 当 RTC 所有复用功能都禁止时且 PC13CFG=1 时，PC13 管脚输出值为 PC13DATA
[17:16]	保留	
15	INBRKPUDIS	**侵入管脚上拉预充电禁止** 该位决定是否所有侵入管脚在采样前进行预充电 0：在侵入管脚采样前进行预充电(使能内部上拉) 1：在侵入管脚采样前禁止预充电
[14:13]	INBRKPRCH[1:0]	**侵入管脚上拉预充电时间** 该位决定每个侵入管脚上拉预充电时间 0x0：1 个 RTCCLK 时钟周期 0x1：2 个 RTCCLK 时钟周期 0x2：4 个 RTCCLK 时钟周期 0x3：8 个 RTCCLK 时钟周期
[12:11]	INBRKFLT[1:0]	**侵入管脚输入滤波长度** 该位决定每个侵入管脚需要连续采样到多少个特定电平(INBRKxTRG 决定)才产生 1 个侵入事件 0x0：侵入管脚边沿跳变将产生 1 个侵入事件(侵入管脚禁用内部上拉) 0x1：连续采样到 2 个特定电平产生 1 个侵入事件 0x2：连续采样到 4 个特定电平产生 1 个侵入事件 0x3：连续采样到 8 个特定电平产生 1 个侵入事件
[10:8]	INBRKFREQ[2:0]	**侵入管脚输入滤波采样周期** 0x0：f_{RTCCLK}/32768 (1Hz 如果 f_{RTCCLK}=32768Hz) 0x1：f_{RTCCLK}/16384 (2Hz 如果 f_{RTCCLK}=32768Hz) 0x2：f_{RTCCLK}/8192 (4Hz 如果 f_{RTCCLK}=32768Hz) 0x3：f_{RTCCLK}/4096 (8Hz 如果 f_{RTCCLK}=32768Hz) 0x4：f_{RTCCLK}/2048 (16Hz 如果 f_{RTCCLK}=32768Hz) 0x5：f_{RTCCLK}/1024 (32Hz 如果 f_{RTCCLK}=32768Hz) 0x6：f_{RTCCLK}/512 (64Hz 如果 f_{RTCCLK}=32768Hz) 0x7：f_{RTCCLK}/256 (128Hz 如果 f_{RTCCLK}=32768Hz)
7	INBRKTR	**侵入管脚的时间记录功能使能** 0：侵入事件不会触发时间记录功能 1：侵入事件触发时间记录功能，记录侵入时间 即使 RTC_CTR 中的 TRE=0，INBKTR 依然有效
[6:5]	保留	
4	INBRK2TRG	**侵入管脚 2 触发电平或边沿** 当 INBRKFLT[1:0]不为 0 时 0：侵入管脚 2 保持低电平触发 1 个侵入检测事件 1：侵入管脚 2 保持高电平触发 1 个侵入检测事件 当 INBRKFLT[1:0]为 0 时 0：侵入管脚 2 上升沿触发 1 个侵入检测事件

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1：侵入管脚 2 下降沿触发 1 个侵入检测事件
3	INBRK2E	**侵入 2 使能** 0：侵入 2 检测禁用 1：侵入 2 检测启用
2	INBRKIE	**侵入中断使能** 0：侵入中断禁用 1：侵入中断启用
1	INBRK1TRG	**侵入管脚 1 触发电平或边沿** 当 INBRKFLT[1:0]不为 0 时 0：侵入管脚 1 保持低电平触发 1 个侵入检测事件 1：侵入管脚 1 保持高电平触发 1 个侵入检测事件 当 INBRKFLT[1:0]为 0 时 0：侵入管脚 1 上升沿触发 1 个侵入检测事件 1：侵入管脚 1 下降沿触发 1 个侵入检测事件
0	INBRK1E	**侵入 1 使能** 0：侵入 1 检测禁用 1：侵入 1 检测启用

注：当 INBRKFLT[1:0]为 0 时，如果要改变 INBRKxTRG，INBRKxE 必须为 0 以避免产生不正确的 TAMPxF。

20.3.16　RTC 闹钟配置 2 寄存器（RTC_ACFG2）

该寄存器必须在 ALRWAF=1 或者初始化模式下对该寄存器进行写操作。同时该寄存器也是受 RTC 寄存器写保护机制所保护。

该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_ACFG2 (偏移地址=0x044，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	SSECBYP[3:0]				保留	保留	保留	保留	保留	保留	保留	保留
				r/w	r/w	r/w	r/w								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	SSEC[14:0]														
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:28]	保留	
[27:24]	SSECBYP	**亚秒匹配旁路** 0x1：闹钟只比较 SSEC[0]，不比较 SSEC[14:1] 0x2：闹钟只比较 SSEC[1:0]，不比较 SSEC[14:2] 0x3：闹钟只比较 SSEC[2:0]，不比较 SSEC[14:3] 0x4：闹钟只比较 SSEC[3:0]，不比较 SSEC[14:4] … 0xC：闹钟只比较 SSEC[11:0]，不比较 SSEC[14:12] 0xD：闹钟只比较 SSEC[12:0]，不比较 SSEC[14:13]

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0xE：闹钟只比较 SSEC[13:0]，不比较 SSEC[14] 0xF：闹钟比较 SSEC[14:0] 同步计数器的位 15 为溢出位，始终不参与比较。溢出位只有在同步移位操作后才可能不是 0
[23:15]	保留	
[14:0]	SSEC	**亚秒** 用于和同步分频器的计数器比较，以确认是否产生闹钟事件。只有[SSEC-1：0]参与比较

20.3.17　RTC 不掉电寄存器 0（RTC_AO0）

该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_AO0 (偏移地址=0x050，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AO[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AO[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	AO	**不掉电寄存器 0** 程序可以向该寄存器进行写和读操作。当VDD掉电时，该寄存器是由VBAT供电，因此不受系统复位影响及在低功耗模式下其内容一直保持有效。 当发生侵入事件时，该寄存器被复位。

20.3.18　RTC 不掉电寄存器 1（RTC_AO1）

该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_AO1 (偏移地址=0x054，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AO[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AO[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	AO	**不掉电寄存器 1**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		程序可以向该寄存器进行写和读操作。当VDD掉电时，该寄存器是由VBAT供电，因此不受系统复位影响及在低功耗模式下其内容一直保持有效。 当发生侵入事件时，该寄存器被复位。

20.3.19　RTC 不掉电寄存器 2（RTC_AO2）

该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_AO2 (偏移地址=0x058，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AO[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AO[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	AO	**不掉电寄存器 2** 程序可以向该寄存器进行写和读操作。当VDD掉电时，该寄存器是由VBAT供电，因此不受系统复位影响及在低功耗模式下其内容一直保持有效。 当发生侵入事件时，该寄存器被复位。

20.3.20　RTC 不掉电寄存器 3（RTC_AO3）

该寄存器只受 RTC 域复位影响，而受系统复位影响。

RTC_AO3 (偏移地址=0x005C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AO[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AO[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	AO	**不掉电寄存器 3** 程序可以向该寄存器进行写和读操作。当VDD掉电时，该寄存器是由VBAT供电，因此不受系统复位影响及在低功耗模式下其内容一直保持有效。 当发生侵入事件时，该寄存器被复位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

20.3.21　RTC 不掉电寄存器 4（RTC_AO4）

该寄存器只受 RTC 域复位影响，而不受系统复位影响。

RTC_AO4 (偏移地址=0x060，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AO[31:16]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AO[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:0]	AO	**不掉电寄存器 4** 程序可以向该寄存器进行写和读操作。当 VDD 掉电时，该寄存器是由 VBAT 供电，因此不受系统复位影响及在低功耗模式下其内容一直保持有效。 当发生侵入事件时，该寄存器被复位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

21 I2C 接口

概述

21.1.1 简介

I²C 总线接口处理微控制器和串行 I²C 总线之间的通信。它提供多主机功能，并控制所有 I²C 总线特定的时序、协议、仲裁和定时。它支持标准模式（Sm）、快速模式（Fm）和快速模式增强（Fm⁺）。

21.1 该模块可以支持 DMA 功能来减轻 CPU 负担。

21.1.2 功能概览

- I²C 总线规范第 03 版兼容性：
  - 从机模式和主机模式
  - 多主机功能
  - 标准模式（高达 100 kHz）
  - 快速模式（高达 400 kHz）
  - 超快速模式（最高 1MHz）
  - 7 位和 10 位寻址模式
  - 多个 7 位从机地址（2 个地址，1 个可配置屏蔽位）
  - 所有 7 位地址应答模式
  - 广播呼叫
  - 可编程建立和保持时间
  - 易于使用的事件管理
  - 可选时钟延长
  - 软件复位
- 具有 DMA 功能的 1 字节缓冲区 。
- 可编程模拟和数字噪声滤波器

根据产品实现的不同，还提供以下附加功能：

- 独立时钟：允许 I2C 选择一个独立的时钟源，通信速度相对于 PCLK 可独立调整
- 从机地址匹配时从深度睡眠模式唤醒

本手册描述了 I2C1 实现的所有功能。I2C2 实现了 I2C1 功能的子集，其他和 I2C1 一样。具体差异如下表。

表 59 CS32F03x I2C 实现

特性	I2C1	I2C2
7 位地址模式	X	X
10 位地址模式	X	X
标准模式（最高 100 kbit/s）	X	X
快速模式（最高 400 kbit/s）	X	X
独立时钟	X	-
SMBus	-	-
从深度睡眠模式唤醒	X	-
快速模式加上额外输出驱动器 I/O（最高 1Mbit/s）	X②	-

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

①X 为支持
②F035/F036/F036Q 不支持超快速模式

模块操作

除了接收和传输数据外，该接口还将数据从串行格式转换为并行格式，反之亦然。中断由软件启用或禁用。接口通过数据管脚（SDA）和时钟管脚（SCL）连接到 I2C 总线。它可以与标准模式（高达 100kHz）、快速模式（高达 400kHz）或超快速模式（高达 1MHz）I2C 总线连接。

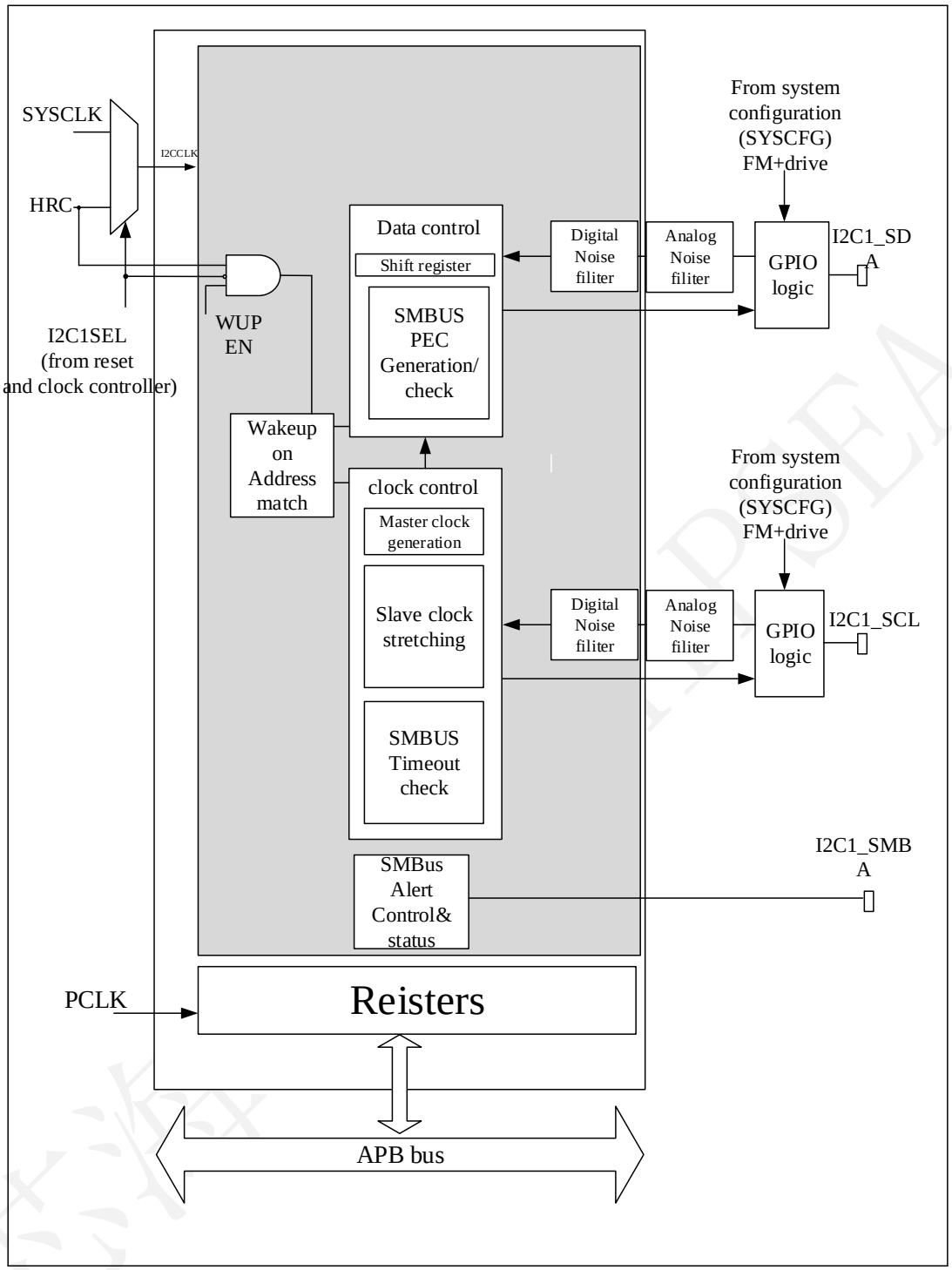
该接口还可以通过数据管脚（SDA）和时钟管脚（SCL）连接到 SMBus。如果支持 SMBus 功能，还提供额外可选的 SMBus Alert 管脚(SMBA)。

21.2

图 184 I2C1 框图

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



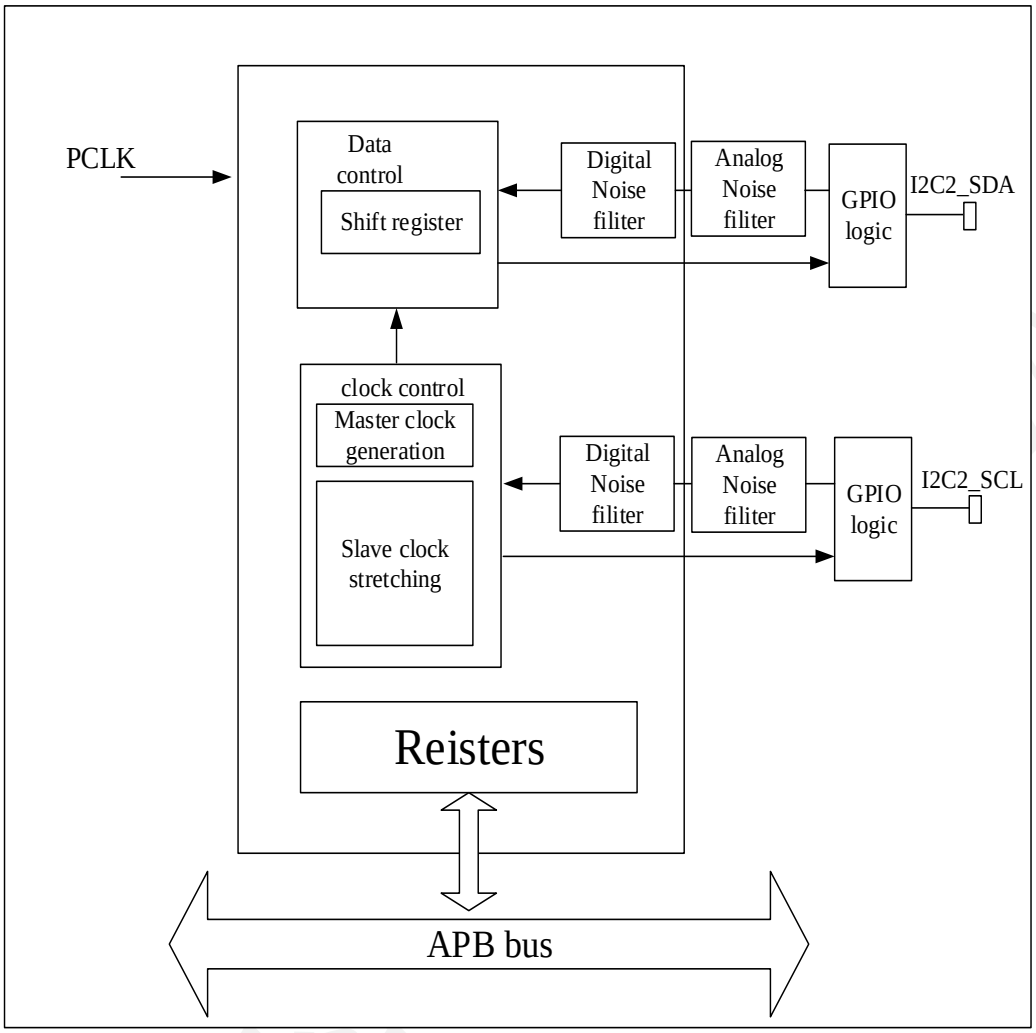
I2C1 由一个独立的时钟源驱动， 它允许 I2C 相对于 PCLK 频率独立工作。这个独立的时钟源可以选择以下两个时钟源之一：

- HRC： 高速内部振荡器（ 默认值）
- SYSCLK： 系统时钟

I2C1 的 I/Os 支持 20 mA 的输出电流驱动以适应超快速模式的操作。通过将 SCL 和 SDA 的驱动能力控制位置 1 来启用此设置，详见 SYSCFG 配置寄存器 1（ SYSCFG_RMAPCFG1）。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 185 I2C2 框图



21.2.1 I2C 时钟要求

I²C 由 I2C_CLK 提供时钟。

I2C_CLK 周期 T_{I2C_CLK} 必须遵守以下条件：

$$t_{I2C_CLK} < (t_{LOW} - t_{filters}) / 4 \text{ 和 } t_{I2C_CLK} < t_{HIGH}$$

其中：

t_{LOW}：SCL 低电平时间和 t_{HIGH} : SCL 高电平时间

$t_{filters}$：模拟滤波器和数字滤波器启用时，带来的延迟总和。

模拟滤波器的延时最大为 260 ns。数字滤波器的延迟为 DFCFG x t_{I2C_CLK}.

PCLK 时钟周期 t_{PCLK} 必须遵循以下条件：

$$t_{PCLK} < 4/3\ t_{SCL}$$

其中 t_{SCL} ： SCL 周期

注意：当 I2C 由 PCLK 作为主时钟时，PCLK 必须遵循 t_{I2C_CLK} 的条件。

21.2.2 模式选择

该接口可在以下四种模式之一下工作：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 从发送器
- 从接收器
- 主发送器
- 主接收器

默认情况下，以从机模式运行。当接口产生一个 START 起始条件时，它会自动从从机模式切换到主机模式，并且如果仲裁丢失或 STOP 出现时，接口会自动从主机模式切换到从机模式以允许多主机通讯功能。

通信流程

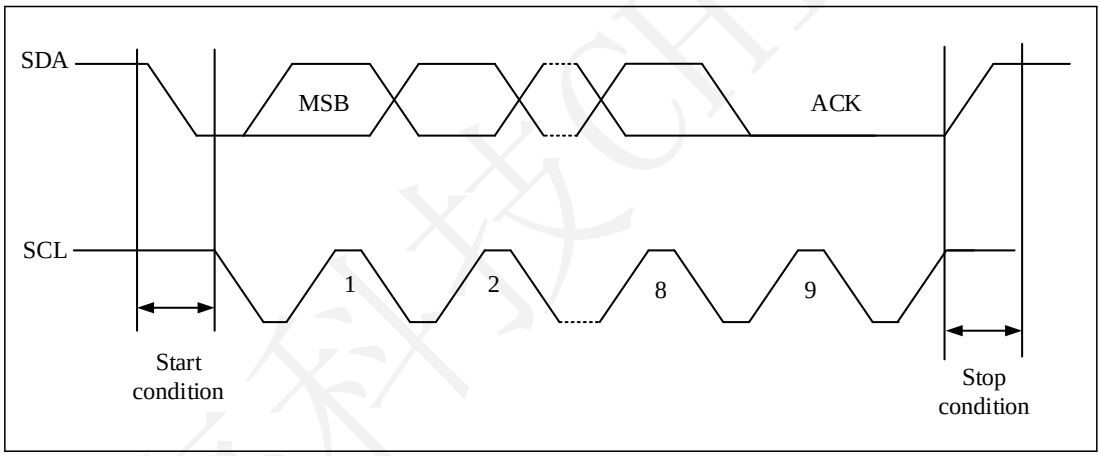
在主机模式下，I2C 接口启动数据传输并生成时钟信号。串行数据传输总是以 START 条件开始，以 STOP 条件结束。主机模式下，通过软件配置生成 START 和 STOP 条件。

在从机模式下，接口能够识别本机地址（7 或 10 位）和广播呼叫地址。通过软件来启用或禁用广播呼叫地址识别。保留的 SMBus 地址也可以通过软件启用。

数据和地址以 8 位字节的形式传输，首先是 MSB。起始条件后的 1 或 2 字节是地址（7 位模式下 1 个字节，10 位模式下 2 个字节）。地址总是由主机发出。

在一个字节传输的 8 个时钟后的第 9 个时钟脉冲期间， 接收端必须回复一个应答位 (ACK)给发送端。参见下图。

图 186 I2C 总线协议



软件可以启用或禁用 ACK。I2C 接口地址可通过软件配置。

21.2.3 I2C 初始化

启用和禁用外设

I2C 外设时钟必须在时钟控制器中配置并启用，然后 I2C 可以通过设置在 I2C_CTR1 寄存器的 I2CEN 位来使能。当 I2C 被禁用（ I2CEN= 0） 的时候， I2C 执行软件复位。

噪声滤波器

在通过设置 I2C_CTR1 寄存器中的 I2CEN 位来启用 I2C 外设之前，用户必须根据需要配置噪声滤波器。默认情况下，模拟噪声滤波器存在于 SDA 和 SCL 输入上。该模拟滤波器符合 I2C 规范，要求在超快模式和快速模式下抑制脉冲宽度小于 50 ns 的脉冲。用户可以通过设置 AFDIS 位来禁用这个模拟滤波器，和/或通过配置 I2C_CTR1 寄存器中的 DFCFG[3:0]位来选择数字滤波器。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

当数字滤波器启用时，SCL 或 SDA 的电平持续时间只有超过 DFCFG x I2CCLK 周期才会被认为是有效电平。尖峰脉冲抑制时间为可配置的 1 至 15 个 I2C_CLK 周期。

表 60 模拟滤波器与数字滤波器的比较

	模拟滤波器	数字滤波器
尖峰脉冲抑制宽度	≥ 50 ns	可编程长度从 1 到 15 个 I2C_CLK
优点	在深度睡眠模式可用	–可编程长度：额外过滤能力相比标准要求 –稳定长度
缺点	滤波能力与温度、电压、制程相关	启用数字滤波器时，地址匹配从深度睡眠模式唤醒不可用

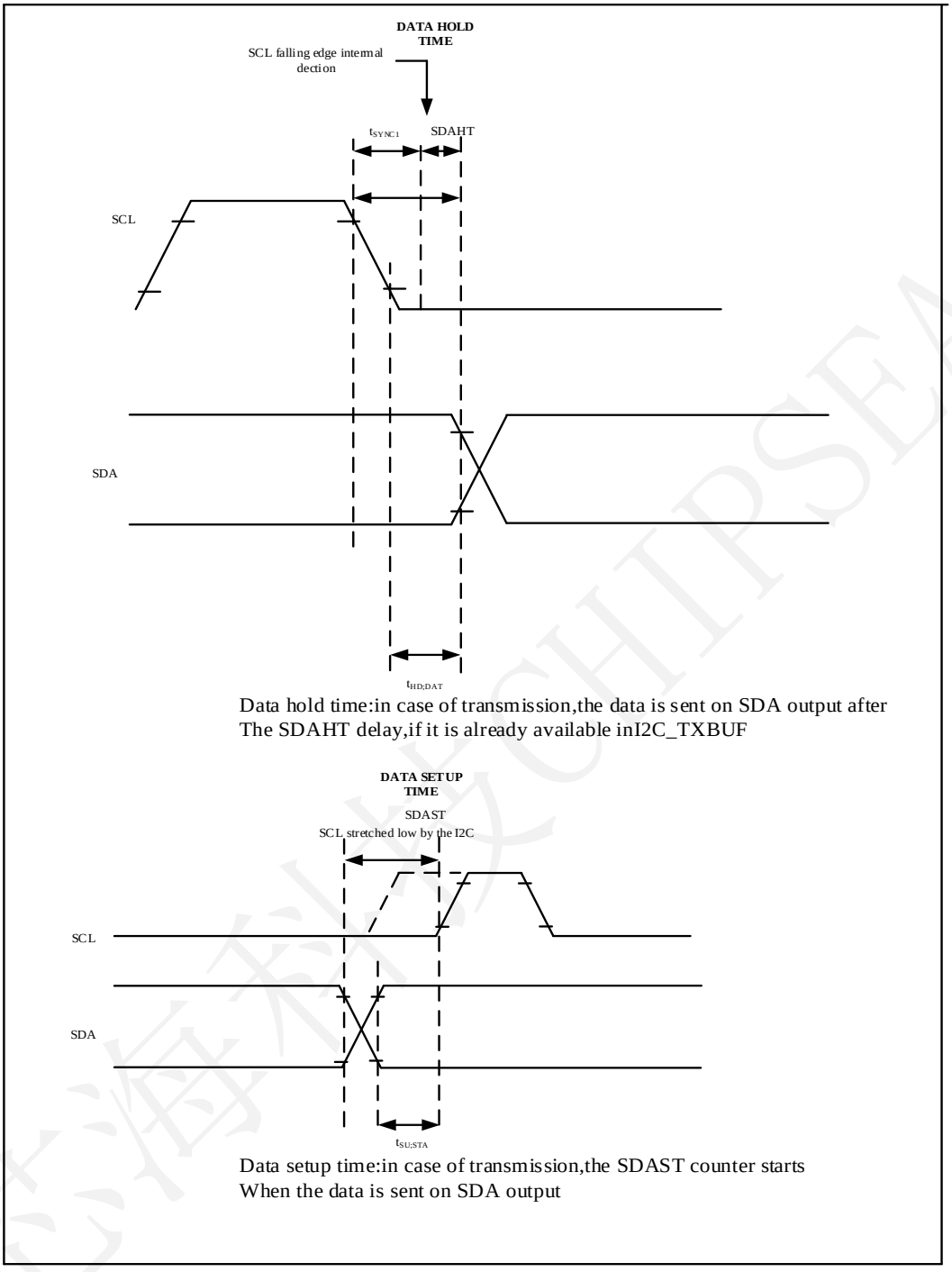
注意：I2C 使能后不允许更改滤波器配置。

I2C 时序

在主从机模式中必须配置时序，以保证正确的数据保持和建立时间。这通过配置 I2C_TMR 寄存器中的 TPDIV[3:0]， SDAST [3:0] 和 SDAHT [3:0] 位来实现。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 187 建立与保持时间



当在内部检测到 SCL 下降沿时，在发送 SDA 输出之前插入延迟。延迟，

$$t_{SDAHT} = SDAHT \times t_{TPDIV} + t_{I2CCLK}$$

其中，$t_{TPDIV} = (TPDIV+1) \times t_{I2CCLK}$。

T_{SDAHT} 影响保持时间 $t_{HD;DAT}$。

SDA 总输出延迟为：

$$t_{SYNC1} + \{[SDAHT \times (TPDIV+1) + 1] \times t_{I2CCLK}\}$$

t_{SYNC1} 持续时间取决于这些参数：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- SCL 下降斜率
- 启用时，模拟滤波器带来的输入延迟: $t_{AF(min)} < t_{AF} < t_{AF(max)}$ ns。
- 启用后，数字滤波器带来的输入延迟: $t_{DFCFG} = DFCFG \times t_{I2CCLK}$
- SCL 同步到 I2C_CLK 时钟导致的延迟 (2 到 3 个 I2CCLK 周期)

为了桥接 SCL 下降沿的未定义区域，用户必须以如下方式对 SDAHT 进行编程：

$$\{t_{f\,(max)} + t_{HD;DAT\,(min)} - t_{AF(min)} - [(DFCFG + 3) \times t_{I2CCLK}]\} / \{(TPDIV + 1) \times t_{I2CCLK}\} \le SDAHT$$

$$SDAHT \le \{t_{HD;DAT\,(max)} - t_{AF(max)} - [(DFCFG + 4) \times t_{I2CCLK}]\} / \{(TPDIV + 1) \times t_{I2CCLK}\}$$

说明：只有在启用模拟滤波器时 $t_{AF(min)}$ / $t_{AF(max)}$才是公式的一部分。参考器件手册来获取 t_{AF} 的值。

对于标准模式、快速模式和超快速模式，最大的 $t_{HD;DAT}$ 分别为 3.45us，0.9us 和 0.45us, 但必须小于过度时间的 $t_{HD;DAT}$ 的最大值。

只有当设备没有延长 SCL 信号的低周期（t_{LOW}）时，才必须满足此最大值。如果时钟延长 SCL，则数据在必须在时钟释放之前的建立时间之前生效。

SDA 上升沿通常是最坏的情况，因此在这种情况下，前面的方程变成:

$$SDAHT \le \{t_{VD;DAT\,(max)} - t_{r\,(max)} - 260\text{ ns} - [(DFCFG + 4) \times t_{I2CCLK}]\} / \{(TPDIV + 1) \times t_{I2CCLK}\}$$

说明：根据 SDAST 值，当 DISSTRETCH=0 时，可能会违反此条件，因为设备将会使 SCL 伸展到低态以保证建立时间。

参考表 61 来获取 t_f , t_r , $t_{HD;DAT}$ 和 $t_{VD;DAT}$ 的标准值。

- 在 t_{SDAHT} 延迟之后,或者在发送 SDA 输出之后，以防由于数据尚未写入 I2C_TXBUF 寄存器从而使从机不得不延长时间，建立期间，SCL 线保持在低电平。这个建立时间是 $t_{SDAST} = (SDAST+1) \times t_{TPDIV}$ 其中， $t_{TPDIV} = (TPDIV+1) \times t_{I2CCLK}$。$t_{SDAST}$ 影响建立时间 $t_{SU;DAT}$。

为了桥接 SDA 转换的未定义区域（上升沿通常为最坏情况），用户必须以如下方式对 SDAST 进行编程：

$$\{[t_{r\,(max)} + t_{SU;DAT\,(min)}] / [(TPDIV+1)] \times t_{I2CCLK}]\} - 1 <= SDAST$$

参考表 61 来获取 t_r 和 $t_{SU;DAT}$ 标准值。

要使用的 SDA 和 SCL 转换时间值是应用程序中的值。使用标准中的最大值会增加 SDAHT 和 SDAST 计算的限制，但无论应用程序如何，都可以确保功能。

说明: 在每一个时钟脉冲，在 SCL 下降沿检测之后，I2C 主控或从控延伸 SCL 至低在至少 $[(SDAHT+SDAST+1) \times (TPDIV+1) + 1] \times t_{I2CCLK}$，在传输和接收模式下。在传输模式下，当 SDAHT 计数器完成时，如果数据尚未写入 I2C_TSDR 中，I2C 将继续将 SCL 拉低，直到写入下一个数据。然后在 SDA 输出上发送新的数据 MSB，SDAST 计数器启动，继续将 SCL 拉低以保证数据建立时间。

如果在从机模式下 DISSTRETCH=1，则 SCL 不会延长。因此，SDAHT 必须以这样的方式进行配置，以确保也有足够的建立时间。

表 61 I2C-SMBUS 规格数据建立和保持时间

符号	参数	标准模式（Sm）		快速模式（Fm）		超快模式（Fm+）		SMBUS		Unit
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
$t_{HD;DAT}$	数据保持时间	0	-	0	-	0	-	0.3	-	µs
$t_{VD;DAT}$	数据有效时间	-	3.45	-	0.9	-	0.45	-	-	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

$t_{SU;DAT}$	数据建立时间	250	-	100	-	50	-	250	-	ns
t_r	SDA 和 SCL 上升时间	-	1000	-	300	-	120	-	1000	
t_f	SDA 和 SCL 下降时间	-	300	-	300	-	120	-	300	

此外，在主机模式下，SCL 时钟的高电平和低电平时间必须通过对 I2C_TMR 寄存器中 TPDIV[3:0]，SCLLT[7:0]和 SCLHT[7:0]位进行配置。

- 当在内部检测到 SCL 下降沿时，在释放 SCL 输出之前插入延迟。这个延迟是 t_{SCLL} = (SCLLT+1) x t_{TPDIV} 其中 t_{TPDIV} = (TPDIV+1) x t_{I2CCLK}。t_{SCLL} 影响 SCL 的低电平持续时间 t_{LOW} 。
- 当在内部检测到 SCL 上升沿时，在强制 SCL 输出到低电平之前插入延迟。延迟是 t_{SCLH} = (SCLHT+1) x t_{TPDIV} 其中 t_{TPDIV} = (TPDIV+1) x t_{I2CCLK}。 t_{SCLH} 影响 SCL 的高电平持续时间 t_{HIGH} 。

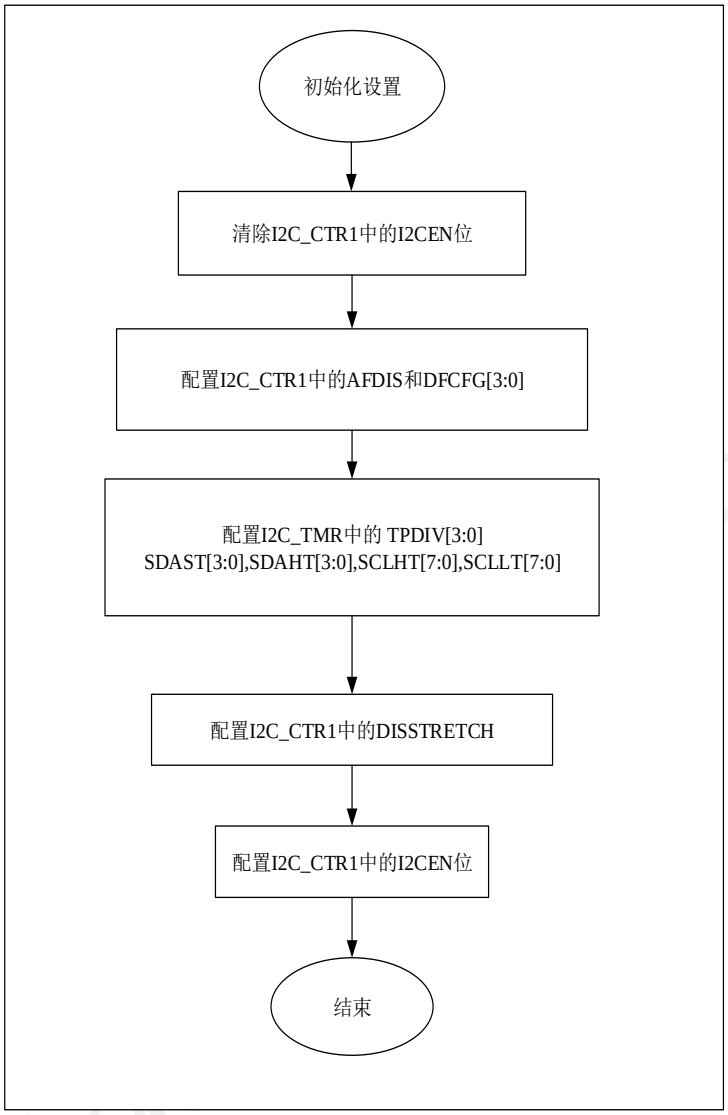
注：启用 I2C 后，不允许更改时序配置。

在启用外设之前，还必须配置 I2C 从机 DISSTRETCH 模式。

注：启用 I2C 时，不允许更改 DISSTRETCH 配置。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 188 I2C 初始化流程图



21.2.4 软件重置

通过清除 I2C_CTR1 寄存器中的 I2CEN 位来执行软件复位。在这种情况下，I2C 总线的 SCL 和 SDA 被释放。内部状态机被复位，所有的通信控制位和状态位回到它们的复位值。而配置寄存器不会受到任何影响。如下受影响的寄存器位列表：

- I2C_CTR2 寄存器: STARTGEN, STOPGEN, NACKGEN
- I2C_STS 寄存器: BUSYF, TXEF, TXINTF, RXNEF, ADRF, NACKFC, RLDF, CMPF, STOPFC, BUSERRF,ARBLOF, OVRF
- 此外，当支持 SMBus 功能时：
- I2C_CTR2 寄存器: PECCTR
- I2C_STS 寄存器: PECCODEERRF, OVRTF, SMBAF

为了执行软件复位，I2CEN 必须保持至少 3 个 APB 时钟周期的低电平。

21.2.5 数据传输

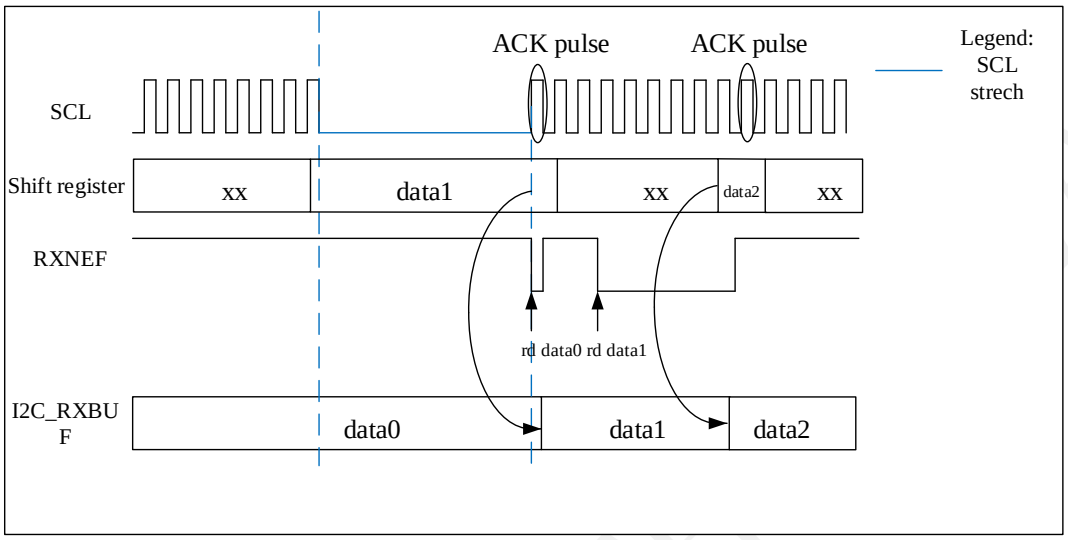
数据传输通过发送和接收数据寄存器和移位寄存器进行管理。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

接收

SDA 输入填充到移位寄存器中。在第 8 个 SCL 脉冲后（当接收到完整的数据字节时），如果移位寄存器为空，则将其复制到 I2C_RXBUF 寄存器（RXNEF=0）中。如果 RXNEF=1，意味着前一个接收到的数据字节尚未被读取，则 SCL 将被拉低，直到 I2C_RXBUF 被读取。在第 8 个和第 9 个 SCL 脉冲之间插入时钟延展（在 ACK 脉冲之前）。

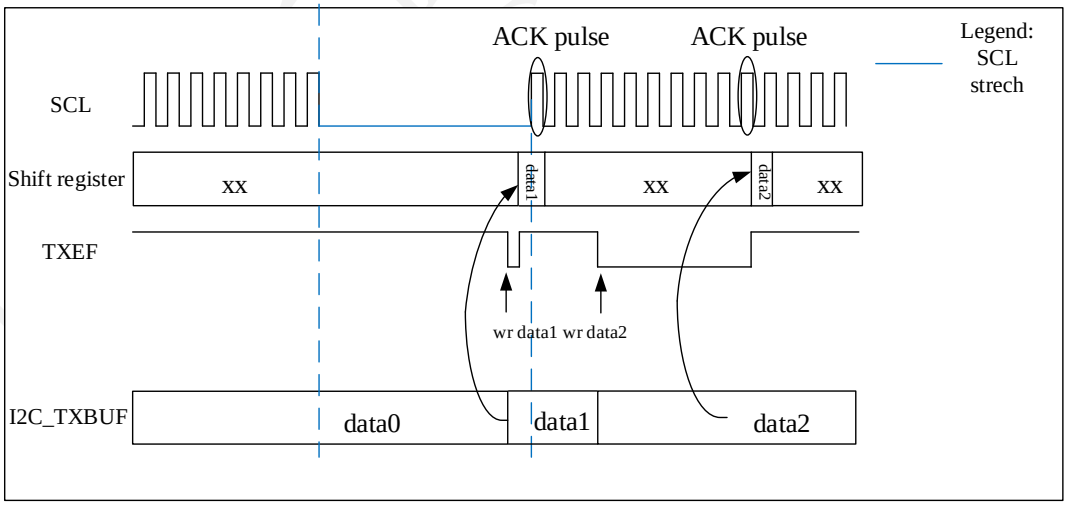
图 189 数据接收



发送

如果 I2C_TXBUF 寄存器不为空（TXEF=0），其内容将在第 9 个 SCL 脉冲（ACK 脉冲）之后复制到移位寄存器。然后在 SDA 行上移出移位寄存器内容。如果 TXEF=1，意味着在 I2C_TXBUF 中还没有写入数据，则 SCL 线会一直拉低，直到 I2C_TXBUF 被写入。第 9 次 SCL 脉冲后延长完成。

图 190 数据发送



硬件传输管理

I2C 在硬件中嵌入了一个字节计数器，以管理字节传输并在各种模式下关闭通信，例如：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- NACKGEN, STOPGEN and ReSTART 在主机模式下产生
- 从机接收模式下的 ACK 控制
- 支持 SMBus 功能时生成/检查 PECCODE

字节计数器总是在主机模式下使用。默认情况下，它在从机模式下被禁用，但可以通过软件在 I2C_CTR2 寄存器中设置 SLVRC（从机响应控制）位来启用它。

要传输的字节数在 I2C_CTR2 寄存器的 BNUM[7:0]位字段中编程。如果要传输的字节数（BNUM）大于 255，或者如果接收器想要控制接收数据字节的 ACK 值，则必须通过设置 I2C_CTR2 寄存器中的 RELOADM 位来选择重新传输。在这种模式下，当 BNUM 字节数被传输完成时，RLDF 标志被设置，如果 CMPIE 被设置，则产生中断。只要设置了 RLDF 标志，SCL 就会被延长。当 BNUM 被写入非零值时，RLDF 由软件清除。当最后的字节时，重新加载 BNUM 计数器时，必须清除 RELOADM 位。

当主机模式下 RELOADM=0 时，计数器可在 2 种模式下使用：

- 自动结束模式 (在 I2C_CTR2 寄存器中 TENDSEL = '1')。在这种模式下，一旦在 BNUM[7:0]位字段中编程的字节数传输完成，主设备就会自动发送一个停止条件。
- 软件结束模式 (在 I2C_CTR2 寄存器中 TENDSEL = '0')。在这种模式下，一旦在 BNUM[7:0]位字段中编程的字节数传输完成，软件动作就被期望；如果设置了 CMPIE 位，则会设置 CMPF 标志并生成中断。只要设置了 CMPF 标志，SCL 信号就会被延长。当在 I2C_CTR2 寄存器中设置开始或停止位时，软件将清除 CMPF 标志。当主机要发送重新启动条件时，必须使用此模式。

注：RELOADM 置位时，TENDSEL 位不起作用。

表 62 I2C 配置表

功能	SLVRC 位	RELOADM 位	TENDSEL 位
主发送/接收+字节+停止	x	0	1
主发送/接收+字节+重新发送	x	0	0
从发送/接收所有接收字节 ACK	0	x	x
从接收器，带 ACK 控制带确认控制的	1	1	x

21.2.6 I2C 从机模式

I2C 从机初始化

为了在从机模式下工作，用户必须启用至少一个从机地址。两个寄存器 I2C_SADR1 和 I2C_SADR2 可用于对从属地址 SADR1 和 SADR2 进行配置。

- 通过在 I2C_SADR1 寄存器中配置 SADR1 模式位，使 SADR1 可以在 7 位模式（默认情况下）或 10 位寻址模式下配置。
- 如果需要额外的从机地址，则可以配置第二个从机地址 SADR2。通过配置 I2C_SADR2 寄存器中的 SADR2MSK[2:0]位，最多可以屏蔽 7 个 SADR2 LSB。因此，当 SADR2MSK 从 1 到 6 配置，只有 SADR2[7:2]、SADR2[7:3]、SADR2[7:4]、SADR2[7:5]、SADR2[7:6]或 SADR2[7]可与接收地址进行比较。一旦 SADR2MSK 不等于 0，SADR2 的地址比较器就会排除 I2C 保留地址（0000 XXX 和 1111XXX），不应答。如果 SADR2MSK=7，则确认所有接收到的 7 位地址（保留地址除外）。SADR2 始终是 7 位地址。如果这些保留地址如果是由特定的启用位启用的，如果它们是在 I2C_SADR1 或 I2C_SADR2 寄存器并且 SADR2MSK=0 中配置，则可以应答这些保留地址。
- 通过设置 I2C_SADR2 寄存器中的 SADR2EN 位，可以启用 SADR2。

通过设置 I2C_CTR1 寄存器中的 GCEN 位来启用广播地址。

当 I2C 由其一个启用的地址寻址时，设置 ADRF 中断标志，如果设置 ADRFIE 位，则生成中断。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

默认情况下，从机使用其时钟延长功能，这意味着它在需要时将 SCL 信号低电平进行扩展，以执行软件操作。如果主机不支持时钟延长，则 I2C 必须在 I2C_CTR1 寄存器中配置 DISSTRETCH=1。

在接收到 ADRF 中断后，如果启用了多个地址，用户必须读取 I2C_STS 寄存器中的 MSLVA[6:0]位，以便检查哪个地址匹配。为了知道传输方向，还必须检查 DIRF 标志。

从机时钟延长 (DISSTRETCH = 0)

在默认模式下，I2C 从机在以下情况下延长 SCL 时钟：

- 当设置 ADRF 标志时：接收到的地址与启用的从机地址之一匹配。当通过软件设置 ADRFC 位清除 ADRF 标志时，释放此扩展。
- 在传输中，如果先前的数据传输完成，并且没有新的数据写入 I2C_TXBUF 寄存器，或者如果在清除 ADRF 标志时没有写入第一个数据字节（TXEF=1）。当数据写入 I2C_TXBUF 寄存器时，释放此扩展。
- 在接收中，当 I2C_RXBUF 寄存器尚未读取并且新的数据接收完成时。当读取 I2C_RXBUF 时，释放此延长。
- 当 RLDF=1 处于从字节控制模式时，重新加载模式（SLVRC=1 和 RELOADM=1），意味着最后一个数据字节已经传输。当 RLDF 通过在 BNUM[7:0]字段中写入非零值而被清除时，将释放此延长。
- SCL 下降沿检测后，I2C 在[(SDAHT+SDAST+1) x (PDIV+1) + 1] x t_{I2C_CLK} 时间内延伸 SCL 低。

无时钟延长的从机模式 (DISSTRETCH = 1)

当在 I2C_CTR1 寄存器中 DISSTRETCH=1 时，I2C 从机不会延长 SCL 信号。

- 置位 ADRF 标志时，SCL 时钟未被延长。
- 在传输过程中，数据必须在与传输对应的第一个 SCL 脉冲发生之前写入 I2C_TXBUF 寄存器。如果不是，则发生欠载运行，则在 I2C_STS 寄存器中置位 OVRF 标志，如果在 I2C_CTR1 寄存器中设置 ERRDIE 位，则生成中断。当第一次数据传输开始且 STOPF 位仍被设置（尚未清除）时，也会置位 OVRF 标志。因此，如果用户仅在写入要在下一次传输中传输的第一个数据后，才清除上一次传输的 STOPF 标志，那么他必须明确 OVRF 状态产生，即使是要传输的第一个数据。
- 在接收中，必须在下一个数据字节的第 9 个 SCL 脉冲（ACK 脉冲）发生之前从 I2C_RXBUF 寄存器读取数据。如果没有，则发生溢出，在 I2C_STS 寄存器中设置 OVRF 标志，如果在 I2C_CTR1 寄存器中设置 ERRDIE 位，则生成中断。

从机响应控制模式

为了在从机接收模式下允许字节应答控制，必须通过在 I2C_CTR1 寄存器中设置 SLVRC 位来启用从机响应控制模式。兼容 SMBus 标准需要此功能。

必须选择 RELOADM 模式（RELOADM=1），以便在从机接收模式中允许 ACK 控制。要获得每个字节的控制权，必须在 ADRF 中断子程序中将 BNUM 初始化为 0x1，并在每个接收字节后重新加载到 0x1。当接收到字节时，置位 RLDF 位，在第 8 个和第 9 个 SCL 脉冲之间延长 SCL 信号低电平。用户可以从 I2C_RXBUF 寄存器中读取数据，然后通过配置 I2C_CTR2 寄存器中的 NACKGEN 位来决定是否回复 ACK。通过将 BNUM 编程为非零值来释放 SCL 扩展：发送 ACK 或 NACK，然后可以接收下一个字节。

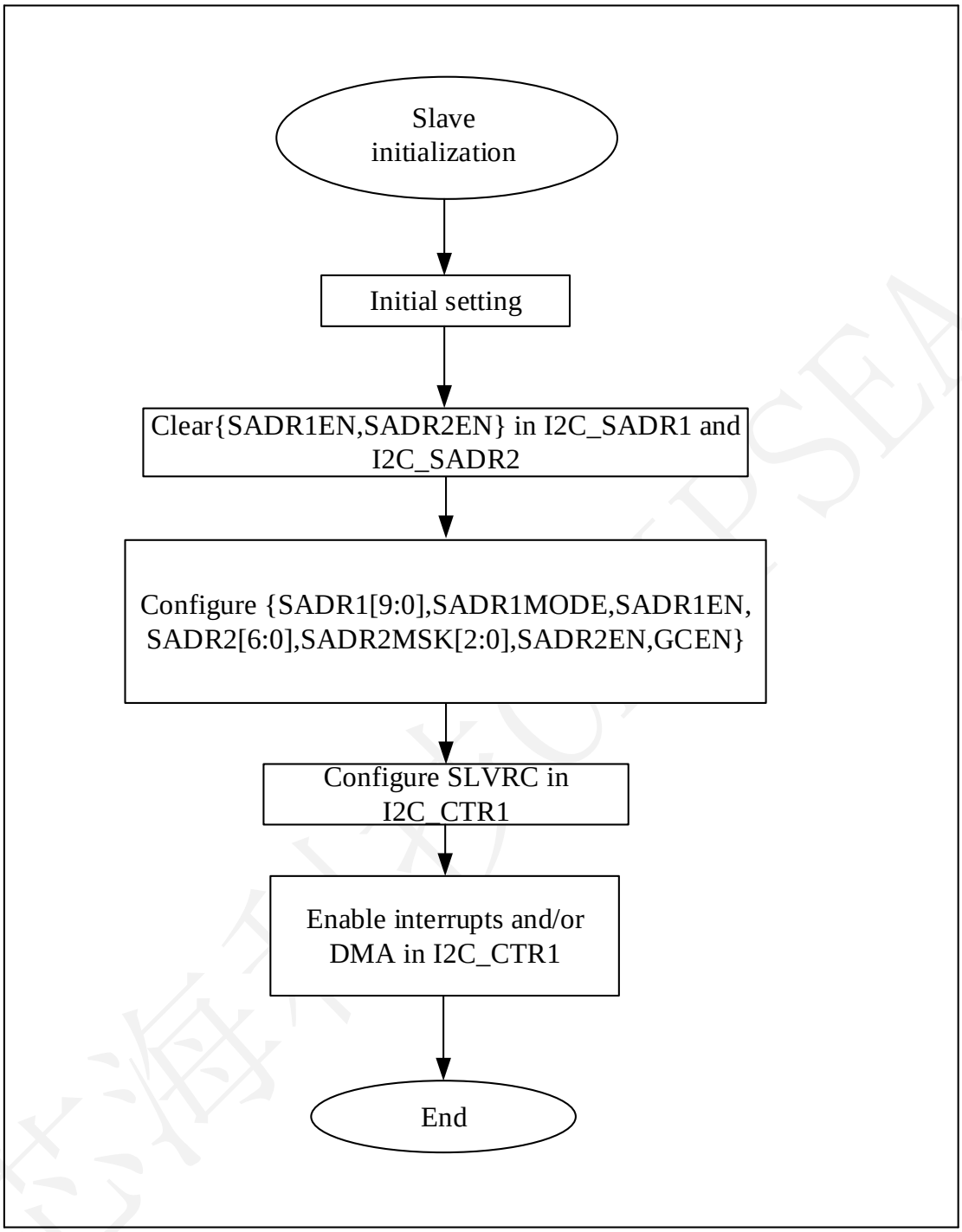
可以用大于 0x1 的值加载 BNUM，在这种情况下，接收过程在 BNUM 数据接收期间是连续的。

说明: SLVRC 位在 I2C 被禁用时，或当从机没有被寻址时，或当 ADRF=1 时，配置。当 ADRF=1 或 RLDF=1 时，可以更改 RELOADM 值。

注意：从机响应控制模式与 DISSTRETCH 模式不兼容。设置 SLVRC 模式不允许 DISSTRETCH=1。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 191 从机初始化流程图



从机发送

当 I2C_TXBUF 寄存器变为空时，会生成发送中断状态（TXINTF）。如果配置 I2C_CTR1 寄存器中的 TXINTIE 为 1，则生成中断。

当下一个要传输的数据字节写入 I2C_TXBUF 寄存器时，TXINTF 位被清除。

当接收到一个 NACK 时，NACKF 位在 I2C_STS 寄存器中置位，如果 NACKRIE 位在 I2C_CTR1 寄存器中设置，则会产生中断。从机自动释放 SCL 和 SDA 线，以便让主机执行停止或 RESTART 条件。接收到 NACK 时，不设置 TXINTF 位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

注：NACK 事件会把 TXEF 位置高，清除 I2C_TXBUF 寄存器，如果此时软件在 I2C_TXBUF 缓存了下一个待传输的数据字节，数据会被清除，软件需要重新写入下一个待传输的数据字节（建议在 STOPF ISR 中处理），否则会导致此数据字节丢失。

当接收到一个停止，并且在 I2C_CTR1 寄存器中设置了 STOPDIE 位时，在 I2C_STS 寄存器中设置 STOPF 标志，并生成一个中断。在大多数应用中，SLVRC 位通常被配置为“0”。在这种情况下，如果在接收从机地址（ADRF=1）时 TXEF=0，用户可以选择将 I2C_TXBUF 寄存器的内容作为第一个数据字节发送，或者通过设置 TXEF 位来刷新 I2C_TXBUF 寄存器，以配置新的数据字节。

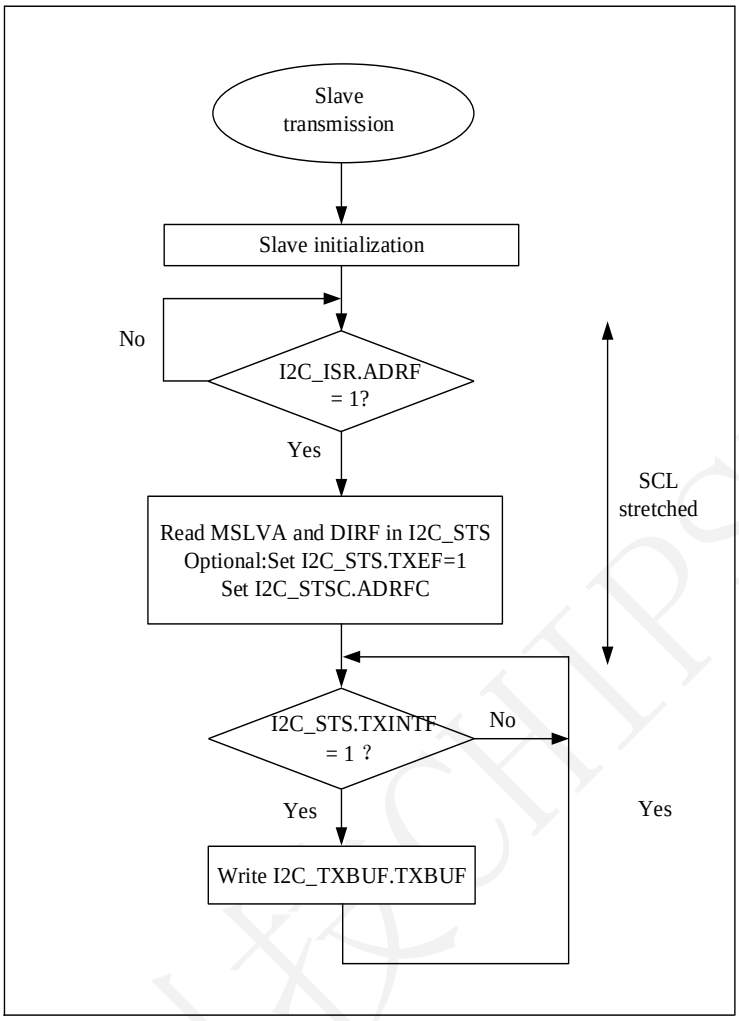
在从字节控制模式（SLVRC=1）时，必须在地址匹配中断子程序（ADRF=1）中通过配置 BNUM 为要传输的字节数。在这种情况下，传输过程中 TXINTF 事件的数量对应于以 BNUM 的值。

注意：当 DISSTRETCH=1 时，在设置 ADRF 标志时，SCL 时钟不会被延长，因此用户无法刷新 ADRF 子例程中的 I2C_TXBUF 寄存器内容，以便对第一个数据字节进行配置。要发送的第一个数据字节必须预先在 I2C_TXBUF 寄存器中配置：

- 此数据可以是上一次传输信息的最后一个 TXINTF 事件或 STOPF 事件中写入的数据（NACK 事件会把 TXEF 位置高，清除 I2C_TXBUF 寄存器，需要重新写入待传输数据字节）。
- 如果该数据字节不是要发送的字节，则可以通过设置 TXEF 位来刷新 I2C_TXBUF 寄存器，以便对新的数据字节进行配置。只有在这些操作之后才能清除 STOPF 位，以确保它们在地址确认之后的第一次数据传输开始之前执行。如果在第一次数据传输开始时仍设置了 STOPF，则会产生欠载错误（设置了 OVRF 标志）。如果需要 TXINTF 事件（传输中断或传输 DMA 请求），用户必须在 TXEF 位之外设置 TXINTF 位，以便生成 TXINTF 事件。

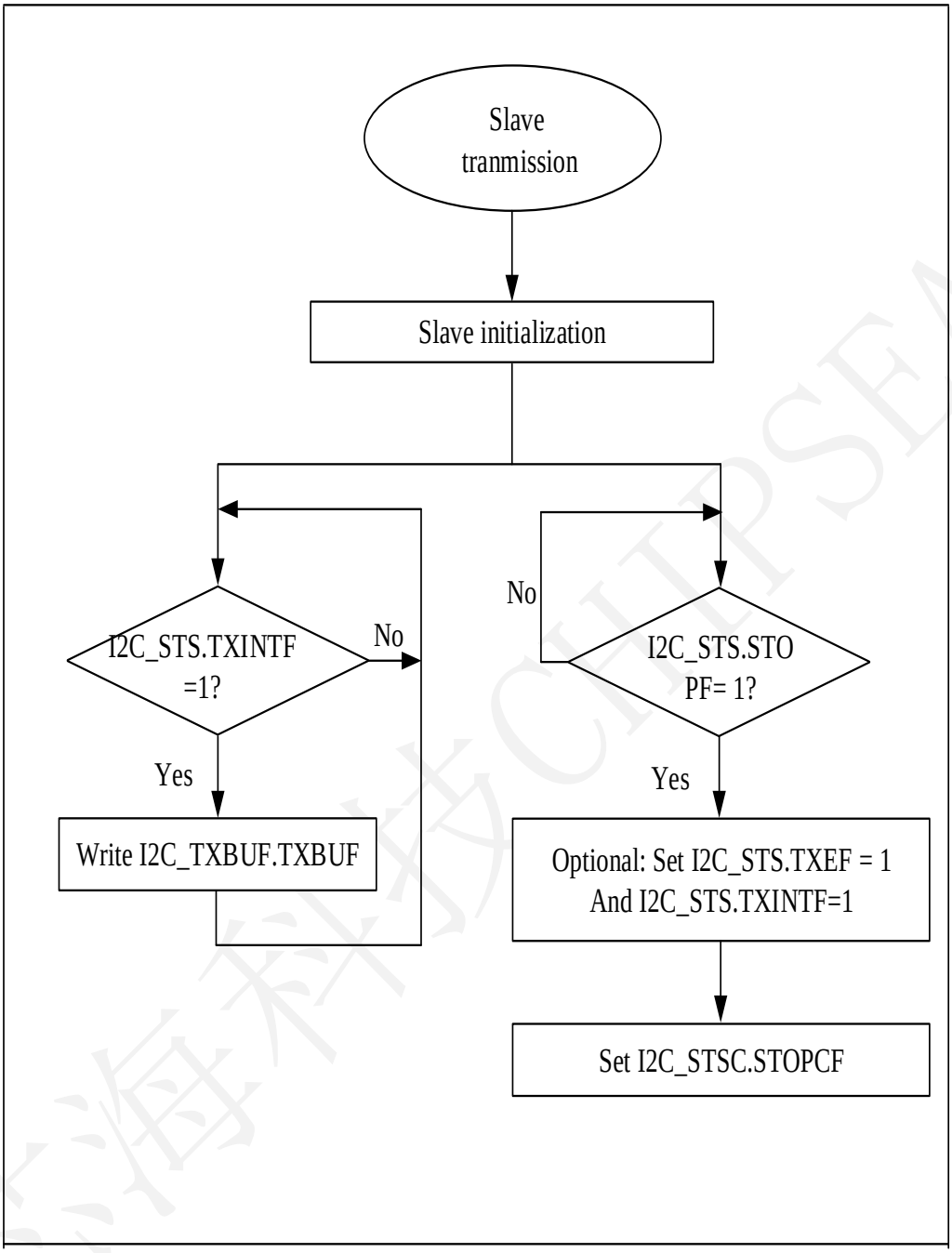
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 192 I2C 从机发送流程图（DISSTRETCH=0）



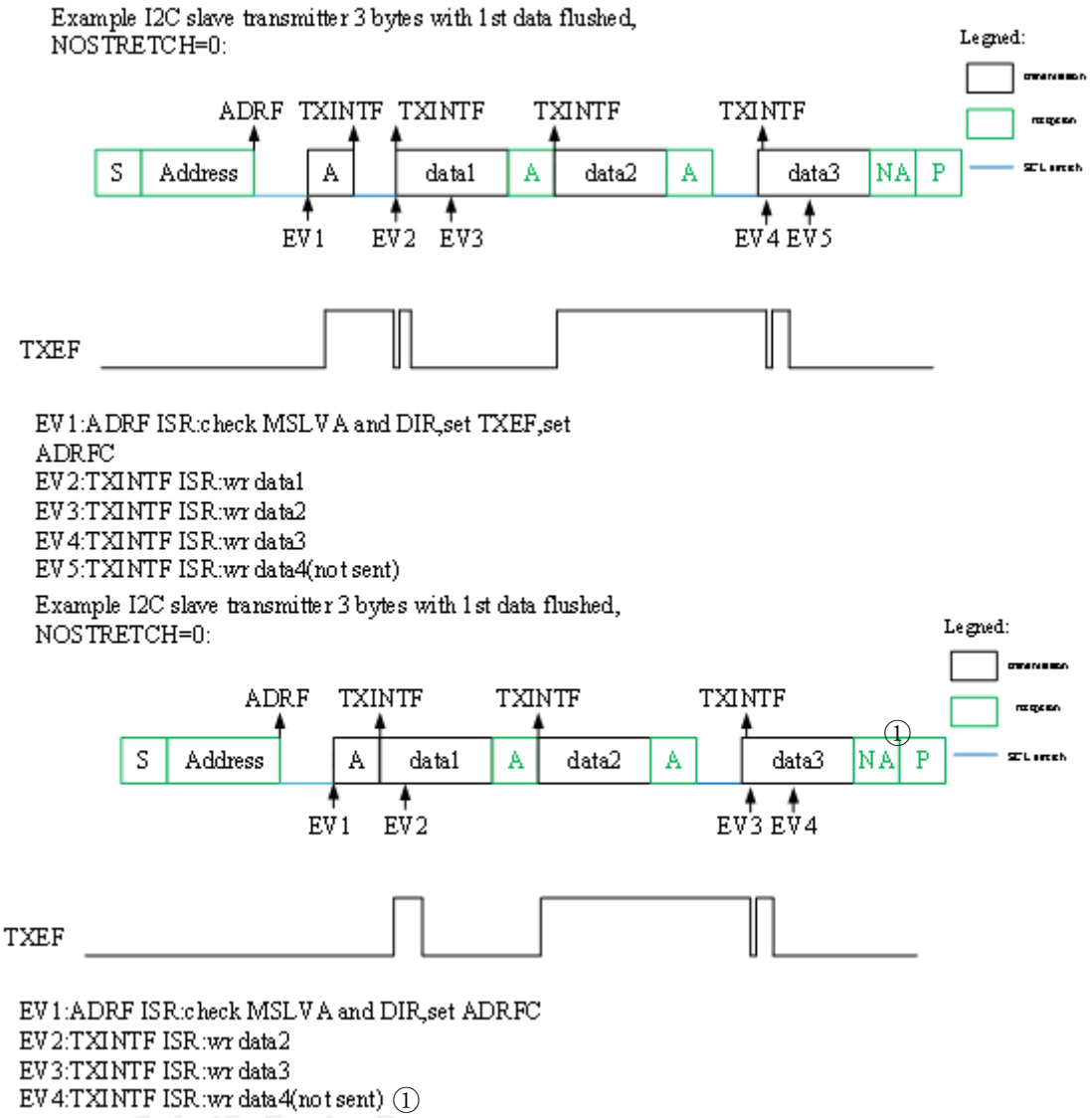
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 193 I2C 从机发送流程图（DISSTRETCH=0）



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 194 I2C 从机发送机的传输总线图



注：① NACK 事件会把 TXEF 位置高，清除 I2C_TXBUF 寄存器中的数据(data4)，需要在 STOPF ISR 中重新写入数据(data4)。

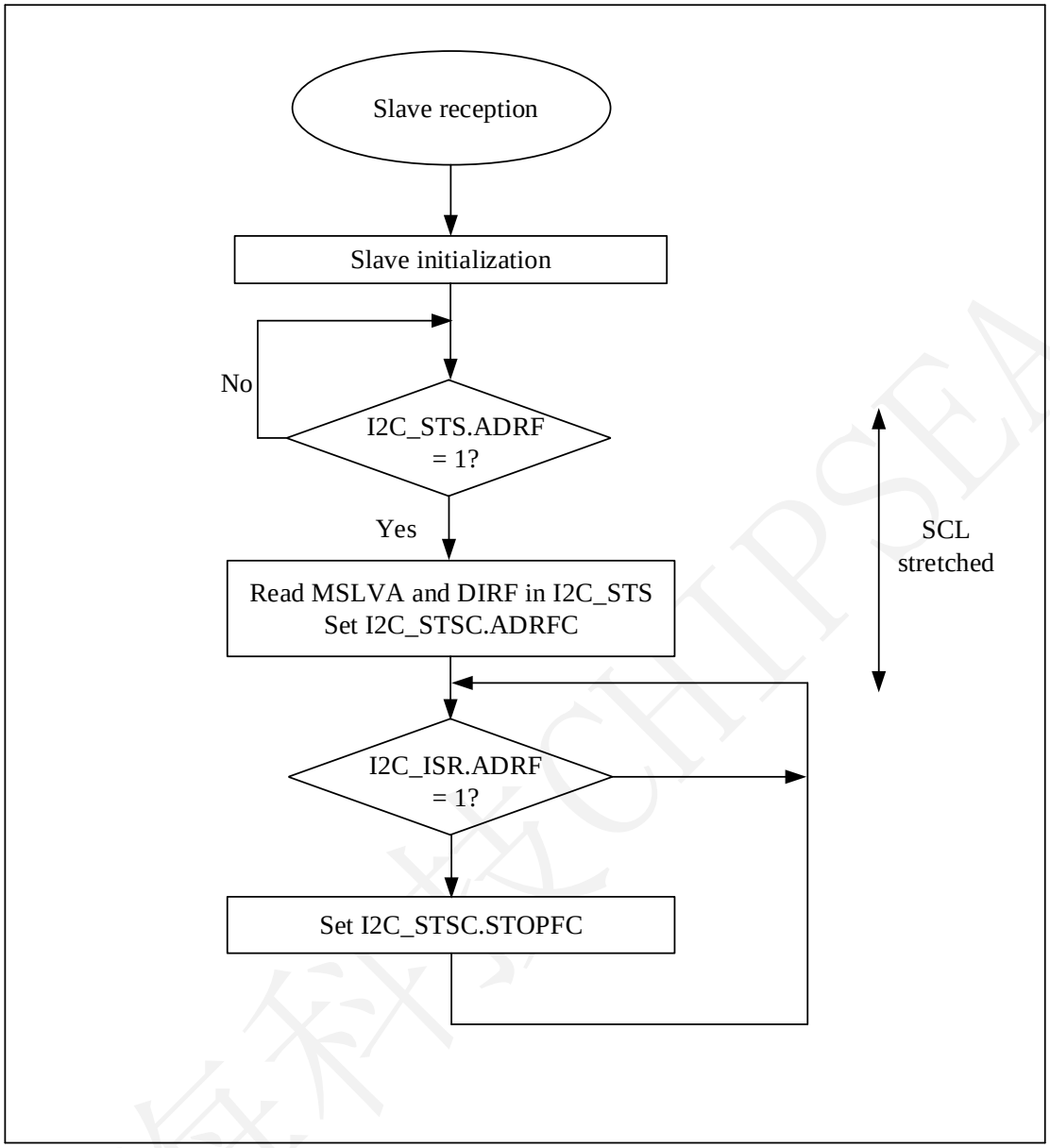
从机接收

当 I2C_RXBUF 满时，I2C_STS 中 RXNEF 会被置位，如果在 I2C_CTR1 中 RXNEIE 设置为 1，则生成中断。当读取 I2C_RXBUF 时，RXNEF 被清除。

当接收到一个停止信号，并且在 I2C_CTR1 中设置了 STOPDIE 时，I2C_STS 中的 STOPF 会被置位，并生成一个中断。

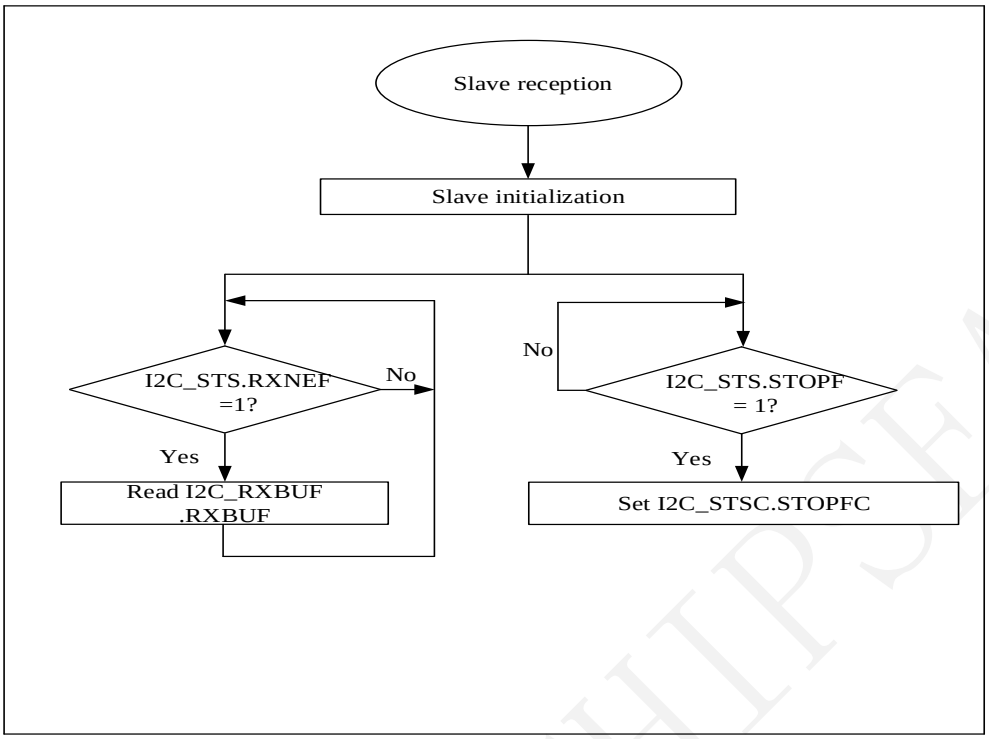
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 195 当 DISSTRETCH=0 从机接收机流程图



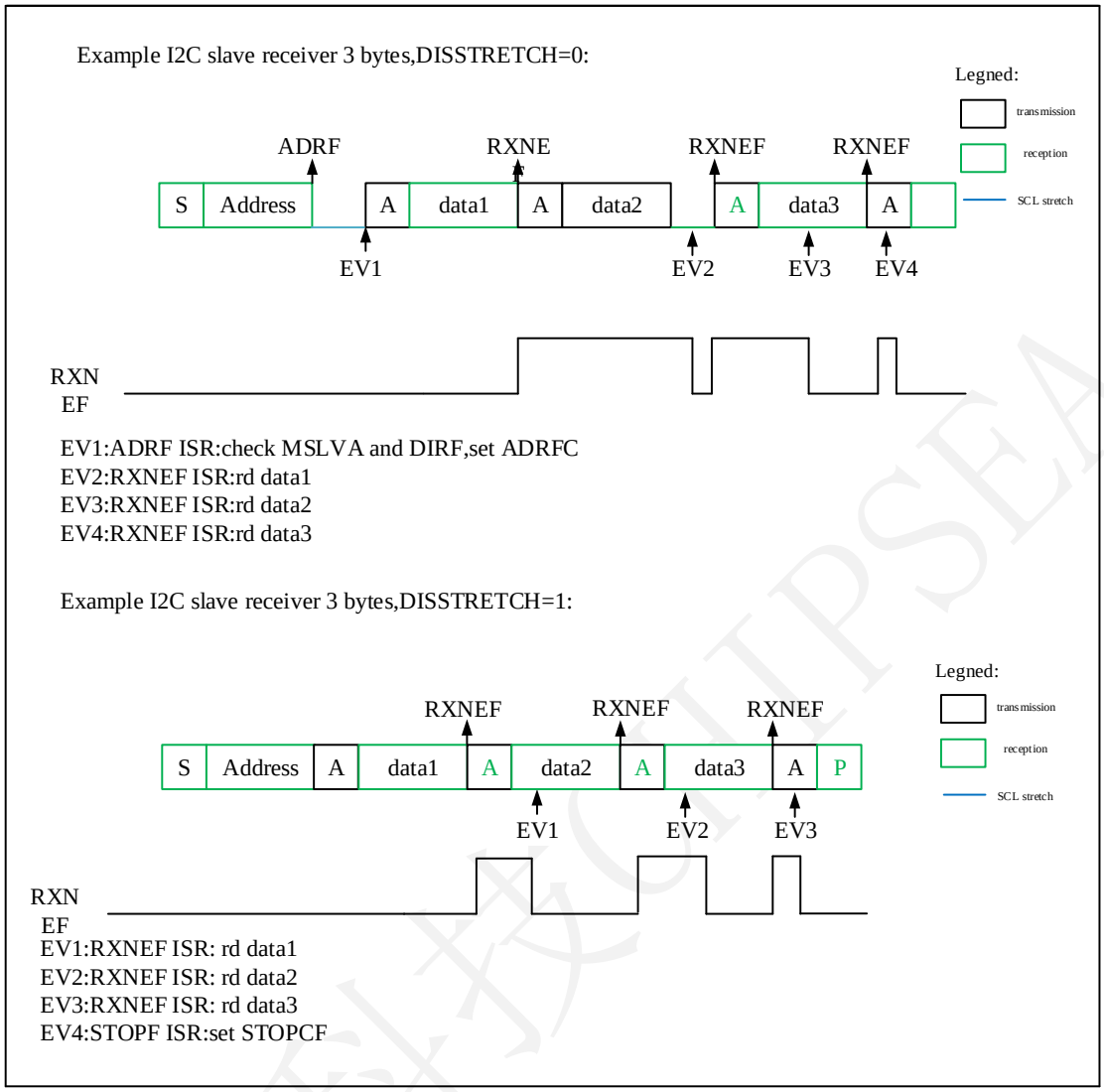
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 196 当 DISSTRETCH=1 从机接收机流程图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 197 I2C 从机接收机总线图



21.2.7 I2C 主机模式

I2C 主机初始化

在启用外设之前，必须通过设置 I2C_TMR 寄存器中的 SCLHT 和 SCLLT 位来配置 I2C 主时钟。

为了支持多主机模式和从机时钟延长，实现了时钟同步机制。

为了允许时钟同步：

- 从内部检测到 SCL 低电平开始，使用 SCLLT 计数器对时钟的低电平进行计数。
- 从内部检测到 SCL 高电平开始，使用 SCLHT 计数器对时钟的高电平进行计数。

在 t_{SYNC1} 延迟后，I2C 检测自己的 SCL 低电平。t_{SYNC1} 根据 SCL 下降沿，SCL 输入噪声滤波器（模拟+数字）和 SCL 同步到 I2CxCLK 时钟的时间。一旦 SCLLT 计数器达到 I2C_TMR 寄存器中 SCLLT[7:0]位中配置的值，I2C 就会将 SCL 释放到高电平。

在 t_{SYNC2} 延迟后，I2C 检测自己的 SCL 高电平。t_{SYNC2} 来源于 SCL 上升沿，SCL 输入噪声滤波器（模拟+数字）和与 SCL 同步到 I2cxCLK 时钟的时间。

一旦 SCLHT 计数器达到 I2C_TMR 寄存器中 SCLHT[7:0]位中配置的值，I2C 就会将 SCL 置到低电平。

因此，主时钟周期为:

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

$$t_{SCL} = t_{SYNC1} + t_{SYNC2} + \{[(SCLHT+1) + (SCLLT+1)] \times (TPDIV+1) \times t_{I2CCLK}\}$$

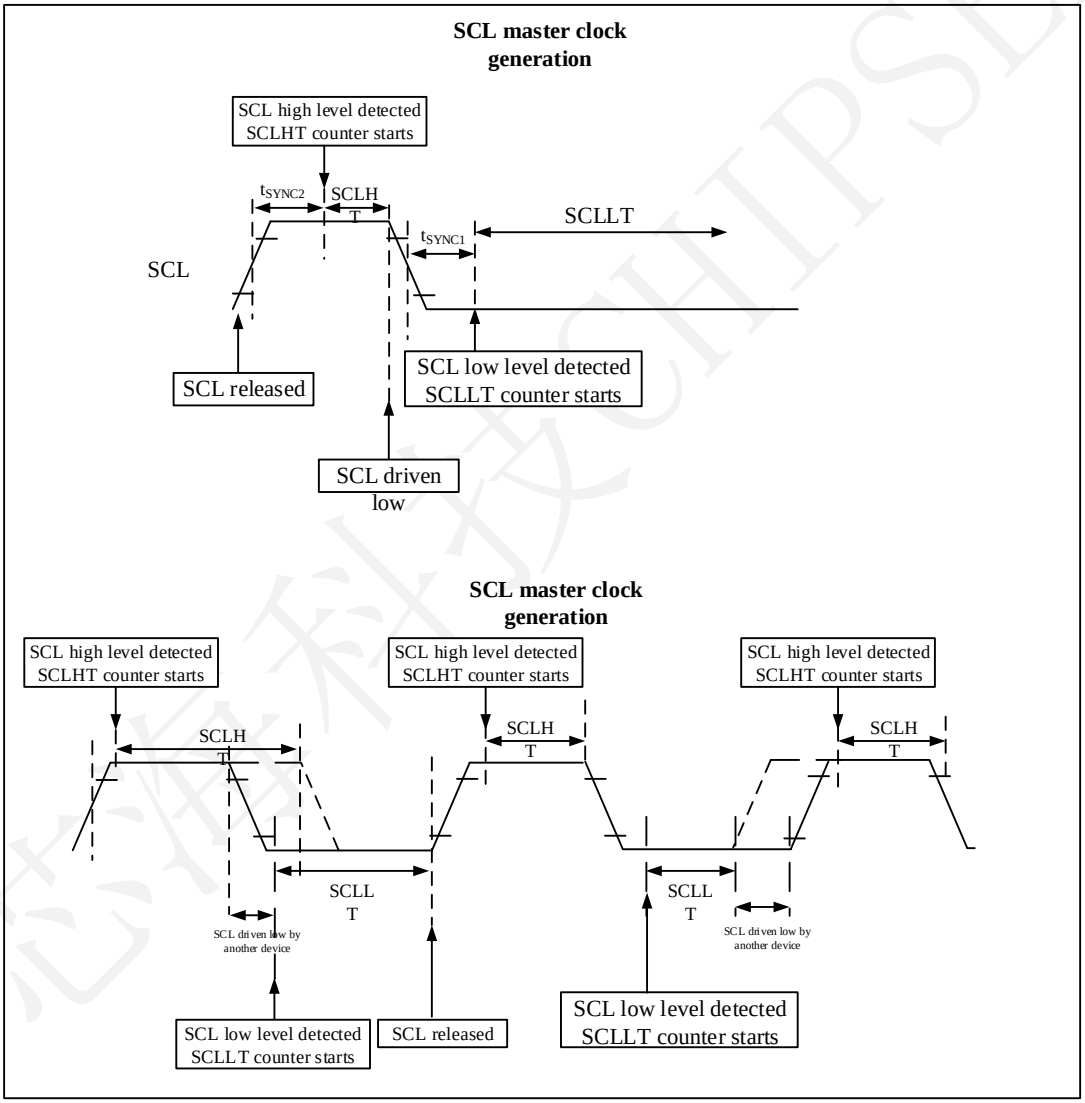
t_{SYNC1} 的持续时间取决于这些参数：

- SCL 下降斜率
- 模拟滤波器使能引起的输入延迟
- 由数字滤波器使能引起的输入延迟: DFCFG x t_{I2CCLK}
- SCL 同步到 I2CCLK 时钟导致的延迟（2 到 3 I2CCLK 周期）

t_{SYNC2} 的持续时间取决于以下参数：

- SCL 上升斜率
- 模拟滤波器使能引起的输入延迟
- 数字滤波器使能引起的输入延迟: DFCFG x tI2CCLK
- SCL 同步到 I2CCLK 时钟导致的延迟（2 到 3 I2CCLK 周期）

图 198 时钟生成



注：为了兼容 I2C 或 SMBus，主时钟必须满足表 63 给出的时序。

表 63 I2C-SMBus 时钟时序规范

符号	参数	标准模式（Sm）	快速模式（Fm）	超快速模式（Fm^+）	**SMBUS**	单位

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
f_{SCL}	SCL 时钟频率	-	100	-	400	-	1000	-	100	kHz
$t_{HD:STA}$	保持时间（重复）启动条件	4.0	-	0.6	-	0.26	-	4.0	-	μs
$t_{SU:STA}$	RESTART 条件的设置时间	4.7	-	0.6	-	0.26	-	4.7	-	μs
$t_{SU:STO}$	设置停止条件的时间	4.0	-	0.6	-	0.26	-	4.0	-	μs
t_{BUF}	停止和启动状态之间的总线空闲时间	4.7	-	1.3	-	0.5	-	4.7	-	μs
t_{LOW}	SCL 时钟的低周期	4.7	-	1.3	-	0.5	-	4.7	-	μs
t_{HIGH}	SCL 时钟周期	4.0	-	0.6	-	0.26	-	4.0	50	μs
t_r	SDA 和 SCL 信号的上升时间	-	1000	-	300	-	120	-	1000	μs
t_f	SDA 和 SCL 信号的下降时间	-	300	-	300	-	120	-	300	μs

注：1、SCLLT 还用于生成 t_{BUF} 和 $t_{SU:STA}$ 时序。

2、SCLHT 还用于生成 $t_{HD:STA}$ 和 $t_{SU:STO}$ 时序。

主机通信初始化 (地址阶段)

为了启动通信，用户必须为寻址从机配置 I2C_CTR2 寄存器中的以下参数：

- 寻址模式（7 位或 10 位）: ADRFMT
- 要发送的从属地址：MTADR[9:0]
- 传输方向：TDIR
- 如果 10 位地址读数据：HEAD10AR 位。HEAD10AR 必须配置，指示在方向发生变化时是否必须发送完整的地址序列，或者仅发送地址首字节。要传输的字节数：BNUM[7:0]。如果字节数等于或大于 255，则 BNUM[7:0]最初必须配置为 0xFF。

用户必须在 I2C_CTR2 寄存器中设置起始位。在设置起始位后，不允许更改上述所有位。

一旦检测到总线空闲（BUSYF=0），并且在 t_{BUF} 延迟后，主机会自动发送起始条件和从机地址。

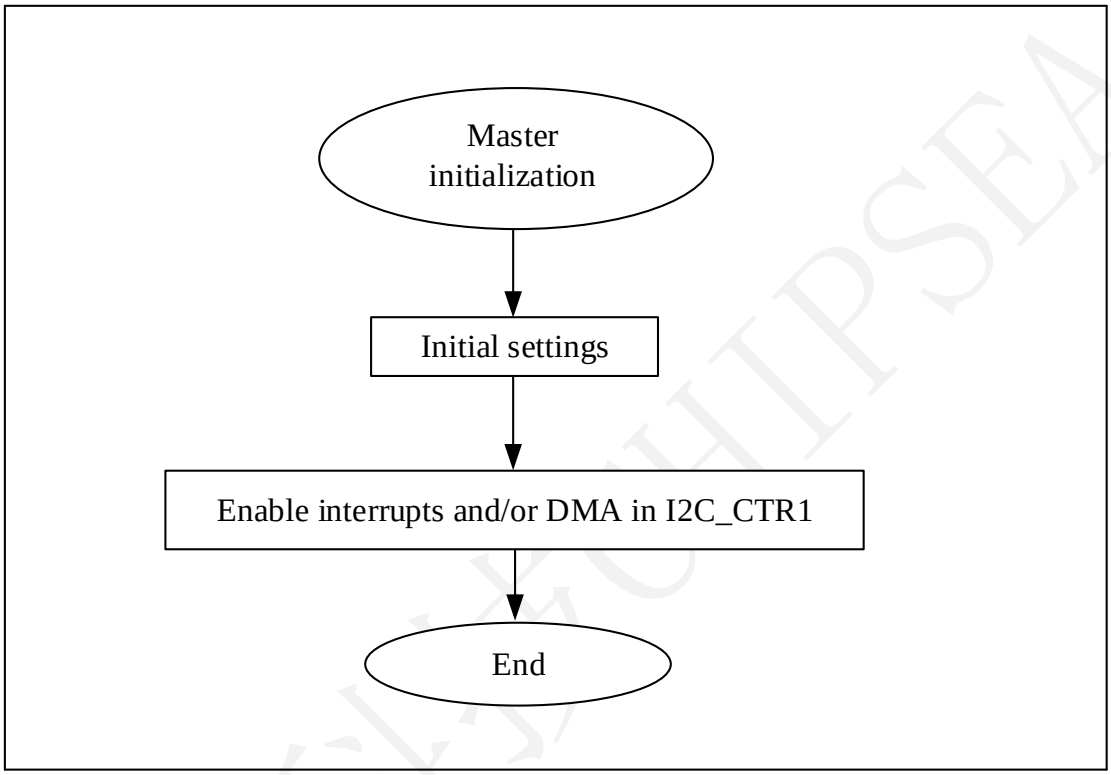
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

在仲裁丢失的情况下，主机会自动切换回从机模式，如果主机地址为寻址的从机，则可以应答其地址。

注：

- 当从机地址在总线上发送时，无论接收到什么应答值，硬件都会复位 STARTGEN。如果仲裁丢失，硬件也会复位 STARTGEN。
- 如果在设置 STARTGEN 位时 I2C 被为寻址的从机（ADRF=1），I2C 将切换到从机模式，当设置 ADRFC 位时，STARTGEN 位被清除。
- 同样的程序也适用于重复起始条件。在这种情况下，BUSYF=1。

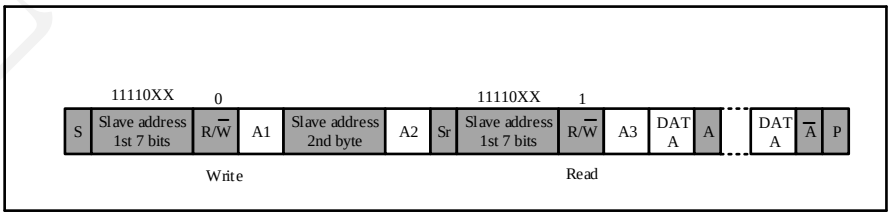
图 199 主机初始化流程图



对 10 位地址从机寻址的主接收器的初始化

如果从机地址为 10 位格式，用户可以通过清除 I2C_CTR2 寄存器中的 HEAD10AR 位来选择发送完整的读取序列。在这种情况下，在设置 STARTGEN 位后，主机自动发送以下完整序列：起始位 + 10bit 地址首字节写 +从机地址第二字节+ 重复起始位 +10bit 地址的首字节读方向。

图 200 当 HEAD10AR=0 10 位地址读取访问



如果主机向 10 位地址的从机发送数据，然后从同一从机读取数据，则必须首先完成发送流程。然后设置重复起始，配置 HEAD10AR=1，接着发送 10 位从机地址。在这种情况下，主机发送这个序列：重复起始位+10 bit 地址首字节+读方向

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

主机发送器

在写传输的情况下，TXINTF 标志在每个字节传输后置位，即当收到 ACK 时，在第 9 个 SCL 脉冲后置位。

如果 I2C_CTR1 寄存器中的 TXINTFIE 位设置为 1，则 TXINTF 事件生成中断。当 I2C_TXBUF 寄存器被写入下一个要传输的数据字节时，该标志被清除。

传输过程中的 TXINTF 事件数和对应于 BNUM[7:0]的值。如果要发送的数据字节总数大于 255，则必须通过在 I2C_CTR2 寄存器中设置 RELOADM 位来选择重新加载模式。在这种情况下，当已传输 BNUM 数据时，将置位 RLDF 标志，并将 SCL 线延长，直到将 BNUM[7:0]写入非零值。接收到 NACK 时，不置位 TXINTF 标志。

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 当 RELOADM=0 且已传输 BNUM 字节数据时：
  - 在自动结束模式（TENDSEL=1）时，自动发送一个停止信号。
  - 在软件结束模式（TENDSEL=0）时，将设置 CMPF 标志并将 SCL 线拉低以执行软件操作：

通过在 I2C_CTR2 寄存器中设置正确的从地址配置，要传输的字节数和 STARTGEN 位，以此请求 RESTART 条件。设置 STARTGEN 位将清除 CMPF 标志，并在总线上发送起始条件。

通过设置 I2C_CTR2 寄存器中的 STOPGEN 位，可以请求停止条件。设置 STOPGEN 位将清除 CMPF 标志，并在总线上发送停止条件。

- 如果接收到 NACK：TXINTF 标志不置位，并且在接收到 NACK 后自动发送停止条件。 NACKF 标志在 I2C_STS 寄存器置位，如果设置了 NACKRIE 位，则生成中断。

图 201 n≤255 字节 I2C 主机发送流程图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

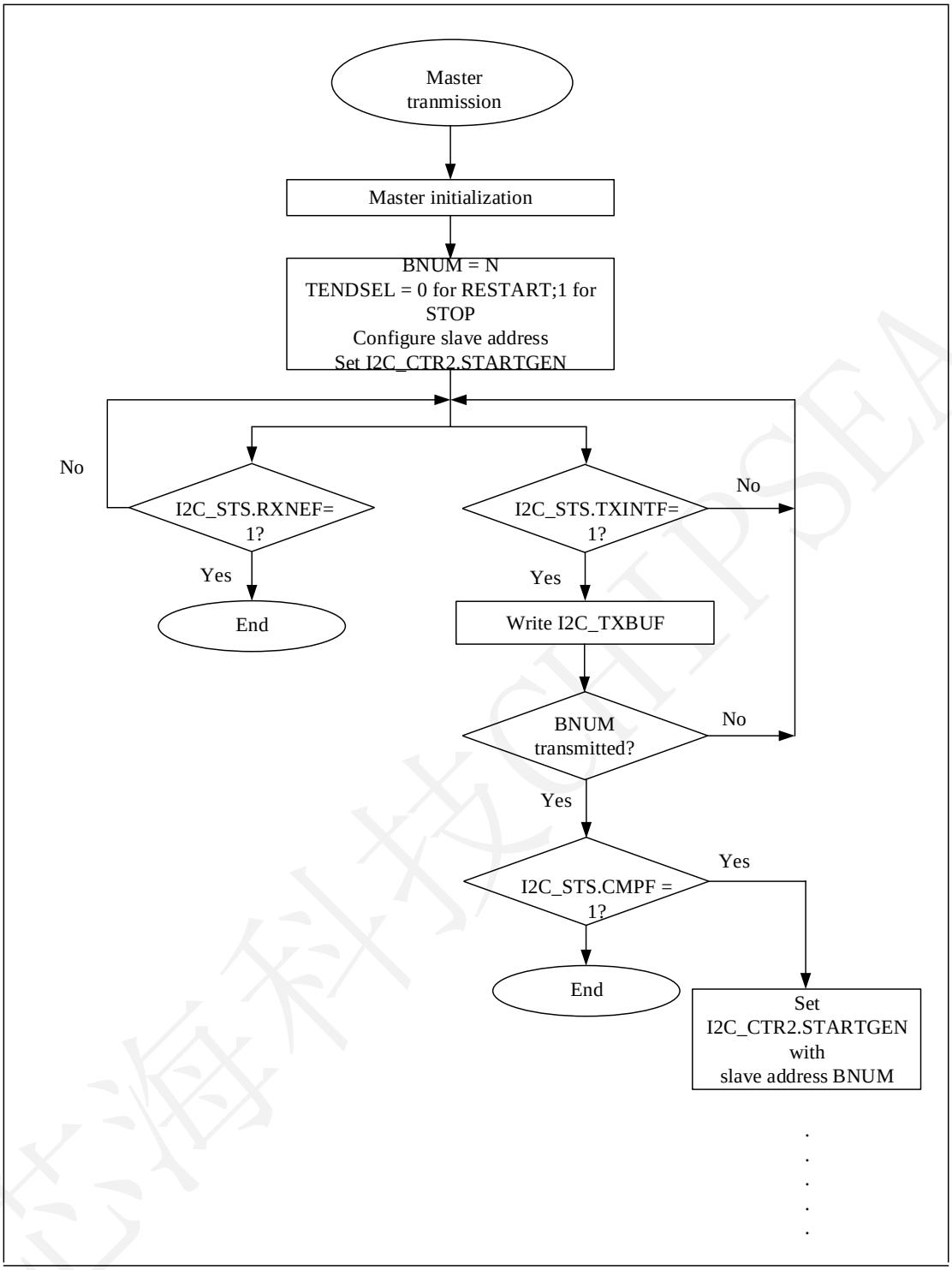


图 202 n>255 字节 I2C 主发送器传输顺序流程图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

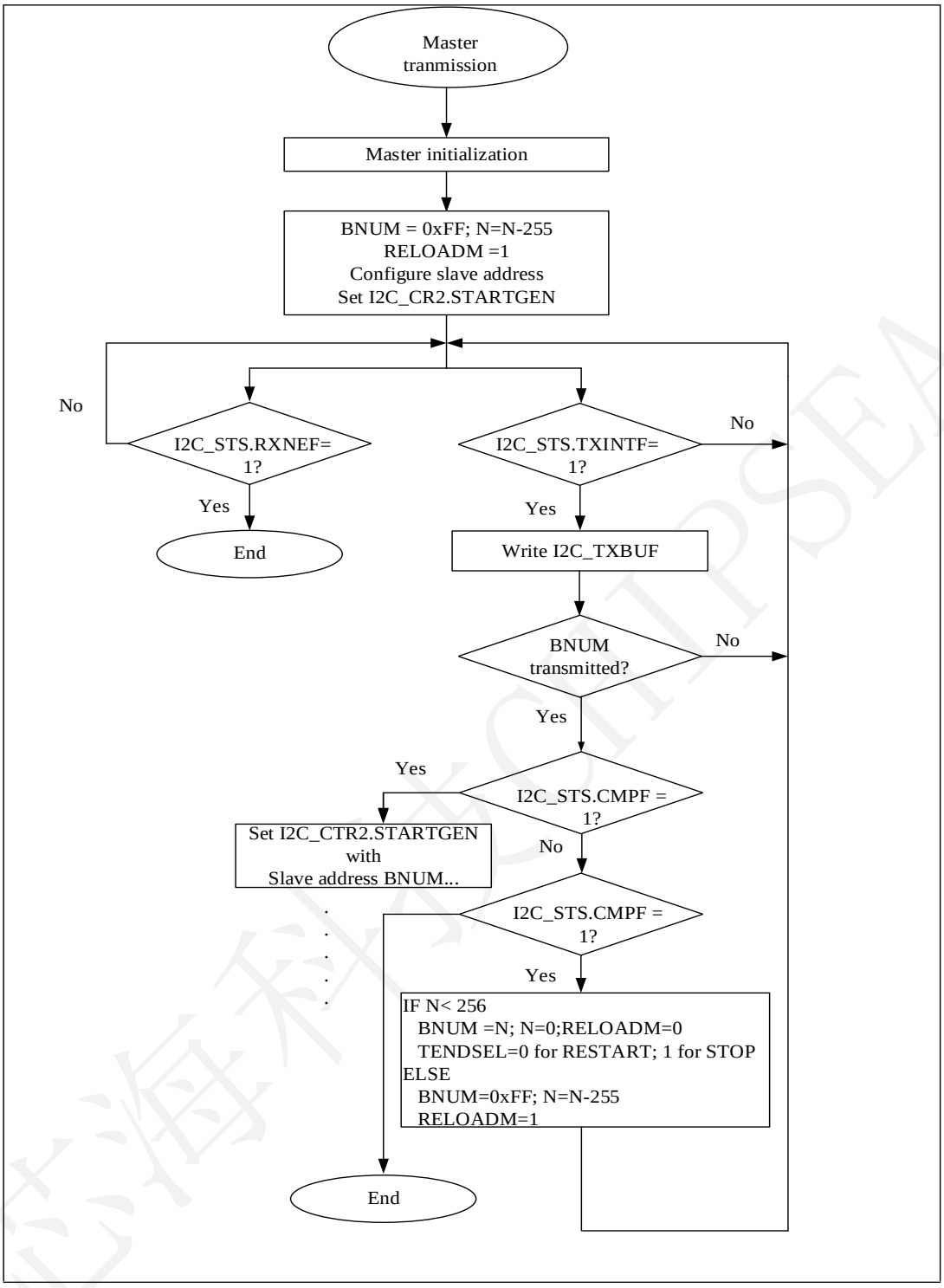
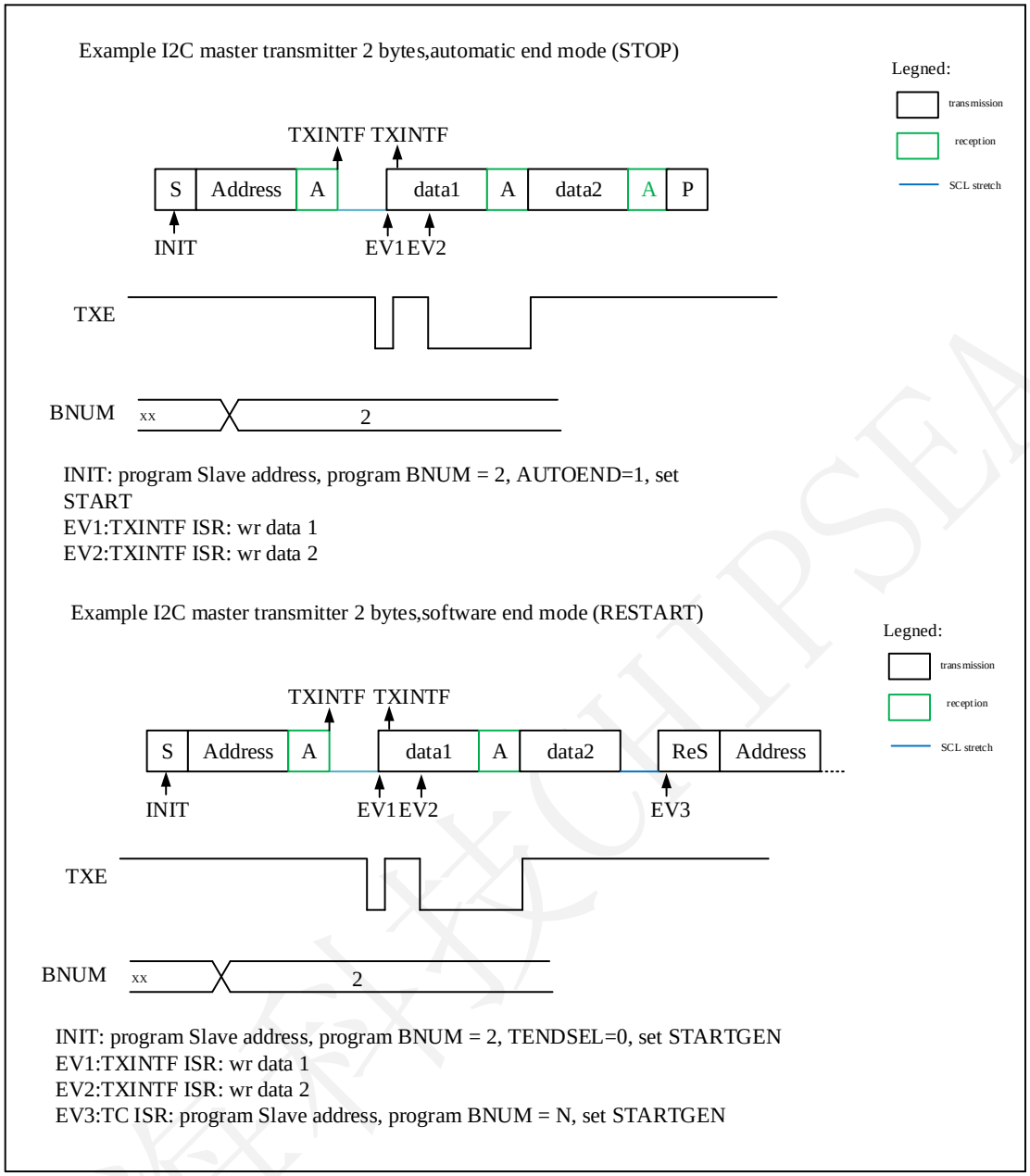


图 203 I2C 主机发送器的总线图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



主机接收器

在读传输的情况下，RXNEF 标志在每个字节接收后，即在第 8 个 SCL 脉冲后设置。如果在 I2C_CTR1 寄存器中 RXNEIE 位置位，则 RXNEF 事件生成中断。当读取 I2C_RXBUF 时，该标志被清除。

如果要接收的数据字节总数大于 255，则必须通过在 I2C_CTR2 寄存器中设置 RELOADM 位来选择重新加载模式。在这种情况下，当 BNUM[7:0]数据被传输时，RLDF 标志被设置，SCL 线被延长，直到 BNUM[7:0]被写入非零值。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 当 RELOADM=0 且 BNUM[7:0]数据已传输：
  - 在自动结束模式（TENDSEL=1）中，在*最后*一个接收字节之后，会自动发送一个 NACK 和一个 STOP。
  - 在软件结束模式（TENDSEL=0）中，在最后一个接收字节后自动发送一个 NACK，置位 CMPF 标志，并将 SCL 线拉低，以便允许软件操作：

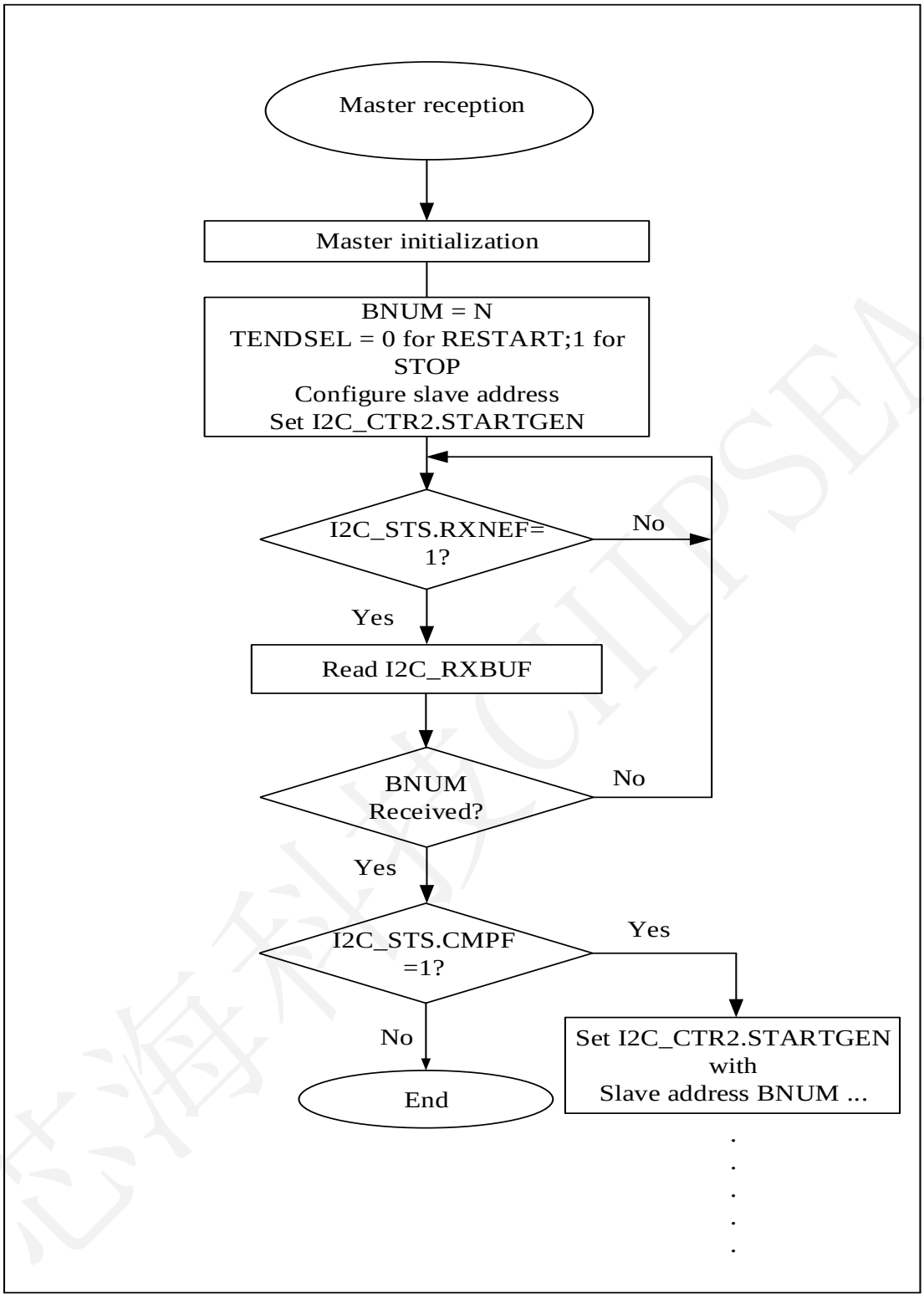
通过在 I2C_CTR2 寄存器中设置正确的从地址配置和要传输的字节数以请求 RESTART 条件。设置起始位将清除 CMPF 标志，然后在总线上发送起始条件和从机地址。

通过设置 I2C_CTR2 寄存器中的 STOPGEN 位，可以请求停止条件。设置 STOPGEN 位将清除 CMPF 标志，并在总线上发送停止条件。

图 204 N≤255 字节 I2C 主接收机传输顺序流程图

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 205 N >255 字节 I2C 主机接收流程图

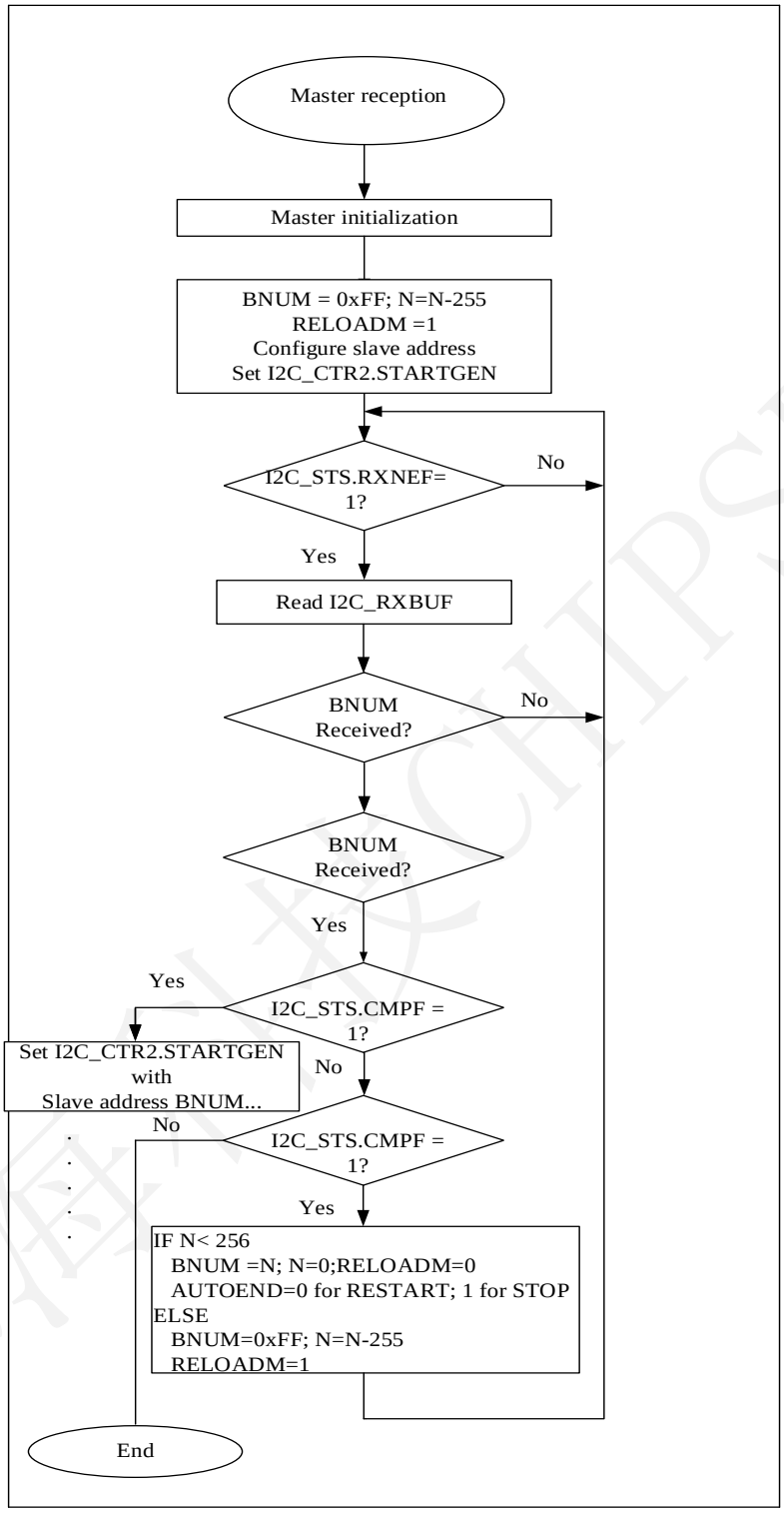
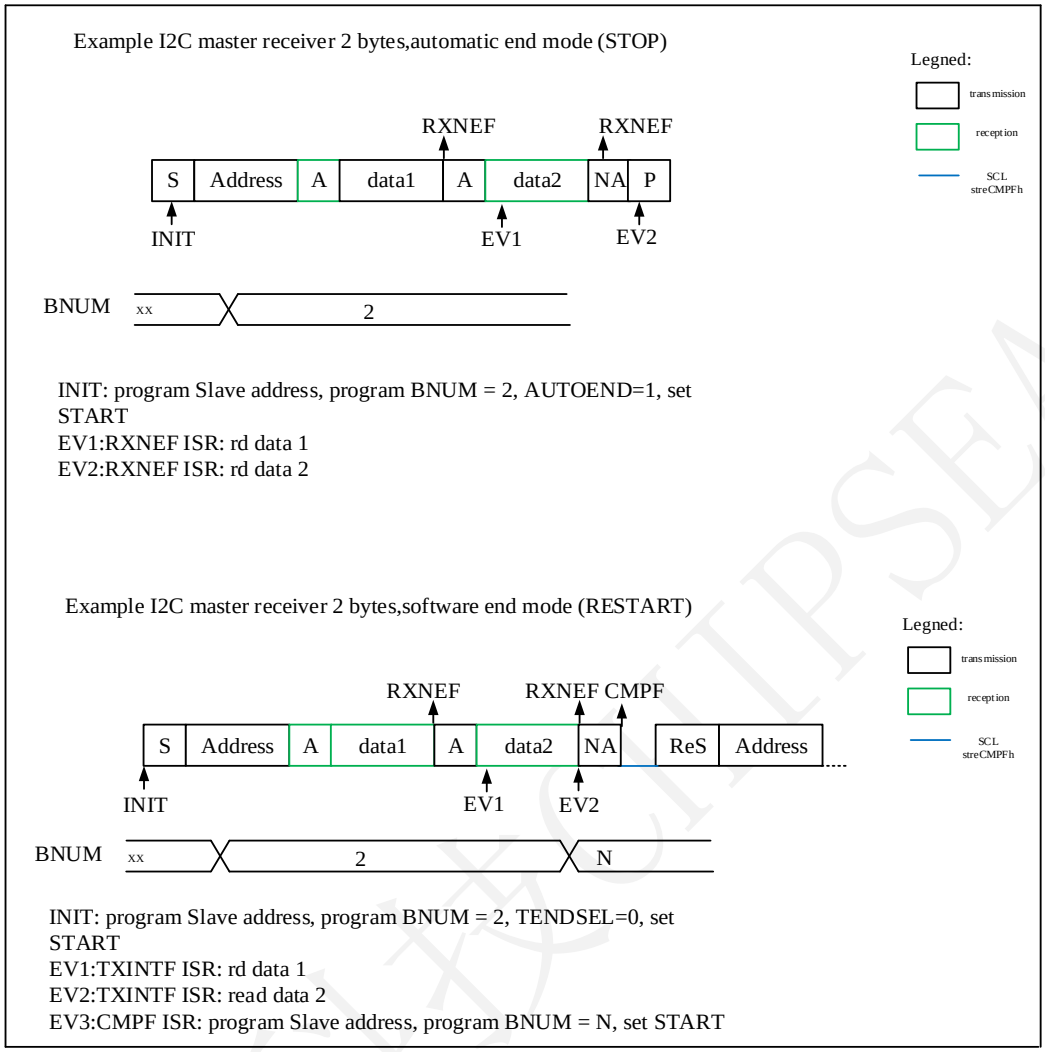


图 206 I2C 主机接收总线图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



21.2.8 I2C_TMR 寄存器配置示例

下表提供了如何编程 I2C_TMR 以获得符合 I2C 规范的时序的示例。

表 64 f_{I2CCLK} = 8 MHz 的时序示例

参数	标准模式（Sm）		快速模式（Fm）	快速模式增强（FM+）
	10kHz	**100kHz**	**400kHz**	**500kHz**
TPDIV	1	1	0	0
SCLLT	0xC7	0x13	0x9	0x6
t_{SCLLT}	200x250 ns = 50 µs	20x250 ns = 5.0 µs	10x125 ns = 1250 ns	7x125 ns = 875 ns
SCLHT	0xC3	0xF	0x3	0x3
t_{SCLHT}	196x250 ns = 49 µs	16x250 ns = 4.0µs	4x125ns = 500ns	4x125 ns = 500 ns
t_{SCL}(1)	~100 µs(2)	~10 µs(2)	~2500 ns(3)	~2000 ns(4)
SDAHT	0x2	0x2	0x1	0x0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

t_{SDAHT}	2x250 ns = 500 ns	2x250 ns = 500 ns	1x125 ns = 125 ns	0 ns
SDAST	0x4	0x4	0x3	0x1
t_{SDAST}	5x250 ns = 1250 ns	5x250 ns = 1250 ns	4x125 ns = 500 ns	2x125 ns = 250 ns

1. 由于 SCL 内部检测延迟，SCL 周期 tscl 大于 tscll+tsclh。为 TSCL 提供的值仅为示例。
2. $t_{SYNC1} + t_{SYNC2}$ 最小值为 4 x t_{I2CCLK} = 500 ns. Example with $t_{SYNC1} + t_{SYNC2}$ = 1000 ns
3. $t_{SYNC1} + t_{SYNC2}$ 最小值为 4 x t_{I2CCLK} = 500 ns. Example with $t_{SYNC1} + t_{SYNC2}$ = 750 ns
4. $t_{SYNC1} + t_{SYNC2}$ 最小值为 4 x t_{I2CCLK} = 500 ns. Example with $t_{SYNC1} + t_{SYNC2}$ = 655 ns

表 65 f_{I2CCLK} = 16 MHz 的时序设置例子

参数	标准模式（Sm）		快速模式（Fm）	快速模式增强（FM+）
	10kHz	**100kHz**	**400kHz**	**500kHz**
TPDIV	3	3	1	0
SCLLT	0xC7	0x13	0x9	0x4
t_{SCLLT}	200x250 ns = 50 µs	20x250 ns = 5.0 µs	10x125 ns = 1250 ns	5 x 62.5 ns = 312.5 ns
SCLHT	0xC3	0xF	0x3	0x2
t_{SCLHT}	196x250 ns = 49 µs	16x250 ns = 4.0µs	4x125ns = 500ns	3 x 62.5 ns = 187.5 ns
t_{SCL}(1)	~100 µs(2)	~10 µs(2)	~2500 ns(3)	~1000 ns(4)
SDAHT	0x2	0x2	0x1	0x0
t_{SDAHT}	2x250 ns = 500 ns	2x250 ns = 500 ns	2x125 ns = 250 ns	0 ns
SDAST	0x4	0x4	0x3	0x2
t_{SDAST}	5x250 ns = 1250 ns	5x250 ns = 1250 ns	4x125 ns = 500 ns	3 x 62.5 ns = 187.5 ns

1. 由于 SCL 内部检测延迟，SCL 周期 tscl 大于 tscll+tsclh。为 TSCL 提供的值仅为示例。
2. $t_{SYNC1} + t_{SYNC2}$ minimum value is 4 x t_{I2CCLK} = 250 ns. 例如 $t_{SYNC1} + t_{SYNC2}$ = 1000 ns
3. $t_{SYNC1} + t_{SYNC2}$ minimum value is 4 x t_{I2CCLK} = 250 ns. 例如 $t_{SYNC1} + t_{SYNC2}$ = 750 ns
4. $t_{SYNC1} + t_{SYNC2}$ minimum value is 4 x t_{I2CCLK} = 250 ns. 例如 $t_{SYNC1} + t_{SYNC2}$ = 500 ns

表 66 f_{I2CCLK} = 48 MHz 时序设置例子

参数	标准模式（Sm）		快速模式（Fm）	快速模式增强（FM+）
	10kHz	**100kHz**	**400kHz**	**500kHz**
TPDIV	0xB	0xB	5	5
SCLLT	0xC7	0x13	0x9	0x3
t_{SCLLT}	200x250 ns = 50 µs	20x250 ns = 5.0 µs	10x125 ns = 1250 ns	4 x 125 ns = 500 ns
SCLHT	0xC3	0xF	0x3	0x1
t_{SCLHT}	196x250 ns = 49 µs	16x250 ns = 4.0µs	4x125ns = 500ns	3 x 62.5 ns = 187.5 ns
t_{SCL}(1)	~100 µs(2)	~10 µs(2)	~2500 ns(3)	~875 ns(4)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

SDAHT	0x2	0x2	0x3	0x0
t_{SDAHT}	2x250 ns = 500 ns	2x250 ns = 500 ns	3 x 125 ns = 375 ns	0 ns
SDAST	0x4	0x4	0x3	0x1
t_{SDAST}	5x250 ns = 1250 ns	5x250 ns = 1250 ns	4x125 ns = 500 ns	2 x 125 ns = 250 ns

1. 由于 SCL 内部检测延迟，SCL 周期 tscl 大于 tscll+tsclh。为 TSCL 提供的值只是示例。
2. $t_{SYNC1} + t_{SYNC2}$ 最小值为 4x t_{I2CCLK} = 83.3 ns.例如 $t_{SYNC1} + t_{SYNC2}$ = 1000 ns
3. $t_{SYNC1} + t_{SYNC2}$ 最小值为 4x t_{I2CCLK} = 83.3 ns.例如 $t_{SYNC1} + t_{SYNC2}$ = 750 ns
4. $t_{SYNC1} + t_{SYNC2}$ 最小值为 4x t_{I2CCLK} = 83.3 ns. 例如 $t_{SYNC1} + t_{SYNC2}$ = 250 ns

21.2.9 SMBus 特定功能

仅当支持 SMBus 功能时，此部分才相关。

介绍

系统管理总线（SMBus）是一个双线接口，通过它各种设备可以相互通信，也可以与系统的其余部分通信。它基于 I2C 工作原理。SMBus 为系统和电源管理相关任务提供控制总线。

该外设与 SMBUS 规范版本 2.0 兼容。

系统管理总线规范涉及三种类型的设备。

- 从机是接收或响应命令的设备。
- 主机是一种发出命令、生成时钟并终止传输的设备。
- 总机是为系统的 CPU 提供主接口的专用主机。总机必须是主从机，并且必须支持 SMBus 主机通知协议。系统中只允许一台总机。

该外设可以配置为主机或从机，也可以配置为总机。

SMBus 基于 I2C 规范第 2.1 版

总线协议

对于任何给定的设备，有 11 种可能的命令协议。一个设备可以使用 11 个协议中的任何一个或全部进行通信。协议包括快速命令、发送字节、接收字节、写入字节、写入字、读取字节、读取字、处理调用、块读取、块写入和块写入-块读取。这些协议应该由用户软件实现。

地址解析协议(ARP)

SMBus 从机地址冲突可以通过动态地为每个从机设备分配一个新的唯一地址来解决。为了提供一种机制来隔离每个设备以进行地址分配，每个设备必须实现一个唯一的设备标识符（UDID）。这个 128 位数字是由软件实现的。

该外设支持地址解析协议（ARP），通过在 I2C_CTR1 寄存器中设置 SMBDDAEN 位，可以启用 SMBus 设备默认地址（0B1100001）。ARP 命令应该由用户软件实现。

仲裁也在从机模式下执行，以支持 ARP。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

接收命令和数据确认控制

一个 SMBus 接收器必须能够 NACK 每个接收到的命令或数据。为了使从机模式时可以 ACK 控制，必须通过在 I2C_CTR1 寄存器中设置 SLVRC 位来使能从机字节控制模式。

总机通知协议

该外设通过在 I2C_CTR1 寄存器中设置 SMBHAEN 位来支持总机通知协议。在这种情况下，总机将确认 SMBus 总机地址（0b0001 000）。当使用此协议时，设备作为主设备，总机作为从设备。

SMBus 警报

支持 SMBus ALERT 信号（可选）。只有从设备才能通过 SMBALERT# 管脚向主机发送它想要通话的信号。总机处理中断，同时通过警报响应地址（0b0001 100）访问所有 SMBALERT# 设备。只有拉动 SMBALERT#low 的设备才会确认警报响应地址。

当配置为从设备（SMBHAEN=0）时，通过设置 I2C_CTR1 寄存器中的 SMBAEN 位，将 SMBA 引脚拉低。同时启用警报响应地址。

当配置为总机（SMBHAEN=1）时，当在 SMBA 管脚上检测到下降边缘并且 SMBAEN=1 时，在 I2C_CTR1 寄存器中设置 SMBAEN 标志。如果在 I2C_CTR1 寄存器中设置了 ERRDIE 位，则会产生中断。当 SMBAEN=0 时，即使外部 SMBA 管脚为低电平，也会认为 ALERT 线为高电平。

如果不需要 SMBus ALERT 管脚且 SMBAEN=0，则 SMBA 管脚可以用作标准 GPIO。

数据包错误检查

为了提高可靠性和通信鲁棒性，在 SMBus 规范中引入了一种包错误检查机制。包错误检查是通过在每个消息传输结束时附加一个包错误代码（PECCODE）来实现的。

通过在所有消息字节（包括地址和读/写位）上使用 $C(x)=x_8+x^2+x+1$ CRC-8 多项式计算 PECCODE。外设嵌入硬件 PECCODE 计算器，当接收到的字节与硬件计算的 PECCODE 不匹配时，允许自动发送非应答位。

超时

该外设嵌入硬件计时器，以符合 2.0 版 smbus 规范中定义的 3 个超时。

表 67 SMBus 超时规范

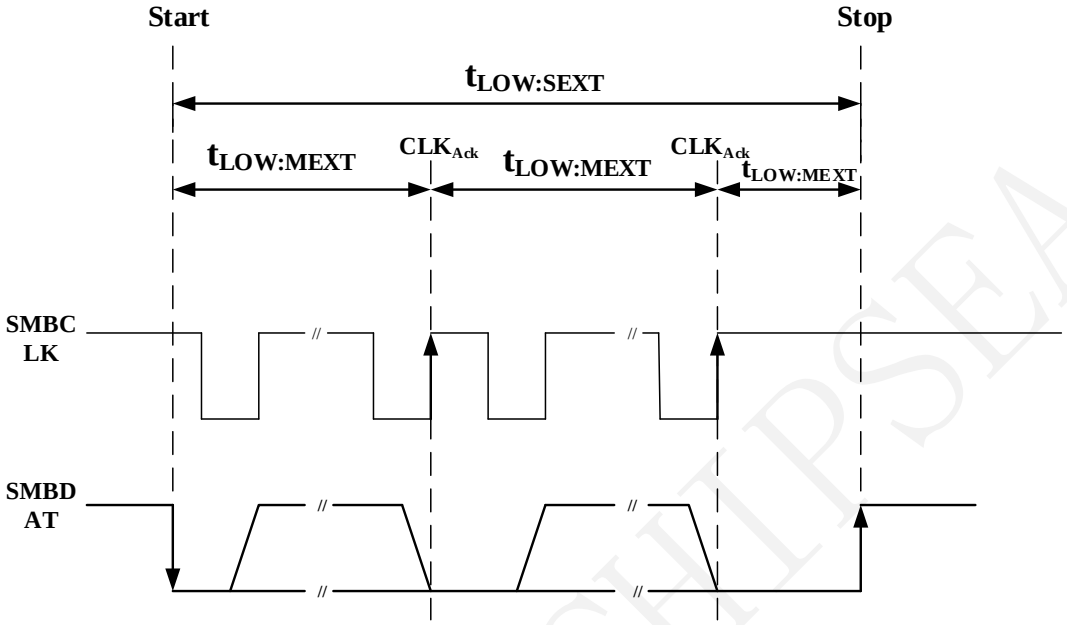
符号	参数	限制		单位
		最小	最大	
$t_{TIMEOUT}$	检测时钟低超时	25	35	ms
$t_{LOW:SEXT}$(1)	累计时钟低延长时间（从设备）	-	25	ms
$t_{LOW:MEXT}$(2)	累计时钟低延长时间（主设备）	-	10	ms

1. $t_{low:sext}$ 是一个给定的从设备允许在一条消息中从初始开始到停止，时钟延长的累计时间。有可能，另一个从设备或主设备也会延长时钟，导致组合的时钟低延长时间大于 $t_{low:sext}$。因此，该参数是以从设备作为全速主机的唯一目标来测量的。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

2. $t_{low:mext}$ 是允许主设备在消息的每个字节内，时钟延长其的累计时间，定义为从开始到应答、应答到应答或应答到停止。从设备或另一个主设备也可能会延长时钟，使组合的时钟低时间大于给定字节上的 $t_{low:mext}$。因此，该参数是以全速从设备作为主设备的唯一目标来测量的。

图 207 $t_{LOW:SEXT}$、$t_{LOW:MEXT}$ 的超时间隔



总线空闲检测

如果主机检测到时钟和数据信号的高时间 tIDLE 大于 tHIGH,MAX，则可以认为总线是空闲的。

此定时参数涵盖了主机已动态添加到总线中，并且可能未检测到 SMBCLK 或 SMBDAT 上的状态转换情况。在这种情况下，主机必须等待足够长的时间，以确保当前没有传输进行。外围设备支持硬件总线空闲检测。

21.2.10 SMBus 初始化

仅当支持 SMBus 功能时，此部分才相关。

除了 I2C 初始化之外，还必须进行一些其他特定的初始化，以便执行 SMBus 通信：

接收命令和数据应答控制（从机模式）

一个 SMBus 接收器必须能够 NACK 每个接收到的命令或数据。为了在从机模式下允许 ACK 控制，必须通过在 I2C_CTR1 寄存器中设置 SLVRC 位来启用从机响应控制模式。

特定地址（从机模式）

如果需要，应启用特定的 SMBus 地址。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 通过设置 I2C_CTR1 寄存器中的 SMBDDAEN 位，可以启用 SMBus 设备默认地址（0b1100001）。
- 通过设置 I2C_CTR1 寄存器中的 SMBHAEN 位，可以启用 SMBus 总机地址（0b0001000）。
- 警报响应地址（0b0001100）通过在□I2C_CTR1 寄存器中设置 SMBAEN 位来启用。

数据包错误检查

通过设置 I2C_CTR1 寄存器中的 PECCODEEN 位，可以启用 PECCODE 计算。然后通过硬件字节计数器管理 PECCODE 传输：I2C_CTR2 寄存器中的 BNUM[7:0]。在启用 I2C 之前必须配置 PECCODEEN 位。

PECCODE 传输由硬件字节计数器管理，因此在从机模式下连接 SMBus 时必须设置 SLVRC 位。当设置 PECCTR 位并清除 RELOADM 位时，在传输 BNUM-1 数据后传输 PECCODE。如果设置了 RELOADM，则 PECCTR 无效。

注： 启用 I2C 时，不允许更改 PECCODEEN 配置。

表 68 带 PECCODE 配置的 SMBUS

模式	SLVRC 位	RELOADM 位	TENDSEL 位	PECCTR 位
主 Tx/Rx BNUM+PECCODE+STOP GEN	x	0	1	1
主 Tx/Rx BNUM + PECCODE + ReSTART	x	0	0	1
从 Tx/Rx 带 PECCODE	1	0	x	1

超时检测

超时检测通过设置 I2C_OVRT 超时寄存器中的 TIMAEN 和 TIMBEN 位来启用。计时器的编程方式必须使其在 SMBus 规范版本 2.0 中给出的最大时间之前检测到超时。

- $t_{TIMEOUT}$ 检查

为了使能 $t_{TIMEOUT}$ 检查，必须用定时器重新加载值对 12 位 TIMA[11:0]位进行编程，以检查 $t_{TIMEOUT}$ 参数。必须将 IDLEDEN 位配置为“0”，以便检测 SCL 低电平超时。然后，通过在 I2C_OVRT 寄存器中设置 TIMAEN 来启用计时器。如果 SCL 低时间大于(TIMA+1) x 2048 x t_{I2CCLK}，则在 I2C_STS 寄存器中设置超时 OVRTF 标志。

注意: 设置 TIMAEN 位后，不允许更改 TIMA[11:0]位和 IDLEDEN 位配置。

- $t_{LOW:SEXT}$ and $t_{LOW:MEXT}$ 检查

根据外设配置为主机还是从机，必须配置 12 位 TIMB 计时器，以检查从机的 tLOW:SEXT 和主机的 tLOW:MEXT 。由于标准仅指定最大值，因此用户可以为两者选择相同的值。

然后通过设置 I2C_OVRT 寄存器中的 TIMBEN 位使能计时器。如果 SMBus 外围设备的 SCL 低累积延长时间大于(TIMB+1) x 2048 x tI2CCLK，在总线空闲检测章节中描述的超时间隔中，在 I2C_STS 寄存器中超时标志 OVRTF 置位。

注意: 设置 TIMBEN 位时，不允许更改 TIMB 配置。

总线空闲检测

要启用 t_{IDLE} 检查，必须使用计时器重新加载值对 12 位 TIMA[11:0]字段进行配置，以获取 t_{IDLE} 参数。必须将 IDLEDEN 位配置为“1”，以检测 SCL 和 SDA 高电平超时。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

然后，通过设置 I2C_OVRT 寄存器中的 TIMAEN 位来启用计时器。如果 SCL 和 SDA 线都保持高的时间大于（TIMA+1）x 4 xt_{I2CCLK}，则在 I2C_STS 寄存器中置位 OVRTF 标志。

注意: 设置 TIMAEN 时，不允许更改 TIMA 和 IDLEDEN 配置。

21.2.11 SMBus: I2C_OVRT 寄存器配置示例

仅当支持 SMBus 功能时，此部分才相关。

- 将 tTIMEOUT 的最大持续时间配置为 25ms。

表 69 各种 I2CCLK 频率的 TIMA 设置示例（最大时间=25 ms）

f_{I2CCLK}	TIMA[11:0] 位	IDLEDEN 位	TIMAEN 位	$t_{TIMEOUT}$
8 MHz	0x61	0	1	98 x 2048 x 125 ns = 25 ms
16 MHz	0xC3	0	1	196 x 2048 x 62.5 ns = 25 ms
48 MHz	0x249	0	1	586 x 2048 x 20.08 ns = 25 ms

- 配置 tLOW:SEXT 和 tLOW:MEXT 至 8 ms 的最大持续时间：

表 70 各种 I2CCLK 频率的 TIMB 设置示例（最大时间=25 ms）

f_{I2CCLK}	TIMA[11:0]位	TIMBEN 位	$t_{LOW:EXT}$
8 MHz	0x1F	1	32 x 2048 x 125 ns = 8 ms
16 MHz	0x3F	1	64 x 2048 x 62.5 ns = 8 ms
48 MHz	0xBB	1	188 x 2048 x 20.08 ns = 8 ms

- 将 tIDLE 的最大持续时间配置为 50 微秒

表 71 各种 I2CCLK 频率的 TIMA 设置示例（最大 t_{IDLE}=50 微秒）

f_{I2CCLK}	TIMA[11:0]位	IDLEDEN 位	TIMAEN 位	tIDLE
8 MHz	0x63	1	1	100 x 4 x 125 ns = 50 µs
16 MHz	0xC7	1	1	200 x 4 x 62.5 ns = 50 µs
48 MHz	0x257	1	1	600 x 4 x 20.08 ns = 50 µs

21.2.12 SMBus 从机模式

仅当支持 SMBus 功能时，此部分才相关。

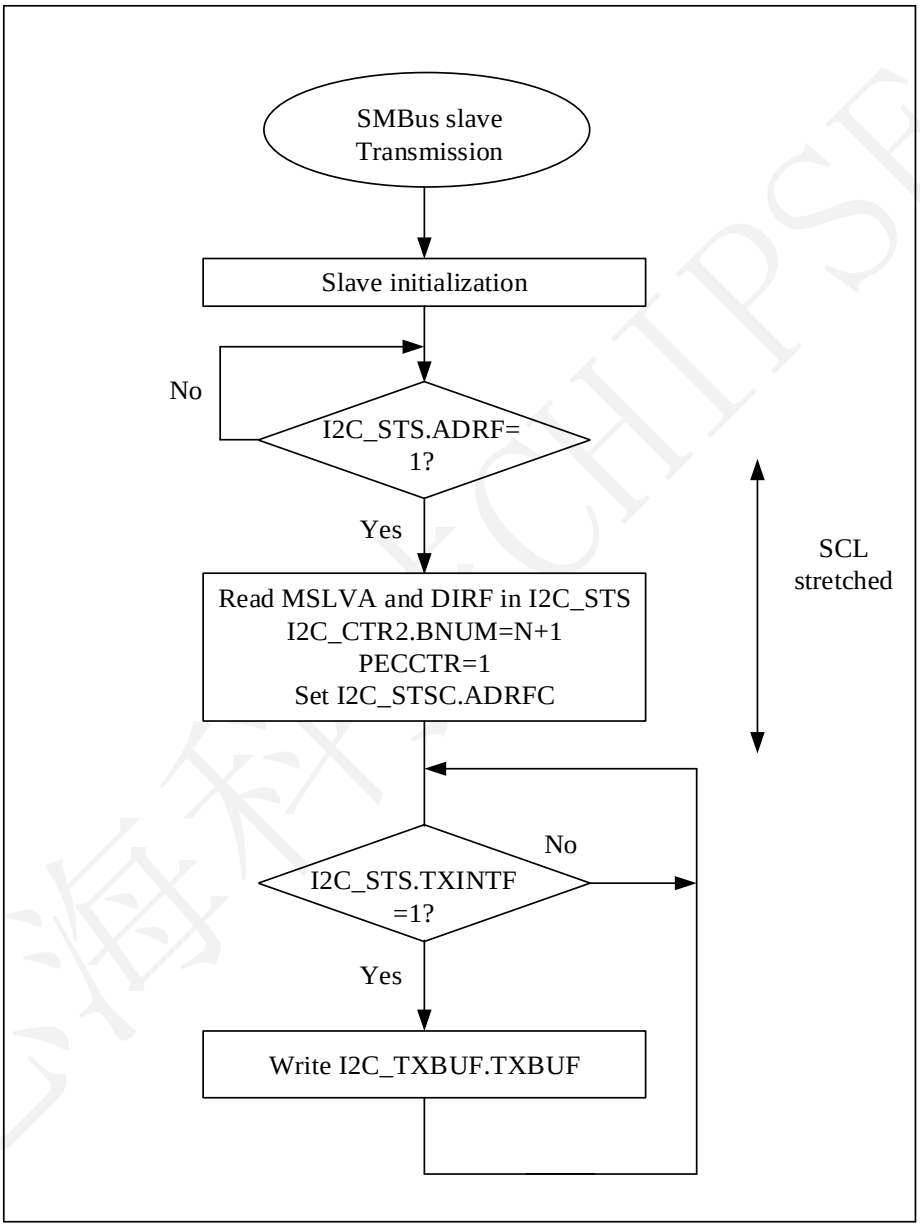
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

SMBus 从发送器

当在 SMBus 中使用 IP 时，必须将 SLVRC 编程为“1”，以便在配置的数据字节数结束时允许 PECCODE 传输。当设置了 PECCTR 位时，以 BNUM[7:0]的字节数包括 PECCODE 传输。在这种情况下， TXINTF 中断的总数将为 BNUM-1，如果主机在 BNUM-1 数据传输后请求一个额外的字节，则 I2C_PECCODE 寄存器的内容将自动传输。

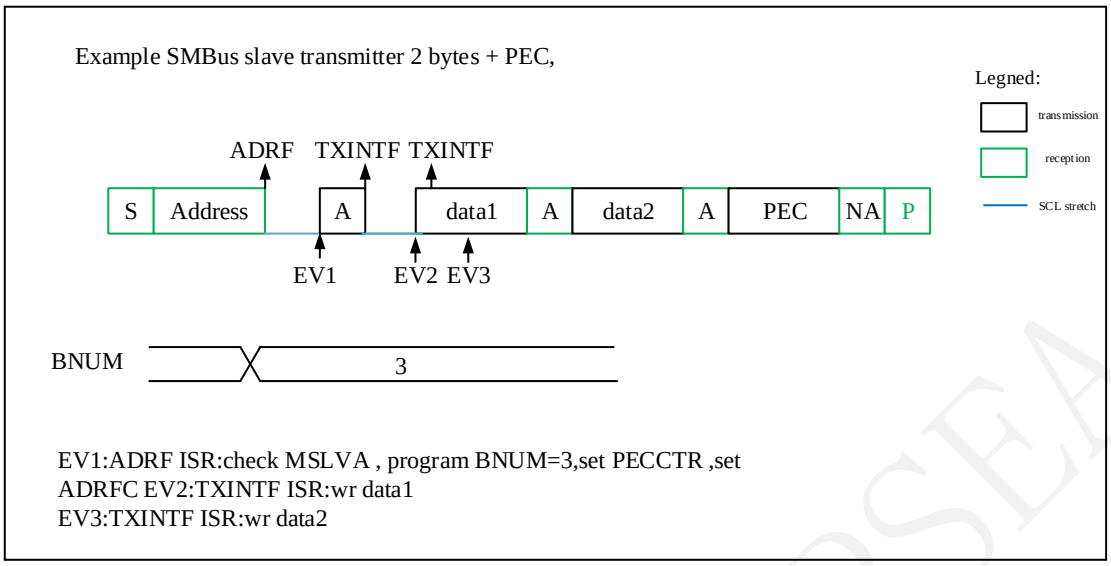
注意: 当 RELOADM 位被设置时，PECCTR 位无效。

图 208 SMBus 从站发送器 N 字节+PECCODE 的传输顺序流程图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 209 SMBus 从机发送器的传输总线图（SLVRC=1）



SMBus 从接收器

当 I2C 在 SMBus 模式下使用时，SLVRC 必须配置为“1”，以便在配置的数据字节数结束时进行 PECCODE 检查。为了允许对每个字节进行 ACK 控制，必须选择重新加载模式（RELOADM=1）。参考从机响应控制模式章节以获得更多细节内容。

为了检查 PECCODE 字节，必须清除 RELOADM 位并设置 PECCTR 位。在这种情况下，在接收到 BNUM-1 数据后，将下一个接收的字节与内部 I2C_PECCODE 寄存器内容进行比较。如果比较不匹配，则自动生成 NACK；如果比较匹配，则自动生成 ACK，无论 NACKGEN 位值如何。一旦接收到 PECCODE 字节，它就会像其他数据一样复制到 I2C_RXBUF 寄存器中，并设置 RXNEF 标志。

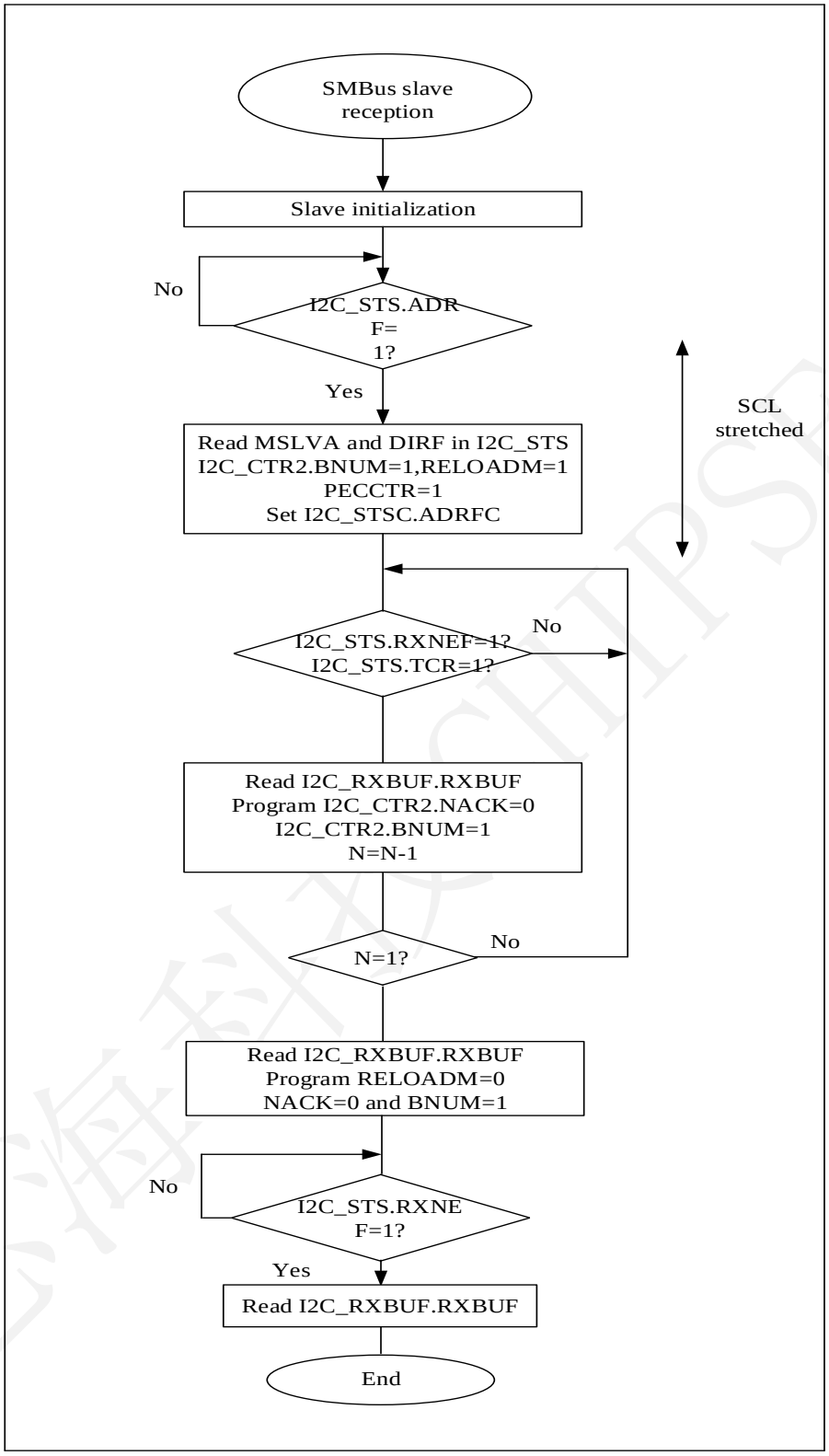
在 PECCODE 不匹配的情况下，如果在 I2C_CTR1 寄存器中设置了 ERRDIE 位，则会设置 PECCODEERR 标志并生成中断。

如果不需要 ACK 软件控制，用户可以配置 PECCTR=1，在相同的写入操作中，在连续处理中对 BNUM 配置为要接收的字节数。接收到 BNUM-1 字节后，将检查下一个接收字节作为 PECCODE 进行校验。

注意: 当设置 RELOADM 位时，PECCTR 位无效。

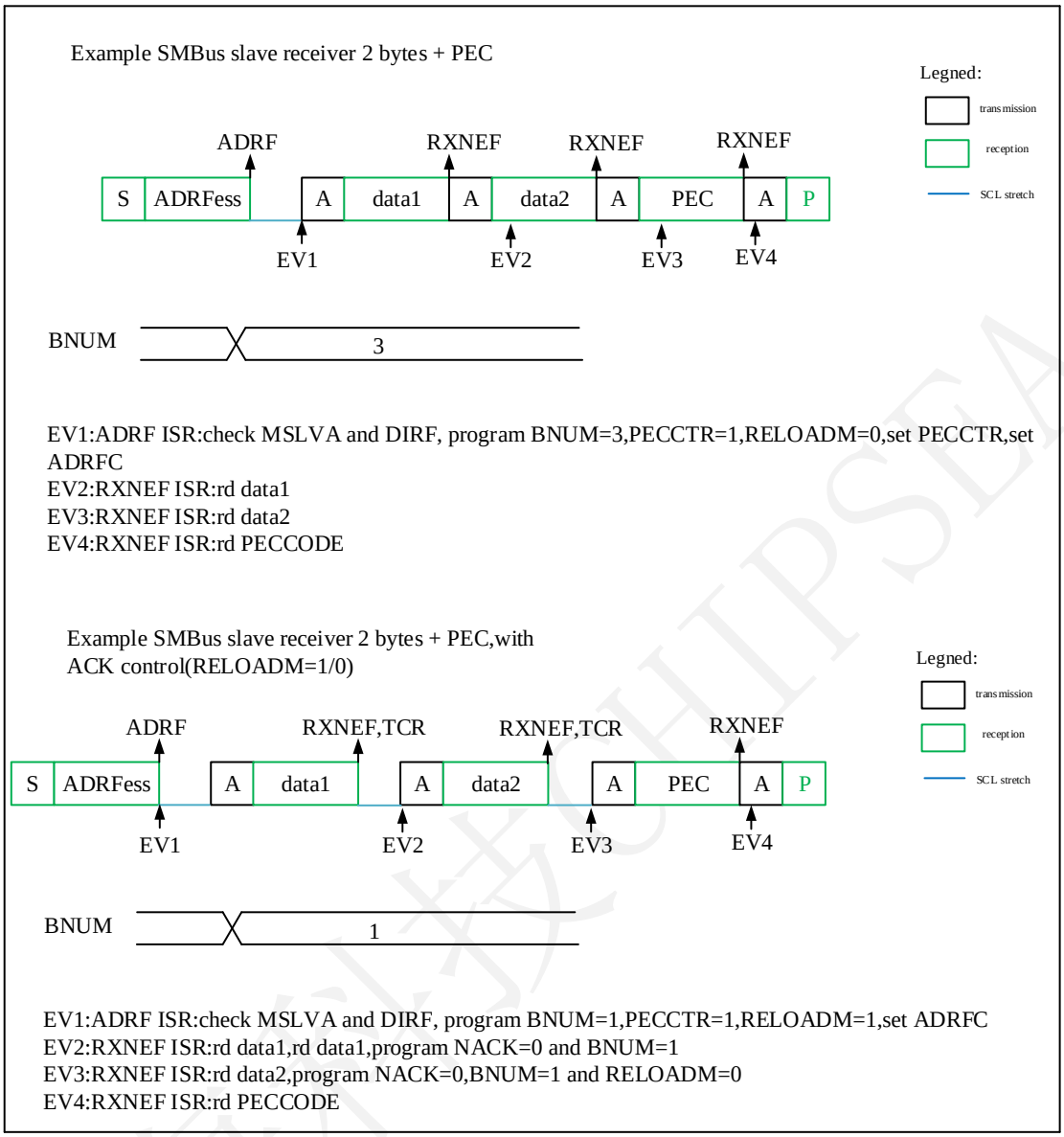
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 210 SMBus 从站接收器 N 字节+PECCODE 的传输流程图



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 211 SMBus 从机接收器的总线传输图（SLVRC=1）



仅当支持 SMBus 功能时，此部分才相关。

除了 I2C 的主机传输管理，还需要执行一些额外的软件流程以支持 SMBus。

SMBus 主机发送

当 SMBus 主机想要传输 PECCODE 时，必须设置 PECCTR 位，并且在设置 STARTGEN 位之前，必须在 BNUM[7:0]字段中对字节数进行配置。在这种情况下，TXINTF 中断的总数将为 BNUM-1。因此，如果在 BNUM=0x1 时设置了 PECCTR 位，则会自动传输 I2C_PECCODE 寄存器的内容。

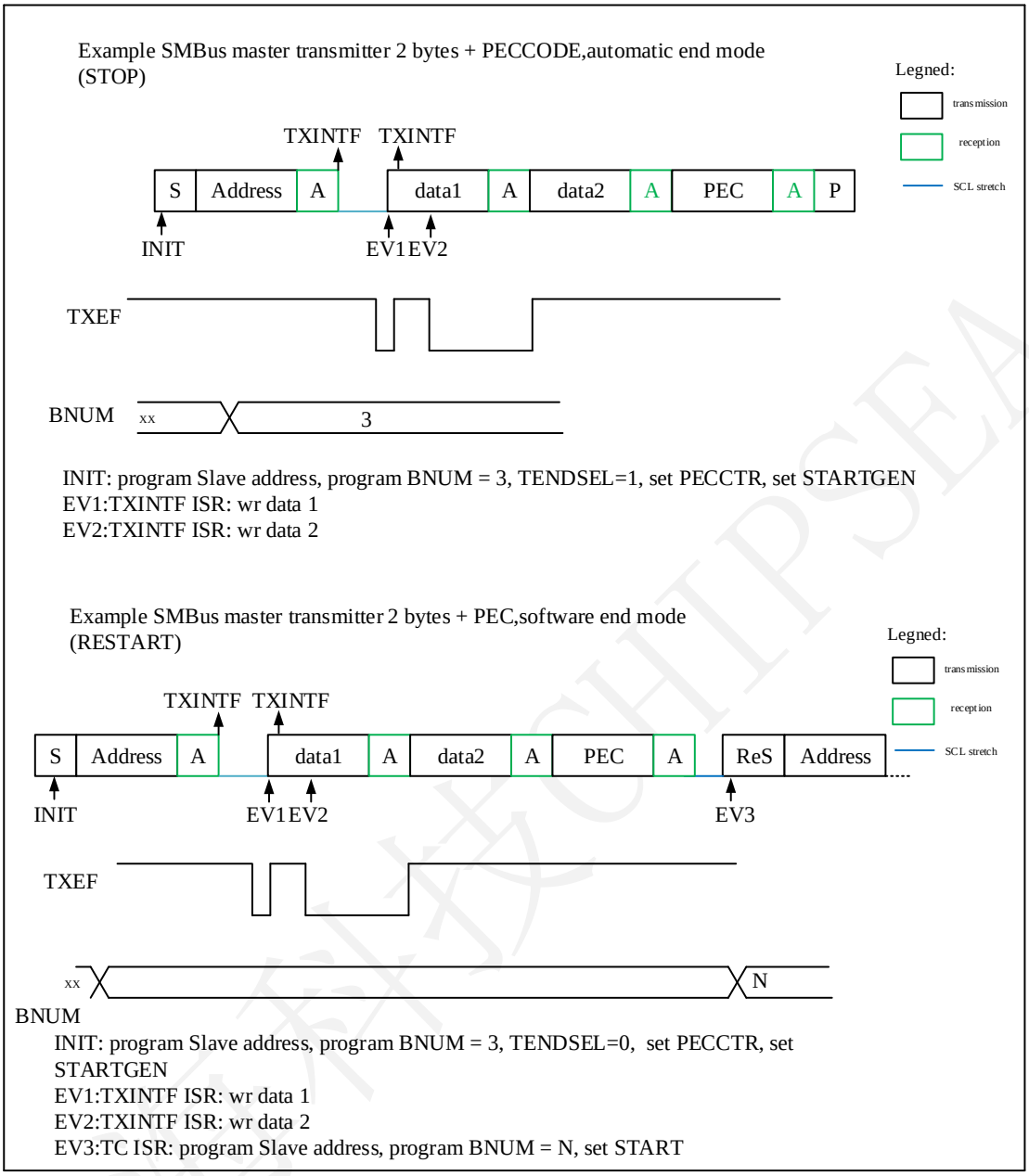
如果 SMBus 主机希望在 PECCODE 之后发送 STOP 条件，则应选择自动结束模式（TENDSEL=1）。在这种情况下，STOP 条件自动跟随 PECCODE 传输。

当 SMBus 主机希望在 PECCODE 之后发送 RESTART 条件时，必须选择软件结束模式（TENDSEL=0）。在这种情况下，一旦 BNUM-1 被传输，I2C_PECCODE 寄存器内容被传输，并且在 PECCODE 传输后设置 CMPF 标志，将 SCL 线拉低。RESTART 条件必须在 CMPF 中断子程序中配置。

注意: 当设置 RELOADM=1 时， PECCTR 位无效。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 212 SMBus 主机发送总线传输图



SMBus 主机接收

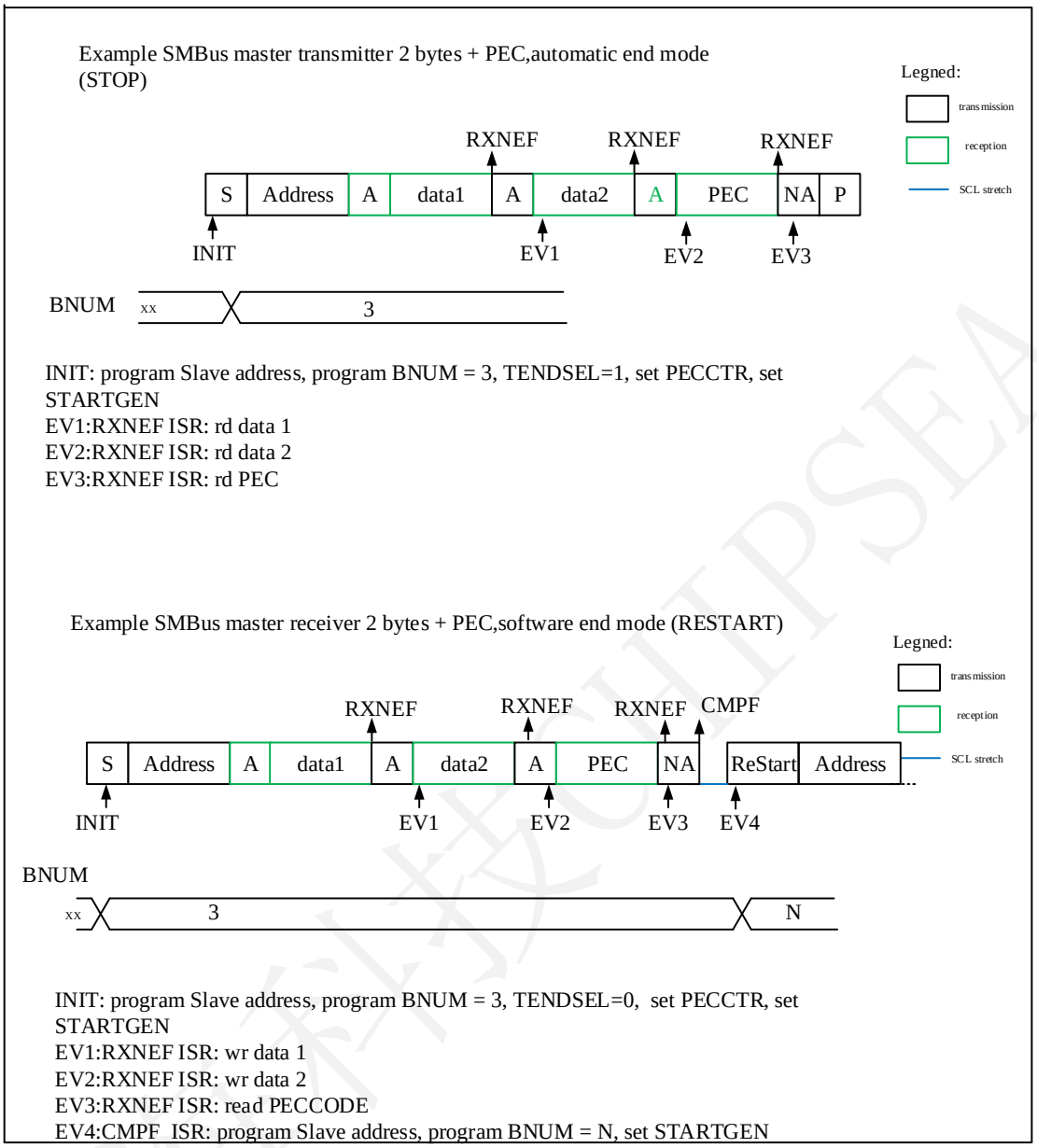
当 SMBus 主机希望接收 PECCODE，紧接着在传输结束时出现一个 STOP，可以选择自动结束模式（(TENDSEL=1）。在设置 START 位之前，必须设置 PECCTR 位并对从机地址进行配置。在这种情况下，在接收到 BNUM-1 数据后，下一个接收的字节将自动检查与 I2C_PECCODE 寄存器内容的对比。对 PECCODE 字节给出 NACK 响应，然后是停止条件。

当 SMBus 主接收器想要接收 PECCODE 字节，紧接着在传输结束时出现一个 RESTART 启动条件时，必须选择软件结束模式（TENDSEL=0）。在设置 START 位之前，必须设置 PECCTR 位并对从机地址进行配置。在这种情况下，在接收到 BNUM-1 数据后，下一个接收的字节将自动与 I2C_PECCODE 寄存器内容对比。接收 PECCODE 字节后设置 CMPF 标志，将 SCL 拉低。RESTART 条件可以在 CMPF 中断子程序中配置。

注意: 当设置 RELOADM 位时，PECCTR 位无效。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 213 SMBus 主机接收总线传输图



21.2.13　地址匹配时从深度睡眠模式唤醒

仅当支持从深度睡眠模式唤醒功能时，此部分才相关。

当寻址时，I2C 能够从深度睡眠模式（APB 时钟关闭）唤醒 MCU。支持所有寻址模式。

通过设置 I2C_CTR1 寄存器中的 WKUPEN 位，可启用从深度睡眠模式唤醒。为了允许从深度睡眠模式唤醒，必须选择 HRC 振荡器作为 I2CCLK 的时钟源。

在深度睡眠模式中，HRC 关闭。当检测到 START 时， I2C 接口打开 HRC，并将 SCL 拉低，直到 HRC 被唤醒。然后用 HRC 接收地址。

在地址匹配的情况下，I2C 在 MCU 唤醒时将 SCL 低电平延长。当软件清除 ADRF 标志，将 SCL 总线释放，传输正常进行时。

如果地址不匹配，则会再次关闭 HRC，并且不会唤醒 MCU。

说明：如果 I2C 时钟是系统时钟，或者如果 WKUPEN=0，则在接收到 START 后不会打开 HRC 振荡

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

器。

只有 ADRF 中断才能唤醒 MCU。因此，当 I2C 作为主设备执行传输或在设置 ADRF 标志后作为被寻址从设备执行传输时，不进入 Stop 模式。这可以通过清除 ADRF 中断例程中的 SLEEPDEEP 位并在 STOPF 标志后重新设置来管理。

注意：

- *数字滤波器与从深度睡眠模式唤醒功能不兼容。如果 DFCFG 位不等于 0，则设置 WKUPEN 位无效。*
- *只有当 I2C 时钟源是 HRC 振荡器时，此功能才可用。*
- *必须启用时钟延长（DISSTRETCH=0），以确保从深度睡眠模式唤醒功能正确。*
- *如果从深度睡眠模式唤醒被禁用（WKUPEN=0），则在进入深度睡眠模式之前必须禁用 I2C 外围设备（I2CEN=0）。*

21.2.14 错误条件

以下是可能导致通信失败的错误情况。

总线错误(BUSERRF)

当检测到 START 或 STOP 条件位置不是在 9 的倍数个 SCL 时钟脉冲后，检测到总线错误，总线错误。当 SCL 高时发生 SDA 跳变，检测到 START 或 STOP 条件。

只有当 I2C 作为主设备或寻址从设备参与传输时，才会设置总线错误标志（即，在从设备模式下，不在地址阶段）。

如果在从机模式下检测到错误的 START 或 RESTART，I2C 将进入地址识别状态，就像正确的 START 条件一样。

当检测到总线错误时，在 I2C_STS 寄存器中设置 BUSSERRF 标志，如果在 I2C_CTR1 寄存器中设置了 ERRDIE 位，则会生成中断。

仲裁失败 (ARBLOF)

在 SDA 线上发送高电平但在 SCL 上升沿上采样低电平时，检测到仲裁丢失，。

在主机模式下，在地址阶段、数据阶段和数据应答阶段检测仲裁丢失。仲裁丢失后，，SDA 和 SCL 线路被释放，START 控制位被硬件清除，主机自动切换到从属模式。

在从机模式下，在数据阶段和数据应答阶段检测仲裁丢失。发生仲裁丢失时，传输停止，SCL 和 SDA 线被释放。

当检测到仲裁丢失时，将 I2C_STS 寄存器中置位 ARBLOF 标志，如果在 I2C_CTR1 寄存器中设置 ERRDIE 位，则会生成中断。

上溢/下溢错误(OVRF)

在从机模式下当 DISSTRETCH=1，下列情况下，检测到上溢或下溢错误：

在接收中，当接收到一个新的字节并且 RXBUF 寄存器尚未被读取时。新接收的字节丢失，并自动发送一个 NACK 作为对新字节的应答。

在发送中：

- 当 STOPF=1 时，应发送第一个数据字节。如果 TXEF=0，则发送 I2C_TXBUF 寄存器的内容，否则发送 0xff。
- 当需要发送一个新的字节而 I2C_TXBUF 寄存器尚未写入时，发送 0xFF。

当检测到上溢或下溢错误时，在 I2C_STS 寄存器中置位 OVR 标志，如果在 I2C_CTR1 寄存器中设置

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

了 ERRDIE 位，则会生成中断。

数据包错误检查错误(PECERRF)

仅当支持 SMBus 功能时，此部分才相关。请参见章节 26.3: I2C 具体功能配备

当接收到的 PECCODE 字节与 I2C_PECCODE 寄存器内容不匹配时，检测到 PECCODE 错误。在错误的 PECCODE 接收之后，会自动发送一个 NACK。

当检测到 PECCODE 错误时，将在 I2C_STS 寄存器中设置 PECERRF 标志，如果在 I2C_CTR1 寄存器中设置了 ERRDIE 位，则会生成中断。

超时错误(OVRTF)

仅当支持 SMBus 功能时，此部分才相关。

在以下情况下都会发生超时错误：

- IDLEDEN=0 和 SCL 在 TIMA[11:0]位中定义的时间内保持低：用于检测 SMBus 超时。
- IDLEDEN=1，SDA 和 SCL 在 TIMA[11:0]位中定义的时间内保持高：用于检测总线空闲状态。
- 主机累积时钟低延长时间已达到 TIMB[11:0]位中定义的时间（SMBus $t_{LOW:MEXT}$ 参数）
- 从机累计时钟低延长时间已达到 TIMB[11:0]位中定义的时间（(SMBus $t_{LOW:SEXT}$ 参数）
- 在主机模式下检测到超时冲突时，将自动发送 STOP 条件。

当在从机模式下检测到超时冲突时，SDA 和 SCL 线路将自动释放。

当检测到超时错误时，在 I2C_STS 寄存器中设置 OVRTF 标志，如果在 I2C_CTR1 寄存器中设置 ERRDIE 位，则生成中断。

警报 (SMBAF)

仅当支持 SMBus 功能时，此部分才相关。请参见章节 21.2.3: I2C 具体功能配备

当 I2C 接口配置为总机（SMBHAEN=1）时，警报管脚检测被使能（SMBAEN=1），并且在 SMBA 管脚上检测到下降沿，SMBAF 标志被置位。如果在 I2C_CTR1 寄存器中设置了 ERRDIE 位，则会产生中断。

21.2.15 DMA 请求

使用 DMA 传输

通过设置 I2C_CTR1 寄存器中的 TXDMAREQEN 位，可以启用直接内存访问（DMA）进行传输。每当设置 TXINTF 位时，数据从使用 DMA 外设配置的 SRAM 区域（见第 10 章 DMA）加载到 I2C_TXBUF 寄存器。

只有数据通过 DMA 传输。

- 在主机模式下：初始化、从机地址、方向、字节数和 STARTGEN 位由软件配置（发送的从机地址不能用 DMA 传输）。□当使用 DMA 传输所有数据时，必须在设置 STARTGEN 位之前初始化 DMA。传输结束由 BNUM 计数器管理。
  - 在从机模式下：
  - 当 DISSTRETCH=0 时，当使用 DMA 传输所有数据时，在清除 ADRF 之前，必须在地址匹配事件或在 ADRF 中断子例程之前初始化 DMA。
  - 当 DISSTRETCH=1 时，必须在地址匹配事件之前初始化 DMA。
  - 对于支持 SMBus 的实例：PECCODE 传输由 BNUM 计数器管理。

说明: 如果使用 DMA 进行传输，则不需要启用 TXINTFIE 位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

使用 DMA 接收

通过在 I2C_CTR1 寄存器中设置 RXDMAREQEN 位，可以启用直接内存访问（DMA）进行接收。当 RXNEF 位被设置时，数据从 I2C_RXBUF 寄存器加载到使用 DMA 外围设备配置的 SRAM 区域。(参考第十章 DMA)。只有数据（包括 PECCODE）通过 DMA 传输。

- 在主机模式下，初始化、从机地址、方向、字节数和 STARTGEN 位由软件配置。当使用 DMA 传输所有数据时，必须在设置 STARTGEN 之前初始化 DMA。传输结束由 BNUM 计数器管理。
- 在 DISSTRETCH=0 的从机模式下，当使用 DMA 传输所有数据时，在清除 ADRF 标志之前，必须在地址匹配事件之前或在 ADRF 中断子程序中初始化 DMA。
- 如果支持 SMBus，PECCODE 传输由 BNUM 计数器管理。

说明: 如果使用 DMA 接收，则不需要启用 RXNEIE 位。

21.2.16　调试模式

当微控制器进入排错模式（内核停止），SMBus 超时要么继续正常工作，要么停止，这取决于 DBG 模块中的 I2C1_SMBUS_DBG_PAUSE 配置位。

21.2.17　I2C 低功耗模式

表 72 低功耗模式

模式	描述
睡眠模式	无效果 I2C 中断导致设备退出睡眠模式。
深度睡眠模式	保存 I2C 寄存器的内容。
掉电模式	I2C 外围设备断电，退出掉电状态后必须重新初始化。

21.2.18　I2C 中断

下表列出了 I2C 中断请求。

表 73 I2C 中断请求

中断事件	中断标志	中断标志/中断清除方法	中断启用控制位
接收缓冲区不为空	RXNEF	Read I2C_RXBUF register	RXNEIE
传输缓冲中断状态	TXINTF	Write I2C_TXBUF register	TXINTFIE
停止检测中断标志	STOPFC	Write STOPFC=1	STOPDIE
传输完成重新加载	RLDF	Write I2C_CTR2 with BNUM[7:0] ≠ 0	CMPIE
传输完成	CMPF	Write STARTGEN=1 or STOPGEN=1	
地址匹配	ADRF	Write ADRFC=1	ADRMIE
NACK 接收	NACKF	Write NACKFC=1	NACKRIE
总线错误	BUSERRF	Write BUSERRFC =1	ERRDIE
仲裁损失	ARBLOF	Write ARLOFC=1	
上溢/下溢	OVRF	Write OVRFC=1	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

PECCODE 错误	PECCODEERRF	Write PECCODEERRCF=1	
超时/t_{LOW} 错误	OVRTF	Write OVRTFC=1	
SMBus 警报	SMBAF	Write SMBAFC=1	

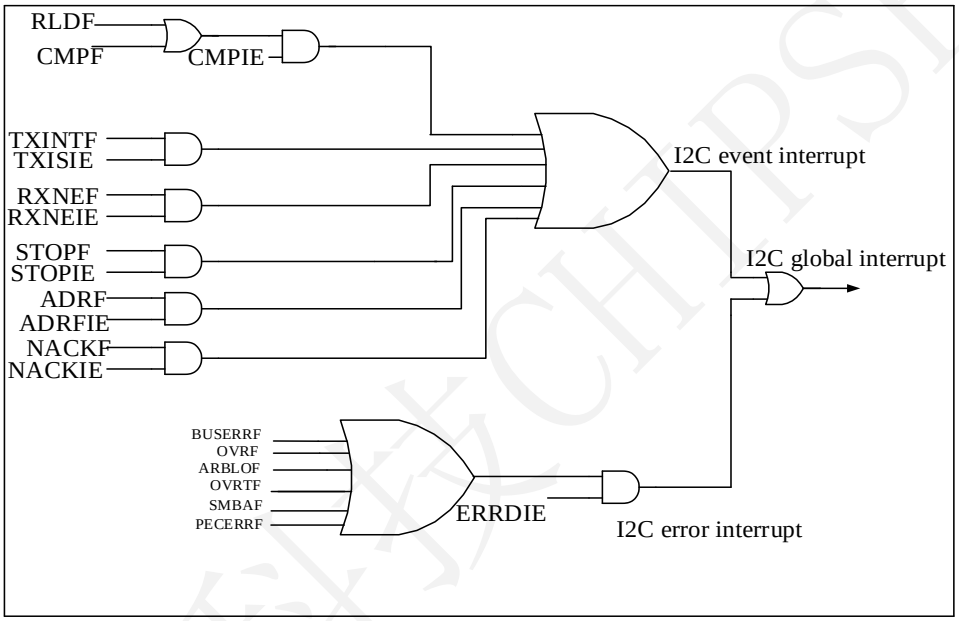
中断请

根据产品实现的不同，所有这些中断事件可以共享相同的中断向量（I2C 全局中断），也可以分为 2 个中断向量（I2C 事件中断和 I2C 错误中断）。

为了启用 I2C 中断，需要以下顺序：

1. 在 NVIC 中配置并启用 I2C IRQ 通道。
2. 配置 I2C 以生成中断。

图 214　I2C 中断映射图



21.3

I2C 寄存器

21.3.1 I2C 寄存器概览

表 74 I2C 寄存器概览

名称	偏移地址	描述	复位值
I2C_CTR1	0x000	I2C 控制寄存器 1	0x00000000
I2C_CTR2	0x004	I2C 控制寄存器 2	0x00000000
I2C_SADR1	0x008	I2C 本身地址 1 寄存器	0x00000000
I2C_SADR2	0x00C	I2C 本身地址 2 寄存器	0x00000000
I2C_TMR	0x010	I2C 时序寄存器	0x00000000
I2C_OVRT	0x014	I2C 超时寄存器	0x00000000
I2C_STS	0x018	I2C 状态寄存器	0x00000001
I2C_STSC	0x01C	I2C 标志清除寄存器	0x00000000
I2C_PECCODE	0x020	I2C PEC 编码寄存器	0x00000000
I2C_RXBUF	0x024	I2C 接收数据寄存器	0x00000000

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

I2C_TXBUF	0x028	I2C 发送数据寄存器	0x00000000

21.3.2 I2C 控制寄存器 1 (I2C_CTR1)

访问: 无等待状态，除非在对该寄存器进行写访问时发生写访问。在这种情况下，在第二次写入访问中插入等待状态，直到上一次写入访问完成。第二次写入访问的延迟可以达到 2 x PCLK1 + 6 x I2CCLK。

I2C_CTR1 (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	PECMEN	SMBAEN	SMBDDAEN	SMBHAEN	GCEN	WKUPEN	DISSTRETCH	SLVRC
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDMAREQEN	TXDMAREQEN	保留	AFDIS	DFCFG[3:0]				ERRDIE	CMPIE	STOPDIE	NACKRIE	ADRMIE	RXNEIE	TXINTFIE	I2CEN
r/w	r/w		r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:24]	保留	
23	PECMEN	**PEC 模式使能** 0: PECCODE 计算已禁用 1: PECCODE 计算已启用 *说明: 如果不支持 SMBus 功能，则保留该位，并由硬件强制设置为"0"。*
22	SMBAEN	**SMBus 报警使能** **Device mode (SMBHAEN=0)**: 0: 释放 SMBA 管脚为高和禁用警报响应地址头:0001100x，后跟着 NACK。 1: 驱动 SMBA 管脚低，警报响应地址头使能：0001100x，后跟 ACK。 **Host mode (SMBHAEN=1)**: 0: 不支持 SMBus 警报管脚（SMBA）。 1: 支持 SMBus 警报管脚（SMBA）。 *说明: 当 SMBAEN=0 时，SMBA 管脚可以用作标准 GPIO。* *如果不支持 SMBus 功能，则保留该位，并由硬件强制设置为"0"。*
21	SMBDAEN	**SMBus 从机默认地址使能** 0: 设备默认地址已禁用。地址 0b1100001x 后回复 NACK。 1: 设备默认地址已启用。地址 0b1100001x 后回复 ACK。 *说明: 如果不支持 SMBus 功能，则保留该位并由硬件强制设置为"0"。*
20	SMBHAEN	**SMBus 主机地址使能** 0: 总机地址已禁用。地址 0b0001000x 后回复 NACK。 1: 总机地址已启用。地址 0b0001000x 后回复 ACKe。 *说明: 如果不支持 SMBus 功能，则保留该位，并由硬件强制设置为"0"。*

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

19	GCEN	**广播呼叫使能** 0: 已禁用广播呼叫。地址 0b00000000 后回复 NACK。 1: 已启用广播呼叫。地址 0b00000000 后回复 ACK。
18	WKUPEN	**深度睡眠模式唤醒使能** 0: 从深度睡眠模式唤醒禁用。 1: 从深度睡眠模式唤醒启用。 *说明: 如果不支持从深度睡眠模式唤醒功能，则保留该位并由硬件强制设置为"0"。* *说明: 只有在 DFCFG= '0000' 时才能设置 WKUPEN*
17	DISSTRETCH	**禁能时钟延展** 该位用于在从模式下禁用时钟延长。必须在主机模式下保持清除。 0: 已启用时钟延长 1: 时钟延长已禁用 *说明: 该位只能在 I2C 被禁用（I2CEN=0）时进行编程。*
16	SLVRC	**从机响应控制** 该位用于在从属模式下启用硬件字节控制。 0: 从字节控制已禁用 1: 从字节控制已启用
15	RXDMAREQEN	**DMA 接收请求使能** 0: 接收时禁用 DMA 模式 1: 接收时使能 DMA 模式
14	TXDMAREQEN	**DMA 发送请求使能** 0: 发送时禁用 DMA 模式 1: 发送时了 DMA 模式使能
13	保留	
12	AFDIS	**模拟滤波器关闭** 0: 模拟噪声滤波器已启用 1: 模拟噪声滤波器已禁用 *说明: 该位只能在 I2C 被禁用（I2CEN=0）时进行编程。*
[11:8]	DFCFG	**数字滤波器 配置** 这些位用于在 SDA 和 SCL 输入上配置数字噪声滤波器。数字滤波器将过滤长度不超过 DFCFG[3:0] * t_{I2CCLK} 的峰值。 0000: 数字滤波器已禁用 0001: 数字滤波器启用，过滤能力高达 1 t_{I2CCLK} ... 1111: 数字滤波器启用，过滤能力高达 15 t_{I2CCLK} *说明: 如果模拟滤波器也启用，数字滤波器在模拟滤波器后起作用。* *此滤波器只能在 I2C 被禁用（I2CEN=0）时进行配置。*
7	ERRDIE	**错误检测中断使能** 0: 错误检测中断被禁用 1: 错误检测中断已启用 *说明: 这些错误中的任何一个都会产生中断：* *仲裁损失(ARBLOF)* *总线错误检测(BUSERRF)*

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		上溢/下溢(OVRF) *超时检测(OVRTF)* *PECCODE 错误检测(PECCODEERRF)* *报警管脚事件检测(SMBAF)*
6	CMPIE	**传输完成中断使能** 0: 传输完成中断被禁用 1: 传输完成中断已启用 *说明: 这些事件中的任何一个都将产生中断： 传输完成(CMPF)* *T 传输完成重新加载(RLDF)*
5	STOPDIE	**停止检测中断使能** 0: 停止检测（STOPFC）中断被禁用 1: 停止检测（STOPFC）中断已启用
4	NACKRIE	**接收 NACK 中断使能** 0: 未确认（NACKFC）接收中断被禁用 1: 未确认（NACKFC）已启用接收中断
3	ADRMIE	**地址匹配中断使能**（仅从机） 0: 地址匹配（ADRF）中断被禁用 1: 地址匹配（ADRF）中断已启用
2	RXNEIE	**接收中断使能** 0: 接收（RXNEF）中断被禁用 1: 接收（RXNEF）中断已启用
1	TXINTFIE	**发送中断使能** 0: 传输（TXINTF）中断禁用 1: 传输（TXINTF）中断已启用
0	I2CEN	**外设使能** 0：I2C 禁止 1：I2C 使能 *说明: 当 I2CEN=0 时，I2C SCL 和 SDA 线路被释放。内部状态机和状态位被恢复到其重置值。清除后，I2CEN 必须保持低电平至少 3 个 APB 时钟周期*

21.3.3 I2C 控制寄存器 2(I2C_CTR2)

访问: 无等待状态，除非在对该寄存器进行写访问时发生写访问。在这种情况下，在第二次写入访问中插入等待状态，直到上一次写入访问完成。第二次写入访问的延迟可高达 2 × PCLK1+6 × I2CCLK。

I2C_CTR2 (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	PEC CTR	TEN DSE L	REL OAD M	BNUM[7:0]							
					r/w1s	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

NACKGEN	STOPGEN	STARTGEN	HEAD10AR	ADRFMT	TDIR	MTADR[9:0]									
r/w1s	r/w1s	r/w1s	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:27]	保留	
26	PECCTR	**PEC 字节** 该位由软件设置，当传输 PECCODE 时，或当接收到 STOP 条件或匹配的地址时，又或者当 I2CEN=0 时，由硬件清除。 0: 无 PECCODE 传输。 1: 请求 PECCODE 传输/接收 *说明: 将"0"写入此位无效。* *当重新加载 RELOADM 设置时，此位无效。* *当 SLVRC=0 时，该位不影响从机模式。* *如果不支持 SMBus 功能，则保留该位，并由硬件强制设置为"0"。*
25	TENDSEL	**结束模式选择（主机模式）** 该位由软件设置和清除。 0: 软件结束模式：传输完 BNUM 数据时设置 CMPF 标志，将 SCL 拉低。 1: 自动结束模式：当传送完 BNUM 数据时，自动发送停止条件。 *说明: 该位在从机模式或 RELOADM 位设置时不起作用。*
24	RELOADM	**字节个数重载模式** 该位由软件设置和清除。 0: 传输在 BNUM 数据传输之后完成（随后将 STOP 或 RESTART）。 1: 传输在 BNUM 数据传输之后未完成（将重新加载 BNUM）。 传输 BNUM 数据时设置 RLDF 标志，将 SCL 拉低。
[23:16]	BNUM	**字节个数** 将要发送/接收的字节数。在 SLVRC=0 的从模式下，此位段无效。 *说明: 不允许在设置 STARTGEN 位时更改这些位。*
15	NACKGEN	**产生 NACK（从机模式）** 该位由软件设置，当发送 NACK 后，或当接收到 STOP 条件或地址匹配时，或当 I2CEN=0 时由硬件清除。 0:在当前接收字节之后发送 ACK。 1:在当前接收字节之后发送 NACK。 *说明: 将"0"写入此位无效。* *此位仅用于从机模式：在主机接收器模式下，在 STOP 或 RESTART 条件前的最后一个字节后，无论 NACK 位值如何，都会自动生成 NACK。* *当在从机接收器 DISSTRETCH 模式下发生溢出时，无论 NACK 位值是多少，都会自动生成一个 NACK。* *当硬件 PECCODE 检查时（PECCTR=1），PECCODE 的应答值不取决于 NACK 值。*
14	STOPGEN	**产生 STOP (主机模式)** 该位由软件设置，当检测到 Stop 条件或当 I2CEN =0 时时由硬件清除。 在主机模式：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0: 不生成停止条件。 1:当前字节传输后生成停止条件。 *说明: 将"0"写入此位无效。*
13	STARTGEN	**产生 START** 该位由软件设置，在起始条件+发送地址序列之后由硬件清除，在仲裁丢失、检测到超时错误或当 I2CEN=0 时清除。软件也可以通过将"1"写入 I2C_STSC 寄存器中的 ADRFC 位来清除。 0：不生成起始条件。 1：重新发送起始条件 RESTART/生成起始条件： – 如果 I2C 已经在主机模式中，且 TENDSEL =0，设置该位，在 BNUM 传输结束后，当 RELOADM=0 时，会重新发送 START 条件。 – 否则，设置该位将在总线空闲时生成 START 条件。 *说明: 将"0"写入此位无效。* *即使总线为 BUSY 或 I2C 处于从模式，也可以设置 STARTGEN 位。* *当重新装载 RELOADM 设置时，此位无效。在 10 位寻址模式下，如果在地址的第一部分接收到一个 NACK，则硬件不清除 STARTGEN 位，主机将重新发送地址序列，除非软件清除 STARTGEN 位。*
12	HEAD10AR	**10 位地址头只读方向（主接收器模式）** 0: 主机发送完整的 10 位从机地址读取序列：起始位 + 2 bytes 10bit 地址写方向 + 重复起始位 + 10bit 地址的首地址部分（读方向）。 1: 主机只发送 10 位地址的首地址（7bit）部分，然后是读方向。 *说明: 不允许在设置 STARTGEN 位时更改该位。*
11	ADRFMT	**地址模式（主机模式）** 0: 主机在 7 位寻址模式下工作， 1: 主机在 10 位寻址模式下工作 *说明: 不允许在设置 STARTGEN 位时更改该位。*
10	TDIR	**传输方向（主机模式）** 0: 主机请求写传输。 1: 主机请求读传输。 *说明: 不允许在设置 STARTGEN 位时更改该位。*
[9:8]	MTADR	**从机地址位 9:8（主机模式）** 在 7 位寻址模式下（ADRFMT=0）： 这些位不重要 在 10 位寻址模式下（ADRFMT=1） 这些位应写入要发送的从机地址的 9:8 位。 *说明: 不允许在设置 STARTGEN 位时更改这些位。*
[7:1]	MTADR	**从机地址位 7:1（主机模式）** 在 7 位寻址模式下（ADRFMT=0）： 这些位应写入要发送的 7 位从机地址。 在 10 位寻址模式下（ADRFMT=1）： 这些位应写入要发送的从机地址的 7:1 位一起。 *说明:不允许在设置 STARTGEN 位时更改这些位。*
0	MTADR 0	**从机地址位 0（主机模式）**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		7 位地址模式(ADRFMT = 0): 不关心此位 **10 位地址模式 (ADRFMT = 1):** 该位应写入要发送的从机地址位 0 一起。 *说明：不允许在设置 STARTGEN 位时更改这些位。*

21.3.4 I2C 本身地址 1 寄存器 (I2C_SADR1)

访问：无等待状态，除非在对该寄存器的写入访问正在进行时发生写入访问。
在这种情况下，在第二次写入访问中插入等待状态，直到上一次写入访问完成。第二次写入访问的延迟可高达 2 x PCLK1+6 x I2CCLK。

I2C_SADR1 (偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SADR1EN	保留	保留	保留	保留	SADR1MODE	SADR1[9:8]		SADR1[7:1]							SADR1[0]
r/w					r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
15	SADR1EN	**本身地址 1 使能** 0: 已禁用本机地址 1。接收的从机地址 SADR1 回复 NACK。 1: 已启用本机地址 1。接收的从机地址 SADR1 回复 ACK。
[14:11]	保留	
10	SADR1MODE	**本身地址 1 10 位模式** 0: 本机地址 1 是 7 位地址。. 1: 本机地址 1 是 10 位地址。 *说明: 此位只能在 SADR1EN=0 时写入。*
[9:8]	SADR1[9:8]	**本身地址 1** 7-bit 寻址模式: 无效 10-bit 寻址模式: 位 9:8 的地址 *说明: 此位只能在 SADR1EN=0 时写入。*
[7:1]	SADR1[7:1]	**本身地址 1** 7-bit 寻址模式: 7-bit 地址 10-bit 寻址模式: 10 位地址中的 7:1 位 *说明: 此位只能在 SADR1EN=0 时写入。*
0	SADR1[0]	**本身地址 1**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		7-bit 寻址模式：无效 10-bit 寻址模式: 地址 0 位 *说明: 此位只能在 SADR1EN=0 时写入。*

21.3.5 I2C 本身地址 2 寄存器 (I2C_SADR2)

访问：无等待状态，除非在对该寄存器的写入访问正在进行时发生写入访问。在这种情况下，在第二次写入访问中插入等待状态，直到上一次写入访问完成。第二次写入访问的延迟可高达 2 x PCLK1+6 xI2CCLK。

I2C_SADR2 (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SADR2EN	保留	保留	保留	保留	SADR2MSK[2:0]			SADR2[7:1]							保留
r/w					r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	

Bit 位	名称	描述
[31:16]	保留	
15	SADR2EN	**本身地址 2 使能** 0: 已禁用本机地址 2。接收的从机地址 SADR2 回复 NACK。 1: 已启用本机地址 2。接收的从机地址 SADR2 回复 ACK。
[14:11]	保留	
[10:8]	SADR2MSK	**本身地址 2 屏蔽位** 000: 没有掩码 001: SADR2[1]被**屏蔽**。只比较 SADR2 [7:2]。 010: SADR2[2:1] 被**屏蔽**。只比较 SADR2 [7:3]。 011: SADR2[3:1] 被**屏蔽**。只比较 SADR2 [7:4]。 100: SADR2[4:1] 被**屏蔽**。只比较 SADR2 [7:5]。 101: SADR2[5:1] 被**屏蔽**。只比较 SADR2 [7:6]。 110: SADR2[6:1] 被**屏蔽**。仅比较 SADR2 [7]。 111: SADR2[7:1] 被**屏蔽**。不进行比较，并且应答所有（保留的）7 位接收地址。 *说明: 这些位只能在 SADR2EN=0 时写入。* *一旦 SADR2MSK 不等于 0，即使比较匹配，也不会应答保留的 I2C 地址（0b00000xxx 和 0b1111xx）。*
[7:1]	SADR2	**本身地址 2** 7-bit 寻址模式: 7-bit 地址 *说明: 这些位只能在 SADR2EN=0 时写入。*
0	保留	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

21.3.6 I2C 时序寄存器 (I2C_TMR)

访问: 无等待状态

I2C_TMR (偏移地址=0x010，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TPDIV[3:0]				保留	保留	保留	保留	SDAST[3:0]				SDAHT[3:0]			
r/w	r/w	r/w	r/w					r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCLHT[7:0]								SCLLT[7:0]							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:28]	TPDIV	**时序预分频系数** 此字段用于对 I2CCLK 进行预分频，以生成用于数据建立和保持时间计数器的时钟周期 t_{TPDIV}。 t_{TPDIV} = (TPDIV+1) x t_{I2CCLK}
[27:24]	保留	
[23:20]	SDAST	**数据建立时间** 此字段用于在 SDA 沿和 SCL 上升沿之间生成延迟 t_{SDAST}。在主机模式和从机模式下，DISSTRETCH=0 时，SCL 线在 t_{SDAST} 期间被拉低。 t_{SDAST} = (SDAST+1) x t_{TPDIV} *说明: t_{SDAST} 用来生成 $t_{SU:DAT}$ 计时.* 、
[19:16]	SDAHT	**数据保持时间** 此字段用于生成 SCL 下降沿和 SDA 沿之间的延迟 t_{SDAHT}。在主机模式和从机模式下，DISSTRETCH=0 时，SCL 线在 t_{SDAHT} 期间被拉低。 t_{SDAH}T= SDAHT x t_{TPDIV} *说明: SDAHT 用来生成 $t_{HD:DAT}$ 计时.*
[15:8]	SCLHT	SCL 高电平周期（主机模式） 此字段用于在主机模式下生成 SCL 高电平周期。 t_{SCLH} = (SCLHT+1) x t_{TPDIV} *说明: SCLHT 用来生成 $t_{SU:STO}$ and $t_{HD:STA}$ 计时.*
[7:0]	SCLLT	SCL 低电平周期（主机模式） 此字段用于在主机模式下生成 SCL 低电平周期。 t_{SCLL} = (SCLLT+1) x t_{TPDIV} *说明: SCLLT 还用于生成 tBUF 和 $t_{SU:STA}$ 计时。*

说明：这些寄存器须在 I2C 被禁用时（I2CEN=0）配置。

21.3.7 I2C 超时寄存器 (I2C_OVRT)

访问：无等待状态，除非在对该寄存器的写入访问正在进行时发生写入访问。在这种情况下，在第二次写入访问中插入等待状态，直到上一次写入访问完成。第二次写入访问的延迟可高达 2 x PCLK1+6 x I2CCLK。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

I2C_OVRT (偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TIMBEN	保留	保留	保留	TIMB [11:0]											
r/w				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMAEN	保留	保留	IDLEDEN	TIMA [11:0]											
r/w			r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
31	TIMBEN	**拓展时钟超时使能** 0: 已禁用扩展时钟超时检测 1: 已启用扩展时钟超时检测。当 I2C 接口检测 SCL 累积延长时间超过 $t_{LOW:EXT}$ 时，产生超时错误（OVRTF=1）。
[30:28]	保留	
[27:16]	TIMB	**定时器 B 超时值** 此字段用于配置累计时钟延长超时： 在主机模式下，检测主时钟累积低延长时间（$t_{LOW:MEXT}$） 在从属模式下，检测从时钟累积低延长时间（$t_{LOW:SEXT}$） $t_{LOW:EXT}$= (TIMB+1) x 2048 x t_{I2CCLK} *说明: 这些位只能在 TIMBEN=0 时写入。*
15	TIMAEN	**时钟超时使能** 0: SCL 超时检测被禁用 1: 启用 SCL 超时检测：当 SCL 低电平时间超过 $t_{TIMEOUT}$（IDLEDEN=0）或高电平时间超过 t_{IDLE}（IDLEDEN=1）时，检测到超时错误（OVRTF=1）。
[14:13]	保留	
12	IDLEDEN	**IDLE 状态超时使能** 0: TIMA 用于检测 SCL 低超时 1: TIMA 用于检测 SCL 和 SDA 高延时（总线空闲状态） *说明: 此位只能在 TIMAEN=0 时写入。*
[11:0]	TIMA	**定时器 A 超时值** 此字段用于配置： – IDLEDEN=0 时 SCL 低超时条件下的 $t_{TIMEOUT}$ $t_{TIMEOUT}$= (TIMA+1) x 2048 x t_{I2CCLK} – IDLEDEN=1 时总线空闲状态（SCL 和 SDA 高） t_{IDLE}= (TIMA+1) x 4 x t_{I2CCLK} *说明: 这些位只能在 TIMAEN==0 时写入。* *说明: 如果不支持 SMBus 功能，则保留该寄存器，并由硬件强制设置为 "0x00000000"。*

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

21.3.8 I2C 状态寄存器 (I2C_STS)

访问: 无等待状态

I2C_STS (偏移地址=0x018，复位值=0x00000001)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	MSLVA[6:0]							DIRF
								r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUSYF	保留	SMBAF	TIMEOUT	PECCODEERR	OVRF	ARBLOF	BUSERRF	RLDF	CMPF	STOPFC	NACKFC	ADRF	RXNEF	TXINTF	TXEF
r		r	r	r	r	r	r	r	r	r	r	r	r	rs	rs

Bit 位	名称	描述
[31:24]	保留	
[23:17]	MSLVA	**从机匹配地址代码** 当发生地址匹配事件（ADRF=1）时，这些位更新为接收的地址。 对于 10 位地址，MSLVA 提供 10 位头地址，后跟 2 个 MSBs 地址。
16	DIRF	**从机传输方向标志** 当发生地址匹配事件（ADRF=1）时更新此标志。 0: 写入传输，从机进入接收模式。 1: 读取传输，从机进入发送模式。
15	BUSYF	**总线忙** 此标志表示总线上正在进行通信。当检测到 START 条件时，由硬件置位。当检测到 STOP 条件时，或当 I2CEN=0 时，由硬件清除。
14	保留	
13	SMBAF	**SMBus 警报** 当 SMBHAEN=1（SMBus 总机配置），SMBAEN=1 并且在 SMBA 管脚上检测到 SMBALERT 事件（下降沿）时，硬件会设置此标志。软件通过设置 SMBAFC 位来清除。 *说明: 当 I2CEN=0 时，该位由硬件清除。* *如果不支持 SMBus 功能，则保留该位，并由硬件强制设置为"0"。*
12	OVRTF	**超时检测标志** 此标志由硬件在发生超时或时钟延长超时时设置。软件通过设置 OVRTFC 位来清除。 *说明: 当 I2CEN=0 时，该位由硬件清除。* *如果不支持 SMBus 功能，则保留该位，并由硬件强制设置为"0"。*
11	PECCODEERRF	**收到 PEC 错误 标志** 当接收到的 PECCODE 与 PECCODE 寄存器内容不匹配时，硬件会置位此标志。在错误的 PECCODE 接收之后，会自动发送一个 NACK。通过设置 PECCODECF 位，软件将其清除。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		说明: 当 I2CEN=0 这个位被硬件清除。 *如果不支持 SMBus 功能，则保留该位，并由硬件强制设置为"0"。*
10	OVRF	**溢出/下溢（从机模式）** 当发生上溢/下溢错误时，此标志由处于从模式 DISSTRETCH=1 的硬件置位，。软件通过配置 OVRFC 位来清除。 *说明: 当 I2CEN=0 这个位被硬件清除。*
9	ARBLOF	**丢失仲裁标志** 此标志由硬件置位，以防仲裁丢失。软件通过配置 ARLOFC 位将其清除。 *说明: 当 I2CEN=0 这个位被硬件清除 。*
8	BUSERRF	**总线错误** 外设参与传输时，当检测到错位的起始或停止条件，硬件会置位此标志。在从模式下的地址阶段不置位此标志。软件通过设置 BUSERRFC 位来清除。 *说明: 当 I2CEN=0 这个位被硬件清除 。*
7	RLDF	**传输完成重载标志** 当 RELOADM=1 且已传输 BNUM 数据时，此标志由硬件设置。当 BNUM 写入非零值时，软件会清除它。 *说明: 当 I2CEN=0 这个位被硬件清除 。* *此标志仅适用于主机模式，或设置 SLVRC 位时的从机模式。*
6	CMPF	**传输完成标志（主机模式）** 当 RELOADM=0、TENDSEL=0 和 BNUM 数据已传输时，硬件会设置此标志。当设置 STARTGEN 位或 STOPGEN 位时，由软件清除。 *说明: 当 I2CEN=0 这个位被硬件清除*
5	STOPFC	**STOP 检测标志** 当在总线上检测到 STOP 条件并且外围设备参与此传输时，硬件会设置此标志： – 如果作为主机，认为 STOP 条件由外设生成。 – 或者作为从机，外设在此传输过程中已被寻址过。 软件通过设置 STOPFC 位来清除。 *说明: 当 I2CEN=0 这个位被硬件清除*
4	NACKFC	**NACK 接收标志** 此标志由硬件在字节传输后接收到 NACK 时设置。软件通过设置 NACKFC 位来清除。 *说明: 当 I2CEN=0 这个位被硬件清除*
3	ADRF	**地址匹配状态（从机模式）** 一旦接收到的从机地址与一个使能的从机地址匹配，硬件就会设置该位。软件通过设置 ADRFC 位来清除。 *说明: 当 I2CEN=0 时，该位由硬件清除。*
2	RXNEF	**接收数据寄存器非空（接收器）** 当接收到的数据被复制到 I2C_RXBUF 寄存器时，该位由硬件设置，并准备好读取。读取 I2C_RXBUF 时清除。 *说明: 当 I2CEN=0 时，该位由硬件清除。*
1	TXINTF	**发送中断标志（发送器）** 当 I2C_TXBUF 寄存器为空且要传输的数据必须写入 I2C_TXBUF 寄存器时，该位由硬件设置。当要发送的下一个数据写入 I2C_TXBUF 寄存器时，此位清除。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		只有当 DISSTRETCH=1 时，软件才能将该位写入“1”，以生成 TXINTF 事件（如果 TXINTF=1，则中断；如果 TXDMAREQEN=1，则 DMA 请求）。 *说明: 当 I2CEN=0 时，该位由硬件清除。*
0	TXEF	**发送数据寄存器空标志（发送器）** 当 I2C_TXBUF 寄存器为空时，该位由硬件设置。当要发送的下一个数据写入 I2C_TXBUF 寄存器时，此项清除。 该位可以通过软件写入“1”，以刷新传输数据寄存器 I2C_TXBUF。 *说明: 当 I2CEN=0 时，该位由硬件设置。*

21.3.9 I2C 标志清除寄存器 (I2C_STSC)

访问: 无等待状态

I2C_STSC (偏移地址=0x01C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	SMBAFC	OVRTFC	PECCODECF	OVRFC	ARBLOFCF	BUSERRFCF	保留	保留	STOPGENCF	NACKGENCF	ADRFCF	保留	保留	保留
		w	w	w	w	w	w			w	w	w			

Bit 位	名称	描述
[31:14]	保留	
13	SMBAFC	**SMBUS 警报标志清除** 将 1 写入该位将清除 I2C_STS 寄存器中的 SMBAF 标志。 *说明: 如果不支持 SMBus 功能，则保留该位，并由硬件强制设置为“0”。*
12	OVRTFC	**超时检测标志清除** 将 1 写入该位将清除 I2C_STS 寄存器中的 OVRTF 标志。 *说明: 如果不支持 SMBus 功能，则保留该位，并由硬件强制设置为“0”。*
11	PECCODECF	**收到 PEC 错误标志** 将 1 写入该位将清除 I2C_STS 寄存器中的 PECCODEERR 标志。 *说明: 如果不支持 SMBus 功能，则保留该位，并由硬件强制设置为“0”。*
10	OVRFC	**上溢/下溢标志清除** 将 1 写入该位将清除 I2C_STS 寄存器中的 OVR 标志。
9	ARLOFC	**丢失仲裁标志清除** 将 1 写入该位将清除 I2C_STS 寄存器中的 ARBLOF 标志。
8	BUSERRFC	**总线错误标志清除** 将 1 写入该位将清除 I2C_STS 寄存器中的 BERRF 标志。
[7:6]	保留	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

5	STOPFC	**STOP 检测标志清除** 将 1 写入该位将清除 I2C_STS 寄存器中的 STOPF 标志。
4	NACKFC	**NACK 接收标志清除** 将 1 写入该位将清除 I2C_STS 寄存器中的 ACKF 标志。
3	ADRFC	**地址匹配状态清除** 将 1 写入该位将清除 I2C_STS 寄存器中的 ADRF 标志。将 1 写入该位也将清除 I2C_CTR2 寄存器中的 STARTGEN 位。
[2:0]	保留	

21.3.10 I2C PEC 编码寄存器 (I2C_PECCODE)

访问: 无等待状态

I2C_PECCODE (偏移地址=0x020，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	PECCODE[7:0]							
								r	r	r	r	r	r	r	r

比特位	名称	描述
[31:8]	保留	
[7:0]	PECCODE	**PEC 编码寄存器** 当 PECCODEEN=1 时，此字段包含内部 PECCODE。 当 I2CEN=0 时，通过硬件清除 PECCODE。 *说明：如果不支持 SMBus 功能，则保留该寄存器，并由硬件强制为“0x00000000”。*

21.3.11 I2C 接收数据寄存器 (I2C_RXBUF)

访问: 无等待状态

I2C_RXBUF (偏移地址=0x024，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	RXBUF[7:0]							
								r	r	r	r	r	r	r	r

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

Bit 位	名称	描述
[31:8]	保留	
[7:0]	RXBUF	**接收数据** 从 I2C 总线接收的数据字节。

21.3.12　I2C 发送数据寄存器 (I2C_TXBUF)

访问：无等待状态

I2C_TXBUF (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	TXBUF[7:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:8]	保留	
[7:0]	TXBUF	**发送数据** 要发送到 I2C 总线的数据字节。 *说明: 这些位只能在 TXEF=1 时写入。*

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

22 通用同步异步收发器 (USART)

概述

22.1.1 简介

通用同步异步收发器（USART）提供了一个可以使 MCU 与外部设备进行串行通信的通用接口。数据的传输支持同步异步全双工通信、单线半双工通信。USART 使用一个可编程波特率发生器，提供了超宽的
22.1 通信波特率选择，最大可到 6Mbit/s。

除了支持同步异步全双工通信、单线半双工通信外，USART 还支持 DMA 连续数据传输功能、自动波特率检测、多主机通信、Modbus 通信、智能卡模式、LIN 模式、IrDA 模式、RS232 硬件流控和 RS485 驱动使能。

其中 USART1 支持双时钟域，可以将 MCU 从深度睡眠模式唤醒。

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

22.1.2 功能概览

- 可编程波特率发生器
- 7/8/9 位数据长度可配
  - USART1 和 USART2 不支持 7bit 配置
- 停止位位数可配置，支持 0.5bit、1bit、1.5bit 和 2bit
  - 0.5bit 和 1.5bit 只在智能卡模式下使用
- 低位优先还是高位优先顺序可配置
- 接收器和发送器独立使能
- TX 和 RX 管脚交换可配置
- 自动波特率检测
- 异步全双工通信
- 单线半双工通信
- 同步通信
- 多机通信
- DMA 连续通信
- ModBus 通信
  - 超时检测功能
  - CR/LF 字符识别
- 将 MCU 从深度睡眠模式唤醒
- RS232 硬件流控和 RS485 驱动使能
- IrDA 模式
- 智能卡模式
- 中断和状态标志
  - 校验错误标志（PERRF）、帧错误标志（FERRF）、噪音标志（NF）、溢出标志(OVRERRF)
  - 发送器为空标志(TXE)、传输完成标志（TCF）、接收器非空标志(RXNE)
  - IDLE 帧标志（IDLEF）
  - LIN 断开帧检测标志（LINBKF）
  - CTS 标志（CTSF）
  - CTS 管脚翻转标志（CTSIF）
  - 超时标志(ROTF)
    - 智能卡 T=1 块传输完成标志（ENDBLKF）
  - 自动波特率检测错误标志（ABRTERRF）
  - 自动波特率检测标志(ABRTF)
  - 忙标志（BSYF）
  - 字符匹配标志（CMF）
  - 断开帧发送标志（BRKSF）
  - 接收屏蔽模式标志（RXMSKF）
  - 从深度睡眠模式唤醒标志（WKUPF）
  - 发送使能有效标志（TENACTF）
  - 接收使能有效标志（RENACTF）

其中，USART1 支持所有的工作模式，USART2、 USART6、USART7 和 USART8 只支持部分功能模式，具体见表 75。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

表 75 USART 功能概览

USART 特性/模式	USART1	USART2	USART6	USART7	USART8
异步全双工通信模式	X	X	X	X	X
同步模式	X	X	X	X	X
单线半双工通信模式	X	X	X	X	X
DMA	X	X			
自动波特率检测	X				
多机通信	X	X	X	X	X
Modbus 通信	X②				
智能卡模式	X②				
LIN 模式	X②				
IrDA 模式	X②				
RS232 硬件流控模式	X	X			
RS485 驱动使能	X	X	X	X	X
将 MCU 从深度睡眠模式唤醒	X				

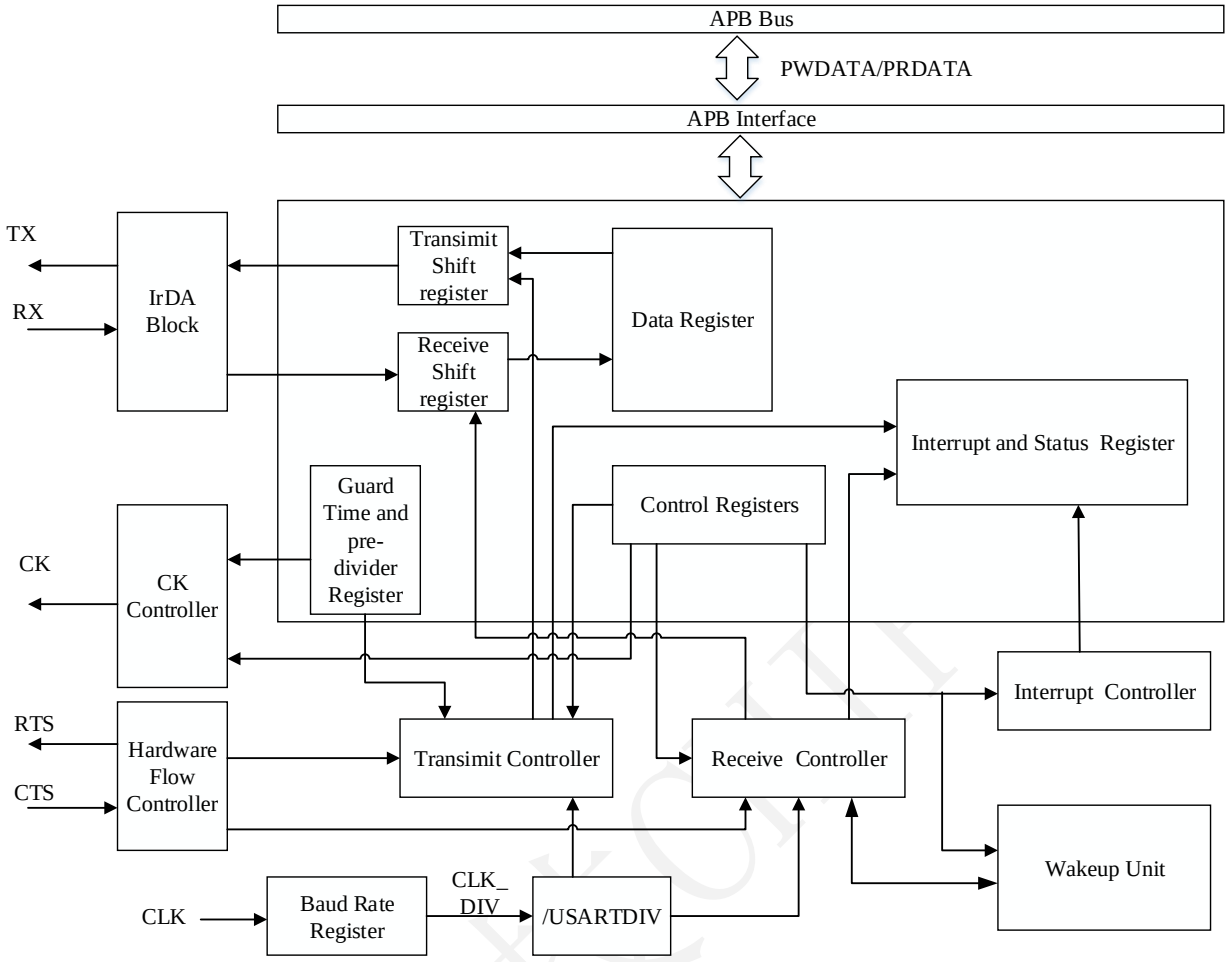
注：①X 代表支持。
②F035、F036、F036Q 不支持

22.2 模块操作

USART 整个模块框架图如图 215 所示。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 215 模块框架图



22.2.1 波特率发生器

USART 波特率寄存器(USART_BRT)由 4 位小数部分和 12 位整数部分组成。该寄存器的值决定了 USART 数据传输的波特率。

当过采样倍数 OVRS=1 时，波特率的大小：

$$Baud = \frac{2 * f_{CLK}}{USARTDIV}$$

其中 CLK 为 USART 工作时钟，USARTDIV 和 USART_BRT 关系如下：

- USART_BRT[15:4]= USARTDIV[15:4]
- USART_BRT[2:0]=USARTDIV[3:0]>>1
- USART_BRT[3]=0

当过采样倍数 OVRS=0 时，波特率大小：

$$Baud = \frac{f_{CLK}}{USARTDIV}$$

其中 USART_BRT 和 USART_DIV 关系如下：

- USART_BRT=USART_DIV

在实际使用时，USARTDIV 的值需要大于 0x10。CLK 为 USART 的工作时钟，可以为 PCLK、SYSCLK、LXT 和 HRC，可通过 RCU 模块中寄存器进行选择。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

22.2.2 帧格式

每个 USART 数据帧由开始位、数据位和停止位组成。数据位的长度可通过配置 USART_CTR1 寄存器的 DH 和 DL 位来控制，如表 76 所示。停止位的长度可通过配置 USART_CTR2 寄存器的 STOPLEN[1:0]位来控制。如表 77 所示。

表 76 数据位配置

DH	DL	数据长度（位）
0	0	8
0	1	9
1	0	7
1	1	7

表 77 停止位配置

STOPLEN[1:0]	停止位长度（位）	说明
00	1	Normal 等模式使用
01	0.5	仅智能卡模式接收使用
10	2	Normal 等模式使用
11	1.5	仅智能卡模式使用

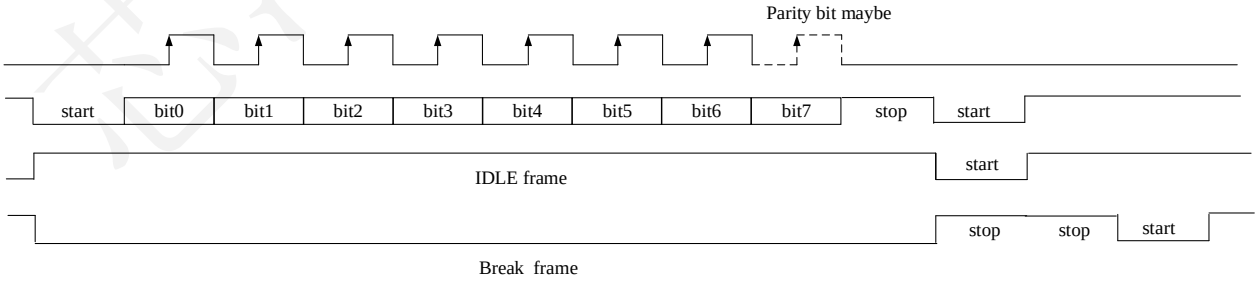
USART 数据帧包括三种帧类型：一般数据帧、空闲帧和断开帧。

一般数据帧：默认情况下，以低电平（开始位）开始，中间包括若干 bit 的数据（数据位），最后以高电平（停止位）结束。发送和接收的数据可以分别通过 USART_CTR2 寄存器 TXINV 和 RXINV 位改变发送和接收的极性。根据 USART_CTR1 寄存器 PEN 和 ODDS 位决定最后 1 位是否由校验结果取代。

空闲帧：空闲帧是完全由“1”组成的完整数据帧，其中起始位也为“1”，并且包含停止位。写 TEN=1，USART 会发送空闲帧。

断开帧：断开帧是完全由“0”组成的完整数据帧，其中的停止位也为“0”。发送器在发送完一个断开帧之后，会紧接着发送 2bit 的停止位。写软件触发寄存器的 BRKFST 位为 1 会发送断开帧。

图 216 8 位数据长度，1 位停止位，普通数据帧、IDLE 帧和断开帧



22.2.3 发送器

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

发送器控制了 USART 数据的发送，在对数据位、停止位等进行基本配置后，写 UEN=1，TEN=1 时，将使能数据发送功能，USART 会发送一个 IDLE 帧，一旦向发送缓冲寄存器写入数据，数据将通过 TXD 管脚串行移出。同步模式下，同步时钟脉冲将从 CK 管脚发出。

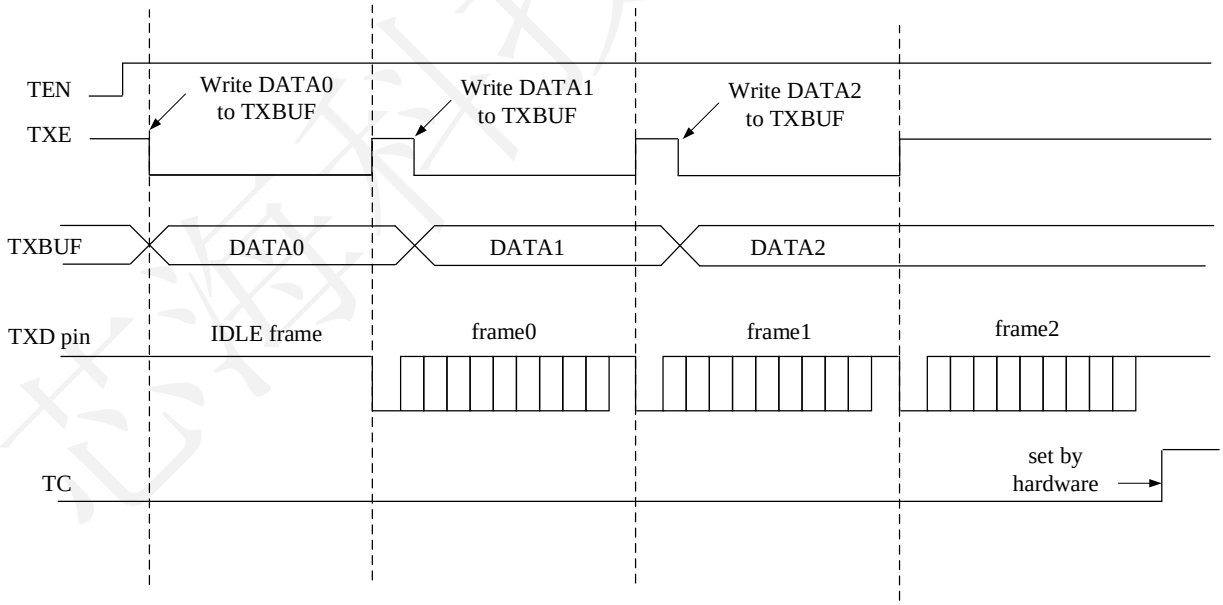
上电完成后，USART_STS 寄存器 TXE 位默认为 1，表示发送缓冲器为空，可以写入数据。写 DATA 到 USART_TXBUF 寄存器中，数据会被放到移位寄存器中，根据配置的 MSBF 位决定低位优先逐位移出还是高位优先逐位移出。当数据从 USART_TXBUF 寄存器移到 USART 内部移位寄存器后，TXE 位会随即变为 1，如果此时 TXEIE 位有效，则会产生一个发送缓冲器为空中断；根据需要，软件可再次写 USART_TXBUF 发送下一个数据。当一帧数据全部传输完成且 TXE 为 1 时，USART_STS 中传输完成标志位 TCF 会被硬件置 1，如果 TCIE 信号有效，则会产生一个传输完成中断。写 USART_IFCLR 寄存器 TCFC 位为 1 会将 TCF 位清 0。

USART 发送的步骤如图 217 中所示。具体的软件配置流程如下：

1. 配置 USART_BRT 寄存器，设置通信的波特率
2. 配置 USART_CTR1 寄存器 DH、DL、OVRS 位，设置数据长度、过采样模式
3. 配置 USART_CTR2 寄存器 STOPLEN[1:0]位，设置停止位长度
4. 根据需要配置 USART_CTR3 寄存器 TXDMA 位，使能 DMA 连续数据传输功能
5. 配置 USART_CTR1 寄存器 UEN、 TEN 位，使能 USART，使能发送器
6. 等待 TXE 位为 1，写数据到 USART_TXBUF 寄存器
7. 根据需要，重复步骤 6
8. 等待 TCF=1
9. 配置 TE=0
10. 配置 UEN=0

注：使能 USART 前，如果使用 DMA 功能，需要对 DMA 相关寄存器进行配置；DMA 功能使能时，步骤 7 则可省去，DMA 会代替软件写 TXBUF。

图 217 USART 数据发送步骤



在数据传输过程中，TEN 和 UEN 必须保持为 1。

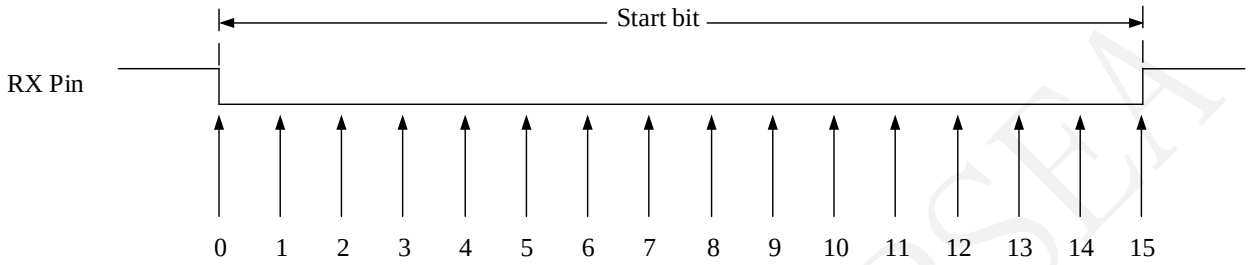
22.2.4 接收器

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

接收器控制了 USART 数据的接收，在 UEN=1 时，写 REN=1，将使能数据接收功能，USART 开始检测 RXD 管脚的起始位，如果成功检测起始位则开始接收后面的数据帧，将接收到的每一位通过移位寄存器保存到 USART_RXBUF 寄存器中。如果 RXD 管脚上检测不到起始位，USART 则会检测 IDLE 帧，检测成功即将 USART_STS 寄存器 IDLEF 置位。

USART 的起始位检测，采用了过采样技术来实现。不论过采样倍数是 8 或者 16，USART 都会对起始位进行 16 倍过采样，如图 218 中所示。当 USART 在 RXD 上检测到一个下降沿时，即开始对该位进行进一步检查，否则将重新等待下降沿的到来。

图 218 起始位检测



在 0 采样点，检测到 RX 线的下降沿，进一步进行采样检查，在第 2、4、6 采样点采集到的值作为一次采样结果，在 7、8、9 采样点 0 采集到的值作为第二次采样结果，则可能会出现下列情况：

- 两次采样结果中的采样点均是 0，USART 起始位检查成功；
- 其中一次的两个采样点是 0，由于 RX 管脚上的噪声导致其中一个采样点为 1，另外一次采样结果为全 0；此时，USART_STS 寄存器的 NF 位会被置 1；
- 两次采样结果，都是有一个采样点为 1，另外两个为 0；此时，NF 会被置 1，起始位检查成功；
- 两次采样结果，至少一次中采样到两个 1，起始位检查失败。

起始位检测成功后，USART 即开始对数据位进行采样，对数据位的采样同样采用过采样技术。根据 USART_CTR1 寄存器 OVRS 位决定采样 8 倍还是 16 倍过采样。

USART_CTR3 寄存器的 SPMS 位决定了判断数据位逻辑电平的方法。SPMS=0 时，将中间三次采样点的值进行比较，两个或者三个采样点为 0，则认为该数据位为 0，否则为 1。当三个采样点的值不完全一致时，则噪声标志位 NF 会被置 1。对于 16 倍过采样，中间的三次采样点分别为 7、8、9。对于 8 倍过采样，中间的三次采样点分别为 3、4、5。SPMS=1 时，则只采集中间采样点，根据采样点的值得出数据位的逻辑电平，该配置下， 数据位的采样将永远不会置 1NF 位。

当数据接收完成后，USART_STS 寄存器的 RXNE 位会被硬件置 1，如果在起始位或者数据位中采样到噪声，NF 会和 RXNE 一起被置 1。在 USART_CTR1 寄存器 RXNEIE 配置为 1 时，RXNE 的置位会产生一个接收缓冲非空中断。当使用 DMA 读功能且 USART_CTR3 寄存器 ERRIE 位为 1 时，NF 被置 1 则会产生一个错误中断。可通过写 USART_IFCLR 寄存器 STARTNFC 位为 1，来清除 NF 标志位。

RXNE 被置 1 后，软件需要及时读取 USART_RXBUF 寄存器获取接收到的数据值。由于 RXBUF 中数据被读取，RXNE 会被硬件清 0。软件需要在下一笔数据未完全接收前将前一笔数据读走，否则，后一笔数据将会被丢弃，USART_STS 寄存器溢出标志 ORERRF 位会被置 1。如果产生溢出时，RXNEIE 配置的是 1，则会产生一个溢出中断。此外，在使用 DMA 读功能且 ERRIE 位为 1 时，溢出时同样会产生一个错误中断。可通过写 USART_IFCLR 寄存器 OVRERRFC 位为 1，来清除 OVRERRF 标志位。

可通过配置 USART_CTR3 寄存器的 NORXOF 位为 1，来改变软件来不及读 RXBUF 新接收数据被丢弃情况。配置 NORXOF 为 1，发生溢出时，新接收到数据会将 RXBUF 中的数据覆盖，并且 ORERRF 不会被置 1。

如果 USART 在采样数据帧的停止位，采集到的最终结果为 0，则 USART_STS 的帧错误标志位 FERRF 会被置 1。在使用 DMA 读功能且 ERRIE 位为 1 时，帧错误会产生一个错误中断。可通过写 USART_IFCLR 寄存器 FERRFC 位为 1，来清除 FERRF 标志位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

配置 USART_CTR1 寄存器 PEN 位为 1，USART 会对接收数据帧进行奇偶校验检查，如果收到的校验值和期望值不一致，则 USART_STS 寄存器的 PERRF 位会被置 1。PERRIE 为 1 时，则会产生一个错误中断。可通过写 USART_IFCLR 寄存器 PERRFC 位为 1，来清除 PERRF 标志位。

22.2.5 自动波特率检测

USART 可以根据接收到的数据帧，自动检测通信的波特率，并将对应的分频值更新到 USART_BRT 寄存器，使 USART 可以和外部设备正常通信。

该功能下，USART 只支持 16 倍过采样，自动波特率使能之前，USART_BRT 寄存器必须先配置一个不为 0 的值。USART 支持的波特率范围在 f_{CLK} / 65535 和 f_{CLK} / 16 之间。CLK 由 USART 时钟决定。

可以通过 USART_CTR2 寄存器 ABRSEL[1:0]位选择自动波特率检测的模式。ABRSEL[1:0] 为 2‘b00 表示 Mode0，为 2’b01 表示 Mode1，不能配置为其他值。

- Mode0：字符以“1”开始。测量起始位下降沿到上升沿的持续时间。
- Mode1：字符以 10xx 开始。USART 测量起始位的下降沿到第一个数据位下降沿的持续时间。

配置 USART_CTR2 寄存器中的 ABREN 位为 1，使能 USART 自动波特率检测功能。自动波特率检测完成后，USART_STS 寄存器中的 ABRTF 标志会被硬件置 1。如果线路噪声严重，可能会导致检测失败，这时，ABRTERRF 错误标志会被置 1。当外部设备发送的数据帧波特率超过 USART 支持的波特率范围，也会导致 ABRTERRF 置 1。

如果发生检测失败，软件可配置 USART_SWTR 寄存器的 ABRT 位，重新准备进行自动波特率检测。该配置会将 ABRTERRF 和 ABRTF 同时清 0。

22.2.6 单线半双工通信

可通过配置 USART_CTR3 寄存器的 HDEN 位来使 USART 工作在单线半双工模式下。该模式下，只使用 TX 管脚与外部设备通信，TX 和 RX 管脚在内部互连。此外，USART_CTR2 寄存器的 LINEN 和 CKEN 位必须保持为 0，USART_CTR3 寄存器的 SCEN 和 IRDAEN 位必须保持为 0；TX 管脚必须配置成开漏输出。

除此之外，其通信与正常 USART 模式的发送和接收一致。由软件来管理数据的发送和接收，保证二者不发生冲突。

22.2.7 LIN 模式

可通过配置 USART_CTR2 寄存器 LINEN 位选择 USART 进入 LIN 模式。该模式下 USART_CTR2 的 STOPLEN[1:0]和 CKEN，USART_CTR3 寄存器的 SCEN、HDEN 和 IRDAEN 必须保持为 0。

LIN 模式的发送与 USART 普通模式发送基本一致，区别在于：(1)该模式下，数据位只能配置为 8bit；(2)写 BRKFST 位为 1，会发送 13 bit 个“0”的断开字符，然后发送 2bit 的“1”，接收器才开始对起始位进行检测。

LIN 模式下，断开帧检测电路完全独立于接收器。不管是在空闲状态还是帧传输过程中，断开符号只要一出现，就能被检测到。接收器使能后，电路就检测 RX 线上的开始信号，采样方式与普通数据的采样一样。当检测到连续的 10 个或 11 个“0”（LINBRK11=1 时为 11 个 0，LINBRK11=0 时为 10 个 0），且后面再检测到 1 个”1“时，USART_STS 寄存器 LINBKF 位会被置位。如果 USART_CTR2 寄存器 LBDIE=1，则会产生一个中断。

图 219 和图 220 给出了 LIN 模式下，接收线 IDLE 时和接收数据过程中，FERRF 和 LBDF 的置位情况。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 219 Idle 帧后检测到断开帧，LINBRK11=1

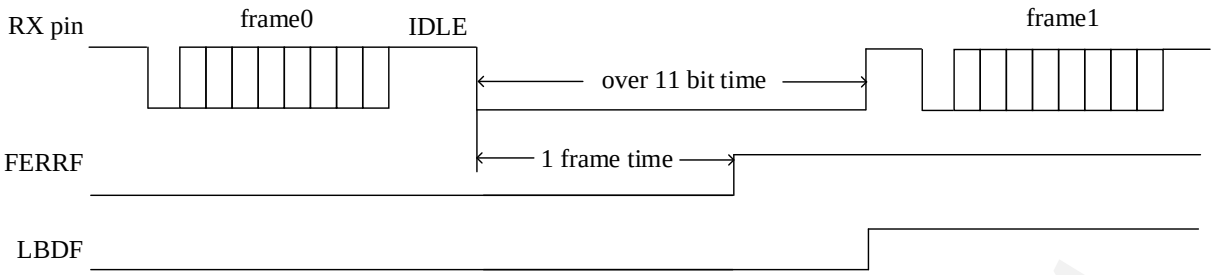
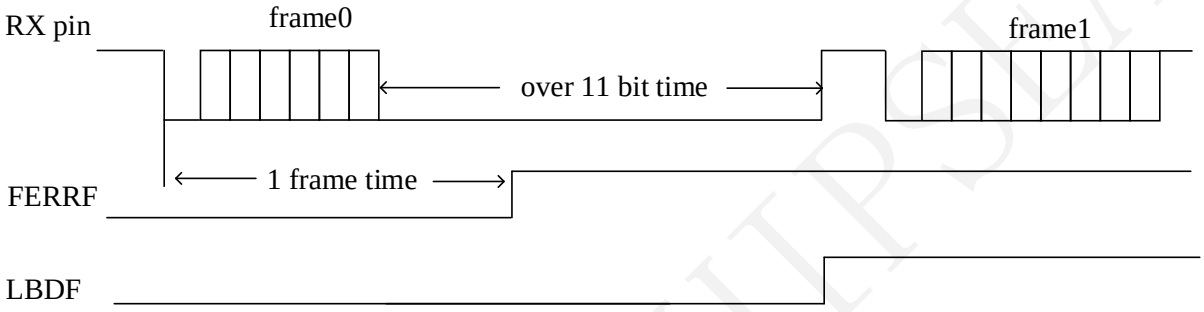


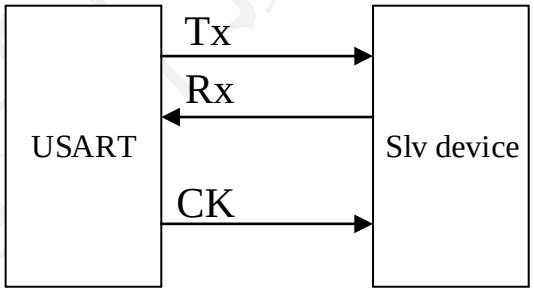
图 220 接收数据中检测到断开帧，LINBRK11=1



22.2.8 同步通信

可通过配置 USART_CTR2 寄存器的 CLKEN 位来使 USART 工作在同步全双工串行通信模式，CK 管脚输出同步时钟，如图 221 所示。该模式下，USART_CTR2 的 LINEN 位必须保持为 0；USART_CTR3 的 SCEN、HDEN、IRDAEN 位必须保持为 0。

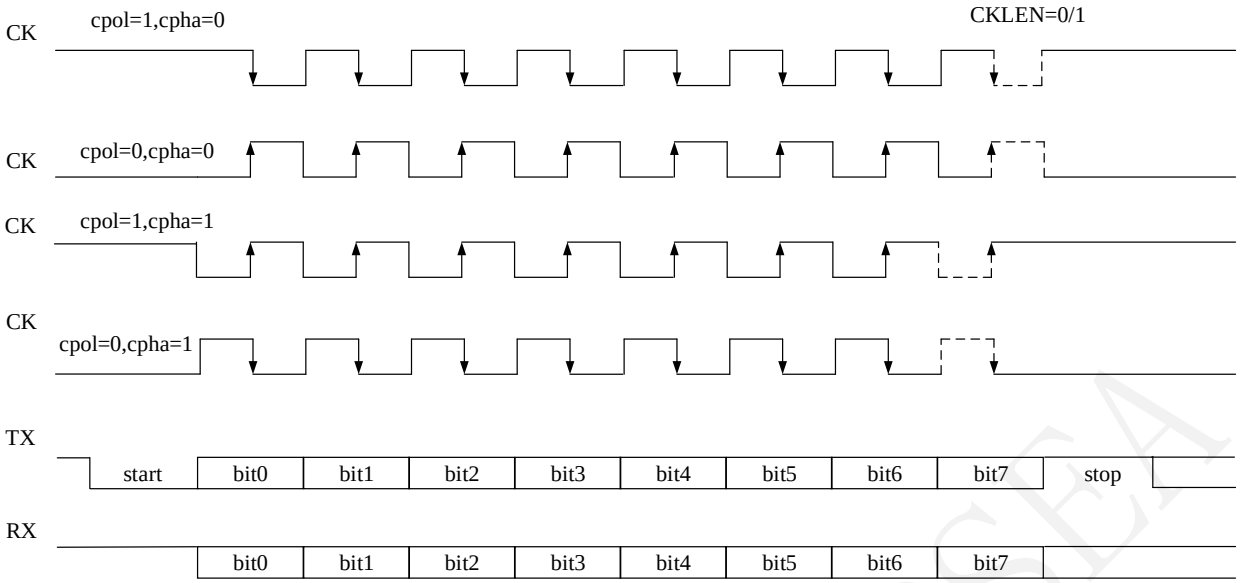
图 221 USART 同步通信



USART 在同步模式下，只能工作在主机模式下。可通过配置 USART_CTR2 寄存器的 CPOL 位和 CPHA 位选择时钟的极性和相位。可通过配置 USART_CTR2 寄存器的 CKLEN 位来选择 CK 脉冲的长度，决定数据位的最后 1bit 是否产生时钟。时序图如图 222 所示。

图 222 USART 同步通信时序图

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



同步模式时，USART 数据的发送与接收和 CK 时钟有关。在 UEN、TEN 和 REN 使能 TXBUF 中未写入数据时，CK 管脚不会产生时钟。当写入数据后，CK 管脚则产生时钟脉冲，根据配置的 CPOL 和 CPHA，在时钟沿将数据从 TX 管脚发送出去，接收器在时钟沿采样 RX 上的数据，这个时候，USART 将不会使用过采样技术。CPOL、CPHA、CKLEN 位的配置必须在 UEN 为 0 时配置。

22.2.9 多机通信

多机通信中，多个 USART 设备组建连接在一起，组建成一个网络。其中一个作为主机，所有从机的 RX 管脚均和主机的 TX 管脚连接，所有从机的 TX 管脚和主机的 RX 管脚连接。主机可以通过 TX 管脚发送信息给所有从机，当需要发给特定的 USART 从机时，对于那些不需要接收信息的 USART 可以选择让它不接收主机发来的信息。

使用接收屏蔽的功能，USART_CTR2 寄存器的 LINEN 位和 USART_CTR3 寄存器中的 HDEN、IRDAEN 和 SCEN 位必须保持为 0。USART_CTR1 寄存器的 RXMSKEN 位必须配置为 1。

有两种方法可使 USART 进入接收屏蔽模式。一是通过软件配置 USART_SWTR 寄存器的 RXMSKT 位来使 USART 进入接收屏蔽模式。二是通过配置 USART_CTR1 的 RXWKUPS 位选择地址不匹配功能来使 USART 进入接收屏蔽模式。

默认状态下，USART 的 RXWKUPS 的默认值是 0，写 RXMSKT 为 1，USART 即进入接收屏蔽模式，USART_STS 寄存器的 RXMSKF 位被硬件置 1。进入接收屏蔽模式后，USART 如果接收到数据帧，则所有的状态标志位将不会置 1， RXMSKF 保持为 1，不会退出接收屏蔽模式。USART 如果收到 IDLE 帧，则退出接收屏蔽模式，RXMSKF 被清 0，所有标志位不会被置 1。退出接收屏蔽模式后，USART 则可正常接收数据，对应的标志位会被正常置位。

配置 RXWKUPS 为 1，可选择通过地址不匹配来进入接收屏蔽模式。当然，通过软件配置 RXMSKT 位同样可以进入接收屏蔽模式。USART_CTR2 寄存器 UADR[7:0]位可由软件配置，与接收的地址帧进行匹配。USART 认为接收到的字符 MSB=1 时为地址帧，MSB=0 时为数据帧。

USART 接收到数据帧不会使其进入接收屏蔽模式，RXMSKF 保持为 0。

USART 收到地址帧，则会将收到的地址帧和 UADR[7:0]中的值进行比较，具体比较如下：

（1） 数据位为 8bit，USART_CTR2 寄存器 ADRM7=0，则会将收到数据 DATA[3:0]与 UADR[3:0]进行比较，若不相等则 USART 进入接收屏蔽模式，RXMSKF 被置 1。

（2） 数据位为 8bit，USART_CTR2 寄存器 ADRM7=1，则会将收到数据 DATA[6:0]与 UADR[6:0]进行比较，若不相等则 USART 进入接收屏蔽模式，RXMSKF 被置 1。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

（3） 数据位为 7bit，USART_CTR2 寄存器 ADRM7 为任意值，则会将收到数据 DATA[5:0]与 UADR[5:0]进行比较，若不相等则 USART 进入接收屏蔽模式，RXMSKF 被置 1。

（4） 数据位为 9bit，USART_CTR2 寄存器 ADRM7 为任意值，则会将收到数据 DATA[7:0]与 UADR[7:0]进行比较，若不相等则 USART 进入接收屏蔽模式，RXMSKF 被置 1。

当 USART 由于地址不匹配进入接收屏蔽模式后。将会对 RX 线上的进行检测，如果接收到数据帧、IDLE 帧、不匹配的地址帧，USART 将始终保持在接收屏蔽模式下，RXMSKF 保持为 1，不会有状态位的置位。当接收到匹配的地址帧时，USART 退出接收屏蔽模式，RXMSKF 被清除，本次会产生 RXNE 的置位，后续可正常接收数据帧，对应的标志位则会被置位。如果再次接收不匹配的地址帧，USART 将再次进入接收屏蔽模式，如此反复。

22.2.10 DMA 功能

USART 支持 DMA 连续通信功能。可配置 USART_CTR3 寄存器 TXDMA 和 RXDMA 位分别使能 DMA 发送和 DMA 接收功能。DMA 发送功能使能时，在 TXE 为 1 时，USART 发出 DMA 写请求，DMA 会从配置的源地址处（例如 SRAM）取数据写到 USART 的 TXBUF 寄存器。DMA 接收功能使能时，在 RXNE 为 1 时，会产生 DMA 读请求，将 RXBUF 寄存器中的数据读取，写到配置的目的地址。

USART DMA 读功能的配置流程具体如下。

1. 对 USART 进行基本配置，包括波特率、数据位、停止位等
2. 配置 USART_CTR3 寄存器 RXDMA 位为 1，DRMRE 位
3. 配置 USART 使能、接收器使能
4. 配置 DMA 通道 x 搬运的源地址（USART_RXBUF 地址）和目的地址
5. 配置 DMA 通道 x 搬运的数据量
6. 配置 DMA 通道 x 的通道优先级、PSIZE[1:0]、MSIZE[1:0]、中断使能控制等
7. 配置 DMA 通道 x 使能

如果配置 USART 时配置了 USART_CTR2 的 ERRIE 位为 1，且使能 DMA 接收时，USART 在出现 NF、FERRF、OVRERRF 位置位时，会产生一个错误中断。如果 CTR3 的 DRMRE 位被配置成 1，USART 在接收过程中，只要 PERRF、FERRF 和 NF 中的一位被置位，在下次再接收到数据时，不会再产生 DMA 请求，直到对应的错误标志被清除，才能正常产生请求。

USART DMA 写功能的配置流程具体如下。

对 USART 进行基本配置，包括波特率、数据位、停止位等

1. 配置 USART_CTR3 寄存器 TXDMA 位为 1
2. 配置 USART 使能、发送器使能
3. 配置 DMA 通道 x 搬运的源地址（SRAM 地址）和目的地址（USART_TXBUF 地址）
4. 配置 DMA 通道 x 搬运的数据量
5. 配置 DMA 通道 x 的通道优先级、PSIZE[1:0]、MSIZE[1:0]、中断使能控制等
6. 配置 DMA 通道 x 使能
7. 配置 USART_IFCLR 寄存器 TCFC 位清除 USART_STS 寄存器 TCF 标志位，DMA 开始搬运数据
8. 等待 USART_STS 标志位 TCF 位置 1

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

DMA 写功能，传输完成需要等待 TCF 位被置位，表示本次 DMA 传输完成，如果 DMA 通道对应中断打开，则会产生一个传输完成中断。如果 USART 的传输完成中断使能，则同样会产生一个传输完成中断。

22.2.11　ModBus 通信

Modbus/RTU 是一种半双工、块传输协议，需要软件频繁参与。USART 支持对块尾结束进行检测的功能，无需软件经常介入。

配置 ROTEN 有效，打开超时检测功能。在 USART 接收完一帧数据的停止位后，t 时间内没有接收到新的起始位，将会发生超时。USART_RXOVR 寄存器的 RXOVR[23:0]位决定了时间 t，单位为一个数据位的时间。发生超时将导致 USART_STS 寄存器的 ROTF 位被硬件置位。可通过配置 USART_IFCLR 寄存器 ROTFC 位，清除 ROTF 标志位。配置 USART_CTR1 寄存器 OVRTIE 有效，发生超时将会产生超时中断。

Modbus/ASCII 协议，块尾是一个特定的序列（CR(00001101) / LF(00001010)）。可通过将 LF/CR 的 ASCII 码值写到 USART_CTR2 寄存器的 UADR[7:0]位，配置 USART_CTR1 寄存器的 CMIE 位有效，打开字符匹配中断，USART 收到 LF/CR 字符后将置位 CMF 位，并且产生字符匹配中断。可通过配置 USART_IFCLR 寄存器的 CMFC 位清除 CMF 标志位。

22.2.12　深度睡眠模式 1/2 唤醒

USART 的时钟源可通过配置 RCU_CFG3 寄存器的 USART1_SEL[1:0]选择。在 USART 时钟被设置为 LXT 或者 HRC 时，配置了 USART_CTR1 寄存器的 WKUPDSM 位就可以使用 USART 将 MCU 从深度睡眠模式唤醒。唤醒的事件可由 USART_CTR3 寄存器 WKUPMTHD[1:0]位决定。唤醒事件可选择为 RXNE 事件、起始位、地址匹配。此外，也可过 RXNE 中断来唤醒系统，此时 RXNEIE 必须配置有效。

USART 选择 LXT 和 HRC 时钟源是有一定区别的。LXT 时钟在深度睡眠模式下是打开的。但是出于低功耗的考虑，系统进入深度睡眠模式，该时钟会被门控关闭，并不会传播到 USART 模块。HRC 时钟在深度睡眠模式下是关闭的。在 RX 线检测到下降沿后，USART 会将 LXT 的门控或者 HRC 时钟打开，检测唤醒事件是否有效，无效则关闭 LXT 门控或者 HRC 时钟，MCU 保持在低功耗模式，有效则 WKUPF 标志位会被硬件置位，在 WKUPIE 使能时，会产生一个唤醒中断，从而将 MCU 唤醒。

需要注意下面几点：

（1）　并不是所有的模式都支持将 MCU 从深度睡眠模式唤醒，比如 SPI 同步通信模式。

（2）　系统进入深度睡眠模式时，USART 当前的数据传输必须完成。

（3）　USART 相关配置，必须在系统进入深度睡眠模式前配置好。如果使用了 DMA 读功能，则需要先关闭该功能，在系统退出深度睡眠模式后再重新使能。

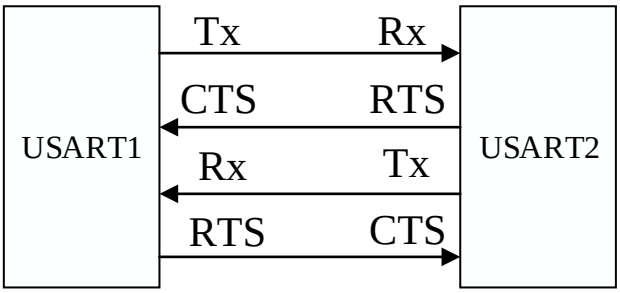
（4）　系统进入深度睡眠模式前，USART 处在接收屏蔽的状态下，这时想要唤醒系统唤醒事件只能选择地址匹配；

22.2.13　RS232 硬件流控

USART 除了 TX 和 RX 两根管脚外，还有 CTS 和 RTS 管脚，其中 CTS 为输入管脚，RTS 管脚为输出管脚，将两个 USART 互连，USART1 的 RTS 接 USART2 的 CTS，USART1 的 CTS 接 USART2 的 RTS，可通过这两个管脚来控制数据的发送和接收，如图 223 所示。

图 223 USART 硬件流控对接

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



配置 USART_CTR3 寄存器的 CTSEN 位有效，打开 USART CTS 流控功能。当该位有效后，USART 在发送下一个数据帧时，会检查当前 CTS 输入端电平，为低表示 USART 可发送下一帧数据，为高表示需要等待，直到 CTS 为低才可发送。CTS 输入信号的变化，并不会影响当前正在传输的数据帧。配置 USART_CTR3 寄存器的 CTSIE 位有效，在 CTS 管脚发生翻转时，会产生一个中断。

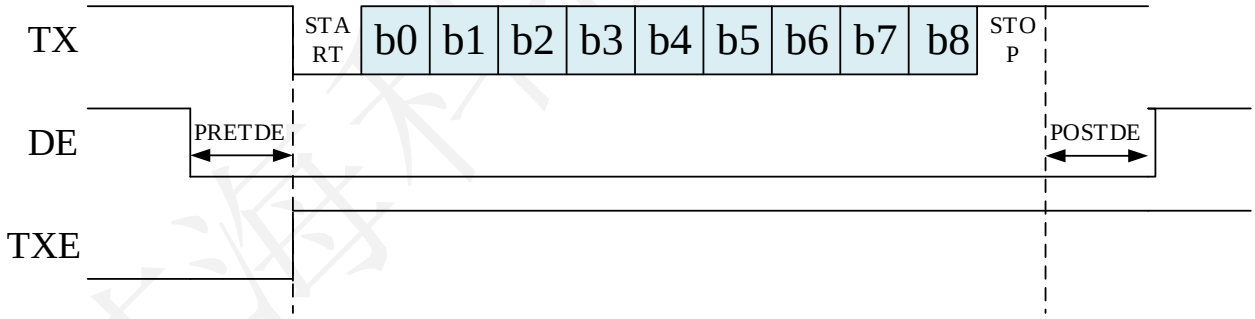
配置 USART_CTR3 寄存器的 RTSEN 位有效，打开 USART RTS 流控功能。当该位有效后，USART 在接收下一个数据帧时，会检查当前 RTS 输出端电平，为低表示 USART 可接收下一帧数据，为高表示需要等待，直到 RTS 为低才可接收。RTS 信号的变化，并不会影响当前正在传输的数据帧。

22.2.14　RS485 驱动使能

配置 USART_CTR3 控制寄存器的 DEN 位为 1 可打开 USART 驱动器使能功能。该功能下，USART 会通过 DE(RTS)管脚输出信号给对端设备。DE 信号的有效电平可通过 USART_CTR3 寄存器的 DEPS 位进行选择，DEPS 位为 0，表示高电平为有效电平，为 1 表示低电平为有效电平。USART_CTR1 寄存器的 PRETDE[4:0]位和 POSTDE[4:0]位定义了两个时间，分别对应驱动使能提前时间和驱动使能滞后时间。PRETDE[4:0]表示驱动使能信号有效和数据帧的起始位之间的时间间隔。POSTDE[4:0]表示数据帧的停止位和 DE 信号无效之间的时间间隔。时间单位为 USART 单个 bit 时间的 1/8（OVRS=1）或者 1/16（OVRS=0）。每次发送数据前，DE 信号会提前数据帧有效，并滞后数据帧变为无效。

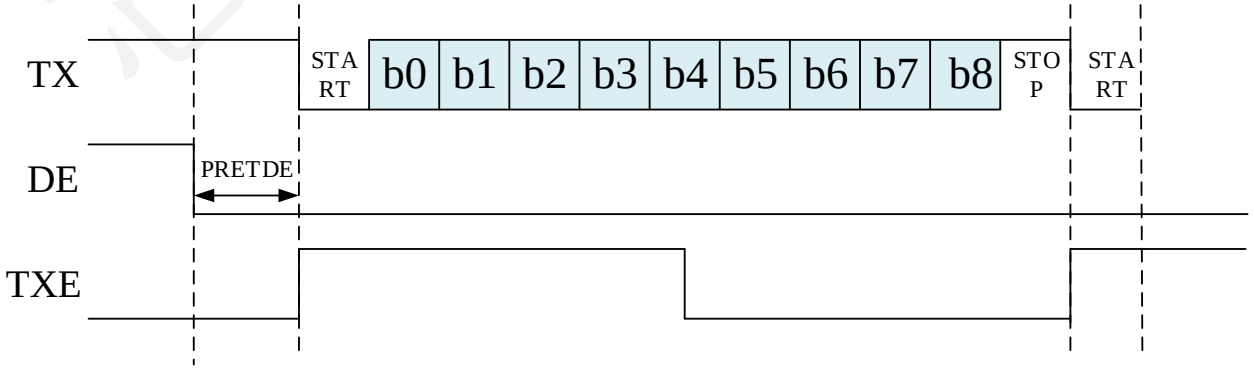
（1）　一个字符数据

图 224 数据位 9 位，单个字符传输



（2）　连续的数据帧中间，不存在 POSTDE

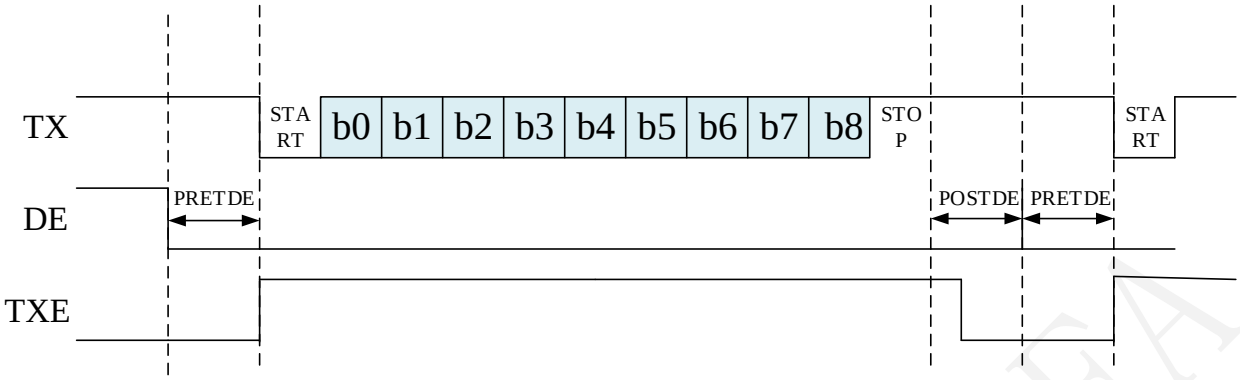
图 225 数据位 9 位，STOP 前写入下一个数据



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

（3）　POSTDE 的时间内，需要继续发送数据，则需要经历 POSTDE 和 PRETDE 的延迟。

图 226 数据位 9 位，POSTDE 写入下一个数据



芯海科技CHIPSEA

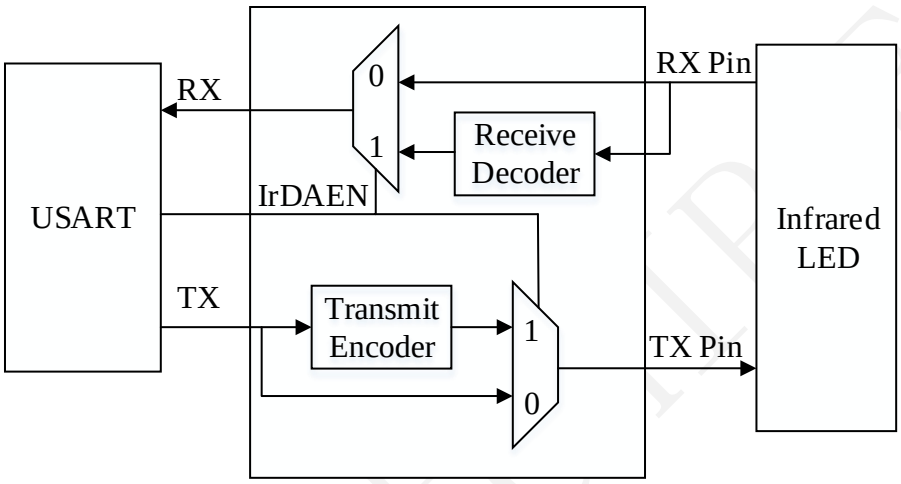
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

22.2.15　IrDA 模式

可通过配置 USART_CTR2 寄存器的 IRDAEN 位来使 USART 工作在 IrDA 模式。该模式下，USART_CTR2 的 LINEN 位、STOPLEN[1:0]和 CKEN 位必须保持为 0；USART_CTR3 的 SCEN 和 HDEN 位必须保持为 0。IrDA 是半双工通信模式，不能同时进行数据收发。数据的发送使用 TX 管脚，接收使用 RX 管脚。

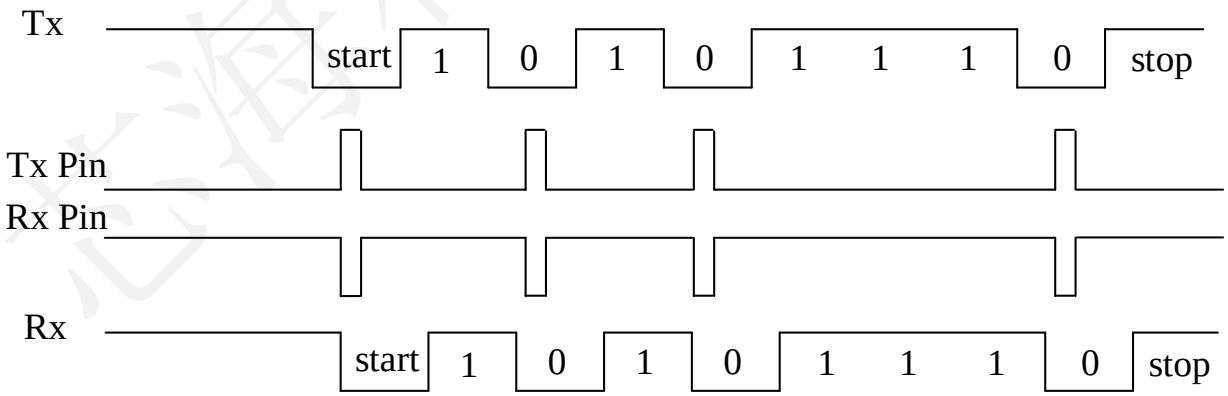
IrDA 模式下，外部红外 LED 将信号发送到 RX 管脚上，经过 SIR 解码器进行解码发送到 USART 的接收器。USART 发送数据时，通过编码器对数据进行编码，发送至 TX 管脚上，外部的红外 LED 从 USART 的 TX 管脚上接收 bit 流，该模式下波特率不能超过 115200。

图 227 IrDA 结构连接



IrDA 模式下，RX 管脚 IDLE 态时的输入电平为高，外部器件会输出非归 0 bit 流，其脉冲宽度为 3/16 bit 宽度，经过 Decoder 后，将其转换为脉冲宽度为 1bit 宽度的数据流。RX 管脚的输入脉冲宽度不能低于 1 PDIV 周期，只有大于 2PDIV 周期才能确定被检测到，小于 2PDIV 则可能检测不到，其中 PDIV 周期为 USART 时钟经过 USART_GTPDIV 分频后的时钟周期。TX 管脚 IDLE 态时，输出电平为低，是由于 USART 输出高电平，但是经过 Encoder 后，高电平被转换成低电平；从 USART 输出的 1 个 bit 宽度的低电平，均会被转换为脉冲宽度为 3/16 的高脉冲。信号转换见图 228。

图 228 IrDA 数据转换



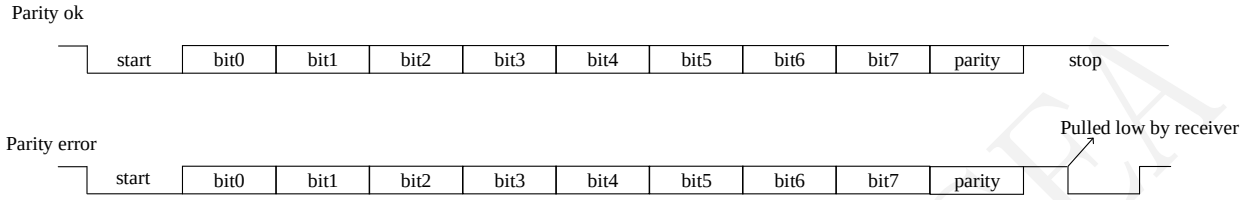
此外，可通过配置 USART_CTR3 寄存器 IRMS 有效，让 USART 工作在 IrDA 低功耗模式下，该模式下，RX 部分工作与正常模式一致；TX 部分，从 Tx Pin 输出的脉冲宽度为 3PDIV。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

22.2.16　智能卡模式

可通过配置 USART_CTR3 寄存器 SCEN 位使能 USART 智能卡模式。该模式下，USART_CTR2 的 LINEN 位和 USART_CTR3 的 LINEN 位和 HDEN 位必须保持为 0。智能卡模式支持 ISO7816-3 协议，支持 T=0 和 T=1 两种模式。该模式下，为单线半双工通信，只用 USART 的 TX 管脚，TX 管脚必须配置成开漏模式，芯片外部接上拉电阻；数据位配置为 9bit，奇偶校验使能，停止位 1.5bit/0.5bit。如果停止位配置成 0.5bit，USART 只能用于接收数据。

图 229 ISO 7816-3 协议



智能卡模式下，可通过配置 CKEN 位使能，通过 CK 管脚为外部智能卡提供时钟。提供的时钟为 USART 工作时钟分频得到，预分频值由 USART_GTPDIV 寄存器的 PDIV 位决定。

T=0 模式

T=0 模式下，需要配置 USART_CTR3 寄存器的 SCNACK 位为 1。

USART 作为接收方，接收到校验错误的数据时，USART 会将 TX 管脚上停止位的后 1bit 拉低（NACK）来通知智能卡数据校验错误，此时 PERRF 和 RXNE 不会被置位，不会起 DMA 请求。根据智能卡协议，智能卡会重发之前数据，如果 USART 依然检查到校验错误，并且达到了 USART_CTR3 寄存器 SCANUM 位设置的重试次数，USART 将不会回复 NACK，PERRF 和 RXNE 会被置位；在没有达到 SCANUM 重试次数且一直收到校验错误数据，USART 会一直回复 NACK，PERRF 和 RXNE 不会置位。

USART 作为发送方，会将带校验位的数据发送给智能卡，如果校验错误，会收到智能卡回复的 NACK，根据智能卡协议，USART 会自动重发之前发的数据，在每次都收到 NACK 且达到 USART_CTR3 寄存器 SCANUM 位设置的重试次数后，将停止发送之前的数据，并将 FERRF 标志置位。

智能卡模式下，USART 写数据寄存器，数据从数据寄存器到移位寄存器会有 1/2 波特时钟的延时。在两个成功的字符数据中间会有一个保护时间，由 USART_GTPDIV 的 GUDT[7:0]决定，单位为波特时钟，GUDT 需要配置为 CGT-12，其中 CGT（Character Guard Time）为 7816-3 标准中定义的字符保护时间。由于 GUDT 保护时间的存在，在最后一个数据帧停止位后，USART 内部计数器会进行向上计数，直到计数到 GUDT 值，TC 标志才拉高。在自动重发的情况下，从检测 NACK 位到下一个要发送的字符数据的起始位之间会有 2.5 个波特时钟的延时。

T=1 模式

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

T=1 模式下，需要配置 USART_CTR3 寄存器的 SCNACK 位为 0。该模式下，RXNE 中断使能控制位必须配置有效。

通信开始前， 需要软件配置 USART_ROT 的 RXOVR[23:0]位为 BWT(块等待时间)-11。其中，块等待时间是 USART 发送给智能卡字组最后 1 字节的起始位下降沿到智能卡回送第 1 个字节起始位下降沿之间的最大允许区间。从 USART 向智能卡发送字组中最后一个字节的停止位后，USART 内部计数器开始计数累加，如果智能卡在 RXOVR[23:0]个波特时钟内依然没有响应，则接收超时标志 ROTF 会被置位，如果配置 USART_CTR2 寄存器的 ROTIE 中断使能位有效，则会产生超时中断。如果智能卡有响应，则 USART 会产生 RXNE 中断，软件需要重新配置 RXOVR[23:0]为 CWT(字符等待时间)-11。字符等待时间是字组内两相连字符起始位下降沿之间的最大允许区间。智能卡在回复字组数据过程中，在发出上一字符数据停止位后，内部计数器开始累加，如果智能卡在 RXOVR[23:0]个波特时钟内没有响应，则 ROTF 标志位同样会被置位，根据 ROTIE 决定是否产生中断。

T=1 模式下，USART 内部有一个计数器可以统计 USART 收到的全部字符个数。这个计数器在写数据到 USART 数据寄存器时会自动清零。智能卡协议中，块信息字段的长度 LEN 位于智能卡发出数据字组的第三个字节。软件需要根据读取 LEN 值并将合理的值写入到 USART_ROTR 寄存器的 BLEN[7:0]域，其中，BLEN=LEN+1(LEC)/2(CRC)-1。由于 T=1 传输的数据块由组头字段（长度为 3）+信息字段（长度为 LEN）+组尾字段构成（长度为 1 或者 2），所以整个块传输的长度为 BLEN+4。在块传输完成后，USART_STS 寄存器的 ENDBLKF 位会被置位，如果 USART_CTR1 寄存器的 BTCIE 位使能，则会产生块传输完成中断。

如果在块传输中，数据的接收是中断查询的方法，在块传输开始前，需要将 BLEN[7:0]位配置为最大值 0xff，在接收到正确的信息字段长度后，重新进行配置。如果块传输中，采用 DMA 对接收的数据进行搬运，在块传输开始前，BLEN 需要配置为 0，这样在接收完第 4 个数据后，会产生一个完成中断，此时需要软件去对应的内存中去读取 DMA 接收到的第 3 个字节从而获取 LEN 大小，并将合理的值写进 BLEN。

直接转换和反向转换

智能卡协议定义了两种转换方式：直接转换和反向转换。

直接转换方式定义如下：低位在前，逻辑 1 相当于传输高电平，采用偶校验，。该转换方式下，MSBF 必须配置为 0，DINV 必须配置为 0。

反向转换方式定义如下：高位在前，逻辑 1 相当于传输线低电平，采用偶校验。该转换方式下，MSBF 必须配置为 1，DINV 必须配置为 1。校验位与数据位电平逻辑一致。

初始状态下，USART 并不知道智能卡采用哪种转换方式，它给智能卡发一个复位指令，而智能卡收到该指令后，会将 TS 字符帧发送给 USART。TS 的两种可能模式为：LHHL HHH LLH 和 LHHL LLL LLH。

- (H)LHHL HHH LLH 说明智能卡使用直接转换模式，传达的字符为‘3B’。
- (H)LHHL LLL LLH 说明智能卡使用反向转换模式，传达的字符为‘3F’。

假设 USART 被配置为直接转换模式（默认），而卡的答复是反向转换，则 USART 收到的字符会是‘03’并且校验位检测到 1，校验错误，产生校验错误中断（中断使能打开）。软件会对 USART 重新进行配置，更改为反向转换，并且向智能卡发出新的复位命令，然后重新等待 TS。

除了使用上述方式识别智能卡采用的转换方式外，还可以将 USART 配置成 9bit，校验不使能。该配置下，USART 收到智能卡发出的直接转换字符会被译为 0x13B，收到智能卡发出的反向转换字符会被译为 0x103，以此来确认智能卡采用的转换方式。

22.2.17　低功耗模式

目前系统有下面 4 种低功耗模式，分别是：Sleep、深度睡眠模式 1、深度睡眠模式 2 和 Powerdown。

sleep 模式下，对 USART 没有影响，USART 任何一个中断均可以将系统从 Sleep 模式下唤醒。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

深度睡眠模式下，当 USART 时钟源是 LXT 或者 HRC 且 WKUPDSM 有效时，可通过 RXNE 中断或者 WKUPF 中断唤醒系统退出深度睡眠模式。

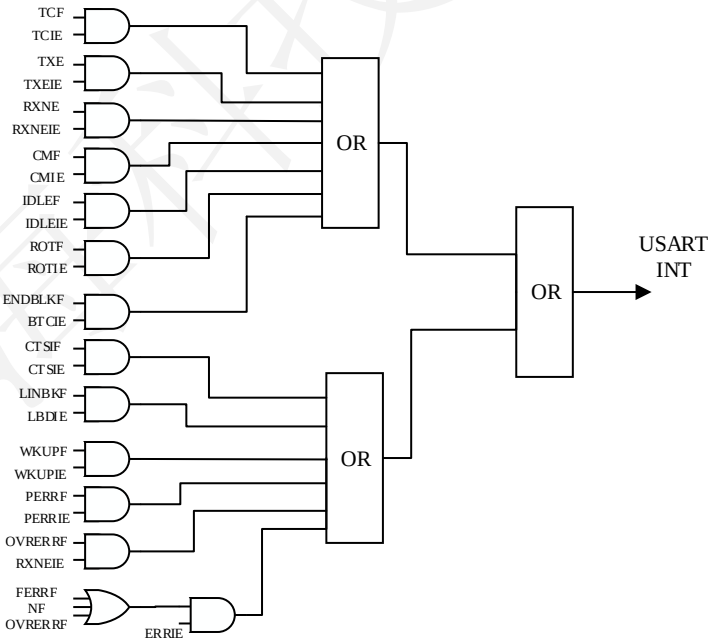
Powerdown 模式下，USART 掉电，系统退出掉电模式时，必须重新初始化。

22.2.18　中断

表 78 USART 中断

中断事件	中断标志	中断使能控制
系统从深度睡眠模式唤醒	WKUPF	WKUPIE
字符匹配	CMF	CMIE
块传输完成	ENDBLKF	BTCIE
接收超时	ROTF	ROTIE
CTS 翻转	CTSF	CTSIE
LIN 断开帧	LINBKF	LBDIE
发送缓冲寄存器空	TXE	TXEIE
发送完成	TCF	TCIE
接收缓冲寄存器非空	RXNE	RXNEIE
检测到空闲帧	IDLEF	IDLEIE
DMA 模式，接收溢出	OVRERRF	ERRIE
DMA 模式，检测到噪声	NF	ERRIE
DMA 模式，帧错误	FERRF	ERRIE
校验错误	PERRF	PERRIE

图 230 USART 中断



本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

寄存器

22.3.1 寄存器概览

表 79 USART 寄存器概览

名称	偏移地址	描述	复位值
USART_CTR1	0x000	USART 控制寄存器 1	0x00000000
USART_CTR2	0x004	USART 控制寄存器 2	0x00000000
USART_CTR3	0x008	USART 控制寄存器 3	0x00000000
USART_BRT	0x00C	USART 波特率寄存器	0x00000000
USART_GTPDIV	0x010	USART 保护时间预分频寄存器	0x00000000
USART_ROT	0x014	USART 接收超时寄存器	0x00000000
USART_SWTR	0x018	USART 软件触发寄存器	0x00000000
USART_STS	0x01C	USART 中断和状态寄存器	0x000000C0
USART_IFCLR	0x020	USART 中断标志清除寄存器	0x00000000
USART_RXBUF	0x024	USART 接收缓冲寄存器	0x00000000
USART_TXBUF	0x028	USART 发送缓冲寄存器	0x00000000

22.3.2 USART 控制寄存器 1（USART_CTR1 ）

USART_CTR1 (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	DH	BTCIE	ROTIE	PRETDE[4:0]					POSTDE[4:0]				
			r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVRS	CMIE	RXMSKEN	DL	RXWKUPS	PEN	ODDS	PERRIE	TXEIE	TCIE	RXNEIE	IDLEIE	TEN	REN	WKUPDSM	UEN
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:29]	保留	
28	DH	**数据长度** 与 DL 一起决定字符长度，软件只能在 UEN=0 时写该位。 DH=0,DL=0：8bit 数据位 DH=0,DL=1：9bit 数据位 DH=1,DL=0/1：7bit 数据位 USART1/2 数据位不支持 7bit，智能卡模式、LIN 模式不支持 7bit 数据位
27	BTCIE	**块尾传输完成中断使能** 0：禁止中断 1：当 USART_STS 寄存器的 ENDBLKF 位被置位时，产生 USART 中断 USART2/6/7/8 不支持智能卡模式，该位保留并由硬件强制置 0
26	ROTIE	**接收器超时中断使能**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0：中断禁止 1：当 USART_STS 寄存器的 ROTF 位被置位时，产生 USART 中断 USART2/6/7/8 不支持接收超时特性，该位保留并由硬件强制置 0
[25:21]	PRETDE	**驱动使能提前时间** 定义了 DE 信号有效到起始位下降沿之间的时间间隔，时间单位为 USART 单个 bit 时间的 1/8（OVRS=1）或者 1/16（OVRS=0）； 软件只能在 UEN=0 时写该位；
[20:16]	POSTDE	**驱动使能滞后时间** 定义了停止位到 DE 信号无效之间的时间间隔，时间单位为 USART 单个 bit 时间的 1/8（OVRS=1）或者 1/16（OVRS=0）； 软件只能在 UEN=0 时写该位；
15	OVRS	**采样模式** 0：16 倍过采样 1：8 倍过采样 软件只能在 UEN=0 时写该位； LIN 模式，IrDA 模式和智能卡模式下，该位必须保持为 0
14	CMIE	**字符匹配中断使能** 0：中断禁止 1：当 CMF 位被置位时，产生中断
13	RXMSKEN	**接收屏蔽模式使能** 0：接收屏蔽模式不使能 1：接收屏蔽模式使能
12	DL	**字长** 该位与 DH 位决定字符长度，只能在 UEN=0 时写该位
11	RXWKUPS	**接收器唤醒选择** 该位决定了接收器从接收屏蔽模式唤醒的方式；软件只能在 UEN=0 时写该位 0：空闲帧 1：地址标记
10	PEN	**校验控制使能** 0：奇偶校验不使能 1：奇偶校验使能
9	ODDS	**校验选择** 0：偶校验 1：奇校验
8	PERRIE	**校验错误中断使能** 0：禁止中断 1：当 PERR=1 时，USART 产生中断
7	TXEIE	**发送缓冲寄存器为空中断使能** 0：禁止中断 1：当 TXE=1 时，USART 产生中断
6	TCIE	**发送完毕中断使能** 0：禁止中断 1：当 TCF=1 时，USART 产生中断

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

5	RXNEIE	**接收缓冲寄存器非空中断使能** 0：禁止中断 1：当 OVRERR=1 或 RXNE=1 时，USART 产生中断
4	IDLEIE	**空闲中断使能** 0：禁止中断 1：当 IDLEF=1 时，USART 产生中断
3	TEN	**发送器使能** 0：发送器不使能 1：发送器使能
2	REN	**接收器使能** 0：接收器不使能 1：接收器使能，并开始检测开始位
1	WKUPDSM	**将 MCU 从深度睡眠模式唤醒使能** 0：USART 无法将 MCU 从深度睡眠模式唤醒 1：USART 可以将 MCU 从深度睡眠模式唤醒
0	UEN	**USART 使能** 0：USART 关闭 1：USART 开启

22.3.3 USART 控制寄存器 2（USART_CTR2 ）

USART_CTR2 (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UADR[7:4]				UADR[3:0]				ROTEN	ABRSEL[1:0]		ABREN	MSBF	DINV	TXINV	RXINV
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXRXSWAP	LINEN	STOPLEN[1:0]		CKEN	CPOL	CPHA	CKLEN	保留	LBDIE	LINBRK11	ADRM7	保留	保留	保留	保留
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w	r/w	r/w				

Bit 位	名称	描述
[31:28]	UADR	**USART 地址** 7bit 地址高 4 位。接收字符 MSB=1，ADRM7=1，USART 接收到字符低 7 位与 UADR[6:0]匹配，可将系统从深度睡眠模式唤醒，可使 USART 退出接收屏蔽模式；USART 接收字符和 UADR[7:0]匹配，字符匹配标志 CMF 会被置位； 软件只能在 UEN=0 且 REN=0 时写该位
[27:24]	UADR	**USART 地址** 7bit 地址低 4 位。接收字符 MSB=1，ADRM7=0，USART 接收到字符低 4 位与 UADR[3:0]匹配，可将系统从深度睡眠模式唤醒，可使 USART 退出接收屏蔽模式； 软件只能在 UEN=0 且 REN=0 时写该位
23	ROTEN	**接收器超时使能** 0：接收超时不使能 1：接收超时使能

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		USART2/6/7/8 该位保留并由硬件强制置 0
[22:21]	ABRSEL	**自动波特率模式** 00：对起始位的测量被用来检测波特率 01：接收字符 0b10xxx，测量起始位下降沿和第 1 位数据下降沿时间间隔来检测波特率 10/11：保留 USART2/6/7/8 该位保留并由硬件强制置 0，软件只能在 UEN=0 时写该位
20	ABREN	**自动波特率使能** 0：自动波特率检测不使能 1：自动波特率检测使能
19	MSBF	**高位优先** 0：数据位传输，低位在前，高位在后 1：数据位传输，高位在前，低位在后 软件只能在 UEN=0 时写该位
18	DINV	**二进制数反向** 0：传输数据/校验位时，采用正逻辑（1=H,0=L） 1：传输数据/校验位时，采用负逻辑（1=L,0=H） 软件只能在 UEN=0 时写该位
17	TXINV	**Tx 脚有效电平反向** 0：TX 脚信号工作于标准逻辑电平 1：TX 脚信号被反向 软件只能在 UEN=0 时写该位
16	RXINV	**RX 脚有效电平反向** 0：RX 脚信号工作于标准逻辑电平 1：RX 脚信号被反向 软件只能在 UEN=0 时写该位
15	TXRXSWAP	**交换 TX/RX 引脚** 0：TX/RX 引脚功能不交换 1：TX/RX 引脚功能交换使用 软件只能在 UEN=0 时写该位
14	LINEN	**LIN 模式使能** 0：LIN 模式不使能 1：LIN 模式使能 软件只能在 UEN=0 时写该位
[13:12]	STOPLEN	**停止位长度** 00：1 个停止位 01：0.5 个停止位 10：2 个停止位 11：1.5 个停止位 软件只能在 UEN=0 时写该位
11	CKEN	**时钟使能** 0：CK 引脚不使能 1：CK 引脚使能 软件只能在 UEN=0 时写该位

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

10	CPOL	**时钟极性** 0：在没有数据传输时保持低电平 1：在没有数据传输时保持高电平 软件只能在 UEN=0 时写该位
9	CPHA	**时钟相位** 0：第一个时钟沿采数据 1：第二个时钟沿采数据 软件只能在 UEN=0 时写该位
8	CKLEN	**同步模式下时钟脉冲长度** 0：时钟脉冲个数=数据位长度-1 1：时钟脉冲个数=数据位长度 软件只能在 UEN=0 时写该位
7	保留	
6	LBDIE	**LIN 模式断开帧检测中断使能** 0：禁止中断 1：当 LINBKF =1 时，产生中断请求
5	LINBRK11	**LIN 断开帧检测长度** 0：10 bit 断开帧长度 1：11 bit 断开帧长度
4	ADRM7	**7bit/4bit 地址检测** 0：4 bit 地址检测 1：7 bit 地址检测
[3:0]	保留	

22.3.4 USART 控制寄存器 3（USART_CTR3 ）

USART_CTR3 (偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	WKUPIE	WKUPMTHD[1:0]		SCANUM[2:0]			保留
									r/w	r/w	r/w	r/w	r/w	r/w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEPS	DEN	DRMRE	NORXOF	SPMS	CTSIE	CTSEN	RTSEN	TXDMA	RXDMA	SCEN	SCNACK	HDEN	IRMS	IRDAEN	ERRIE
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:23]	保留	
22	WKUPIE	**深度睡眠模式唤醒中断使能** 0：禁止中断 1：当 WKUPF=1 时，产生中断
21:20	WKUPMTHD	**深度睡眠模式唤醒方式选择** 00：4bit/7bit 地址匹配

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		01：保留 10：检测起始位 11：RXNE 置位 软件只能在 UEN=0 时写该位
19:17	SCANUM	**智能卡模式重试次数** 发送模式下，该位定义了 USART 自动重发最大尝试次数，达到次数时，FERRF 被置位； 接收模式下，该位定义了 USART 对连续校验错误检查的最大尝试次数，达到最大次数时，PERRF 和 RXNE 会被置位 USART2/6/7/8 该位保留并由硬件强制置 0，软件只能在 UEN=0 时写该位
16	保留	**保留**
15	DEPS	**驱动器使能极性选择** 0：DE 信号高有效 1：DE 信号低有效 软件只能在 UEN=0 时写该位
14	DEN	**驱动器使能模式** 0：关闭 DE 功能 1：打开 DE 功能 软件只能在 UEN=0 时写该位
13	DRMRE	**接收错误屏蔽 DMA 请求** 0：接收错误数据时，不禁止 DMA，后续再接收正确数据时不会屏蔽 DMA 读请求 1：接收错误数据时，禁止 DMA，后续 DMA 读请求被屏蔽，需要软件清除 RXNE 或者关闭 RXDMA，再清除对应错误标志 软件只能在 UEN=0 时写该位，错误指校验错误、帧错误和噪声
12	NORXOF	**溢出检测关闭** 0：打开溢出检测，出现溢出时，后来的数据会被丢弃 1：关闭溢出检测，出现溢出时，后来的数据会将前一数据覆盖 软件只能在 UEN=0 时写该位
11	SPMS	**采样方式选择** 0：三次采样方式 1：单次采样方式，只应用于数据位 软件只能在 UEN=0 时写该位
10	CTSIE	**CTS 中断使能** 0：禁止中断 1：当 CTSIF=1 时，产生中断请求
9	CTSEN	**CTS 使能** 0：关闭 CTS 硬件流控制 1：CTS 输出使能
8	RTSEN	**RTS 使能** 0：关闭 RTS 硬件流控制 1：RTS 输出使能 软件只能在 UEN=0 时写该位
7	TXDMA	**DMA 发送使能**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1：为发送数据使能 DMA 模式 0：不使能 DMA 模式 软件只能在 UEN=0 时写该位
6	RXDMA	**DMA 接收使能** 由软件置 1 和清 0 1：为接收数据使能 DMA 模式 0：不使能 DMA 模式
5	SCEN	**智能卡模式使能** 0：关闭智能卡模式 1：打开智能卡模式 软件只能在 UEN=0 时写该位
4	SCNACK	**智能卡 NACK 发送使能** 0：T=1 模式使用，接收校验错误数据时，不发送 NACK 1：T=0 模式使用，接收校验错误数据时，发送 NACK 软件只能在 UEN=0 时写该位
3	HDEN	**单线半双工模式** 0：单线半双工模式不使能 1：单线半双工模式使能 软件只能在 UEN=0 时写该位
2	IRMS	**IrDA 模式选择** 0：IrDA 普通模式 1：IrDA 低功耗模式 软件只能在 UEN=0 时写该位
1	IRDAEN	**IrDA 模式使能** 0：IrDA 不使能 1：IrDA 使能 软件只能在 UEN=0 时写该位
0	ERRIE	**错误中断使能** 0：禁止中断 1：当 FERRF=1 或 OVRERRF=1 或 NF=1 时，产生中断

22.3.5 USART 波特率寄存器（USART_BRT ）

USART_BRT (偏移地址=0x00c，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTDIV[15:4]												FRADIV[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:4]	INTDIV	**DIV 整数部分**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		INTDIV=USARTDIV[15:4]
[3:0]	FRADIV	**DIV 小数部分** OVRS=0 时，FRADIV = USARTDIV[3:0] OVRS=1 时，FRADIV = {1'b0,USARTDIV[3:0]>>1}

22.3.6 USART 保护时间和预分频寄存器（USART_GTPDIV ）

USART_GTPDIV (偏移地址=0x0010，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GUDT[7:0]								PDIV[7:0]							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:8]	GUDT	**保护时间值** 智能卡 T=1 模式保护时间值 USART2/6/7/8 该位保留并由硬件强制置 0，软件只能在 UEN=0 时写该位
[7:0]	PDIV	**预分频值** IRDA 正常模式和低功耗模式下时钟预分频值 8'h1:USART 时钟 1 分频 8'h2:USART 时钟 2 分频 ..... 8'hff: USART 时钟 255 分频 智能卡模式，CK 管脚输出时钟的预分频值，PDIV[7:5]必须保持为 0 PDIV[4:0]: 5'h1:USART 时钟 2 分频 5'h2:USART 时钟 4 分频 ..... 5'h1f:USART 时钟 64 分频 USART2/6/7/8 该位保留并由硬件强制置 0，软件只能在 UEN=0 时写该位

22.3.7 USART 接收超时寄存器（USART_ROT）

USART_ROTR (偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NUMBLK[7:0]								RXOVR[23:16]							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXOVR[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

Bit 位	名称	描述
[31:24]	NUMBLK	**块单元数**智能卡 T=1 模式，块传输长度。
[23:0]	RXOVR	**接收超时值** ModBus 中超时检测等待的位数； 智能卡 T=1 模式，实现 CWT 和 BWT 的数值

22.3.8 USART 软件触发寄存器（USART_SWTR ）

USART_SWTR (偏移地址=0x018，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	TXESET	RXNECLR	RXMSKT	BRKFST	ABRT
											w	w	w	w	w

Bit 位	名称	描述
[31:5]	保留	
4	TXESET	**TXE 置位触发** 写 1 会将 TXE 置位并丢弃待发送的数据，在智能卡 T=0 模式下达到自动重发次数时使用
3	RXNECLR	**RXNE 清除触发** 写 1 会将 RXNE 清除
2	RXMSKT	**接收器屏蔽模式触发** 写 1 使 USART 进入接收屏蔽模式，并将 RXMSKF 置位
1	BRKFST	**断开帧发送触发** 写 1 会将 BRKSF 置位，并发送断开帧
0	ABRT	**自动波特率检测触发** 写 1 会将 ABRTF 置位，并开启自动波特率检测

22.3.9 USART 中断和状态寄存器（USART_STS ）

USART_STS (偏移地址=0x01C，复位值=0x000000C0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	RENACTF	TENACTF	WKUPF	RXMSKF	BRKSF	CMF	BSYF
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABRTF	ABRTER	保留	ENDBLK	ROTF	CTSF	CTSIF	LINBKF	TXE	TCF	RXNE	IDLEF	OVRERR	NF	FERRF	PERRF

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

	RF		F									F			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[21:23]	保留	
22	RENACTF	**接收使能有效标志** 0：接收器未准备好接收数据 1：接收器已经准备好接收数据
21	TENACTF	**发送使能有效标志** 0：发送器未准备好不能发送数据 1：发送器准备好可以发送数据
20	WKUPF	**深度睡眠模式模式唤醒标志** 检测到唤醒事件时被置位，具体唤醒事件由 WKUPMTHD [1:0]定义 USART2/6/7/8 该位保留并由硬件强制置 0
19	RXMSKF	**接收屏蔽模式标志** 可通过软件写 RXMSKT 将 RXMSKF 置位；接收地址帧不匹配也可以将 RXMSKF 置位。当出现地址匹配或者检测到 IDLE 帧，该位被清 0 0：接收器处于 active 模式 1：接收器处于屏蔽模式
18	BRKSF	**断开帧发送标志** 软件请求发送断开帧时，该位被置 1，断开帧发送完成后硬件自动清零。 0：无发送断开帧请求 1：有断开帧发送请求
17	CMF	**字符匹配标志** 0：未检测到字符匹配 1：检测到字符匹配
16	BUSY	**忙标志** 0：USART 空闲，不在接收数据 1：USART 忙，接收数据中
15	ABRTF	**自动波特率检测标志** 自动波特率功能打开或自动波特率操作不成功时，硬件置 1； 软件向 ABRRQ 写 1 以开始一轮新的波特率检测时，清 0； USART2/6/7/8 该位保留并由硬件强制置 0
14	ABRTERRF	**自动波特率检测错误标志** 波特率测量失败时，硬件置 1； 软件向 ABRT 写“1”时，清 0； USART2/6/7/8 该位保留并由硬件强制置 0
13	保留	**保留**
12	ENDBLKF	**块结束标志** 0：还没到块结束 1：块结束到了 USART2/6/7/8 该位保留并由硬件强制置 0
11	ROTF	**接收超时标志**

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		0：接收未超时 1：接收超时 USART2/6/7/8 该位保留并由硬件强制置 0
10	CTSF	**CTS 标志** 0：CTS 线为高 1：CTS 线为低 USART2/6/7/8 该位保留并由硬件强制置 0
9	CTSIF	**CTS 中断标志** 0：CTS 状态线无变化 1：CTS 状态线有变化 USART2/6/7/8 该位保留并由硬件强制置 0
8	LINBKF	**LIN 断开帧检测标志** 0：未检测到 LIN 断开字符 1：检测到 LIN 断开字符 USART2/6/7/8 该位保留并由硬件强制置 0
7	TXE	**发送缓冲寄存器空标志** 0：发送缓冲寄存器非空 1：发送缓冲寄存器为空
6	TCF	**发送完成标志** 0：传输未完成 1：传输完成
5	RXNE	**接收缓冲寄存器非空标志** 0：接收缓冲寄存器为空 1：接收缓冲寄存器非空
4	IDLEF	**检查到空闲帧标志** 0：未检测到空闲帧 1：检测到空闲帧
3	OVRERRF	**接收溢出错误标志** 0：无溢出错误 1：检测到溢出错误
2	NF	**噪声检测标志** 0：未检测到噪声 1：检测到噪声
1	FERRF	**帧错误标志** 0：未检测到帧错误 1：检测到帧错误或断开字符
0	PERRF	**校验错误标志** 0：无校验错误 1：有校验错误

22.3.10　USART 中断标志清除寄存器（USART_IFCLR ）

USART_IFCLR (偏移地址=0x020，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	WKUPFC	保留	保留	CMFC	保留
											w			w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	ENDBLKFC	ROTFC	保留	CTSFC	LINBKFC	保留	TCFC	保留	IDLEFC	OVRERRC	STARTNFC	FERRC	PERRC
			w	w		w	w		w		w	w	w	w	w

Bit 位	名称	描述
[31:21]	保留	保留
20	WUCF	**深度睡眠模式唤醒标志清除** 向该位写 1 清除 WKUPF 标志
19	保留	保留
18	保留	保留
17	CMCF	**字符匹配标志清除** 向该位写 1 清除 CMF 标志
[16:13]	保留	保留
12	ENDBLKFC	**块结束标志清除** 向该位写 1 清除 ENDBLKF 标志
11	ROTFC	**接收器超时标志清除** 向该位写 1 清除 ROTF 标志
10	保留	保留
9	CTSFC	**CTS 标志清除** 向该位写 1 清除 CTS 标志
8	LINBKFC	**LIN 断开检测标志清除** 向该位写 1 清除 LINBKF 标志
7	保留	保留
6	TCFC	**发送完成标志清除** 对该位写 1，会清除 TCF 标志位
5	保留	保留
4	IDLEFC	**线路空闲检测标志清除** 向该位写 1 清除 IDLEF 标志
3	OVRERRC	**溢出错误标志清除** 向该位写 1 清除 OVRERRF 标志
2	STARTNFC	**起始位噪声标志清除** 向该位写 1 清除 NF 标志
1	FERRC	**帧错误标志清除** 向该位写 1 清除 FERRF 标志
0	PERRC	**校验错误标志清除** 向该位写 1 清除 PERRF 标志

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

22.3.11　USART 接收缓冲寄存器（USART_RXBUF ）

USART_RXBUF (偏移地址=0x024，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	RXBUF[8:0]								
							r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[31:9]	保留	
[8:0]	RXBUF	**接收缓冲数据值** 保存接收到的数据。 当校验使能打开时，有效数据的最高位为校验位

22.3.12　USART 发送缓冲寄存器（USART_TXBUF ）

USART_TXBUF (偏移地址=0x028，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	TXBUF[8:0]								
							r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bits 位	名称	描述
[31:9]	保留	
[8:0]	TXBUF	**发送缓冲数据值** 保存要发送的数据。 当校验使能打开时，有效数据的最高位会被替换为校验位

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

23 SPI/I2S 接口

概述

23.1.1 SPI/I2S 简介

SPI /I2S 接口可使用 SPI 协议或 I2S 音频协议与外部设备通信。SPI 或 I2S 模式通过软件配置选择。SPI Motorola（摩托罗拉）模式是复位之后的默认工作模式.

23.1 SPI 主机与从机通信支持 全双工、半双工、简单通信等三种通信方式 。当 SPI 配置为主机时，它为从机提供通信时钟，SPI 接口还能够在多主机配置中运行。

I2S 音频协议也是一个同步串行通信接口。支持主机或从模式下的半双工通信。 通过组合两个 I2S 可以实现全双工操作。 它可以支持四种不同的音频标准，包括 Philips（飞利浦）的 I2S 标准，MSB 和 LSB 对齐标准以及 PCM 标准。

注： CS32F03X-RA 版本无 I2S 功能

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

23.1.2 SPI 功能概览

- 主机或从机操作
- 三线全双工同步传输
- 两线半双工同步传输（双向数据线）
- 两线单工同步传输（带单向数据线）
- 4 位至 16 位数据大小选择
- 多主模式功能
- 主模式支持 8 种波特率预分频，最高可达 f_{PCLK} / 2
- 从模式频率高达 f_{PCLK} / 2
- 主机和从机的硬件或软件的 NSS 管理：主/从机操作动态切换
- 可编程时钟极性和相位
- 可编程数据顺序,可选择 MSB 优先或 LSB 优先移位
- 具有中断功能的专用发送和接收标志
- SPI 总线忙状态标志
- SPI Motorola（摩托罗拉）模式支持
- 用于可靠通信的硬件 CRC 功能：
  - 在 Tx 模式下，CRC 值可作为最后一个字节发送
  - 最后接收字节的自动 CRC 错误检查
- 主模式故障，具有中断功能的溢出标志
- CRC 错误标志
- 内部有两个具有 DMA 功能的 32 位 Rx FIFO 和 Tx FIFO
- 支持 SPI TI 模式

23.1.3 I2S 功能概览

- 半双工通信（仅发送器或接收器）
- 主机或从机操作
- 8 位可编程线性预分频器，可达到精确的音频采样频率（从 8 kHz 到 192 kHz）
- 数据格式可以支持 16 位，24 位或 32 位
- 通过音频通道将数据帧固定为 16 位（16 位数据帧）或 32 位（16 位，24 位，32 位数据帧）
- 可编程时钟极性（稳定状态）
- 从机发送模式下的欠载标志，接收模式下的过载标志（主机和从机都有该标志），接收和发送模式下的帧错误标志（仅限从机）
- 16 位寄存器用于发送和接收，两个通道侧都有一个数据寄存器
- 支持的 I2S 协议：
  - I2S Philips（飞利浦）标准
  - MSB 对齐标准（左对齐）
  - LSB 对齐标准（右对齐）
  - PCM 标准（16 位通道帧上的短帧和长帧同步或 16 位数据帧扩展到 32 位通道帧）
- 数据方向始终为 MSB 优先
- 发送和接收的 DMA 功能（16 位宽）
- 主机输出时钟可以驱动外部音频设备，波特率固定为 256×f_S（其中 f_S 是音频采样频率）

表 80 描述 CS32F03X 系列的 SPI / I2S 功能

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

表 80 SPI 功能列表①

SPI 功能	SPI1	SPI2
硬件 CRC 计算	X	X
Rx/Tx FIFO	X	X
NSS 脉冲模式	X	X
I2S 模式	X②	-
TI 模式	X	X

注①X = 支持

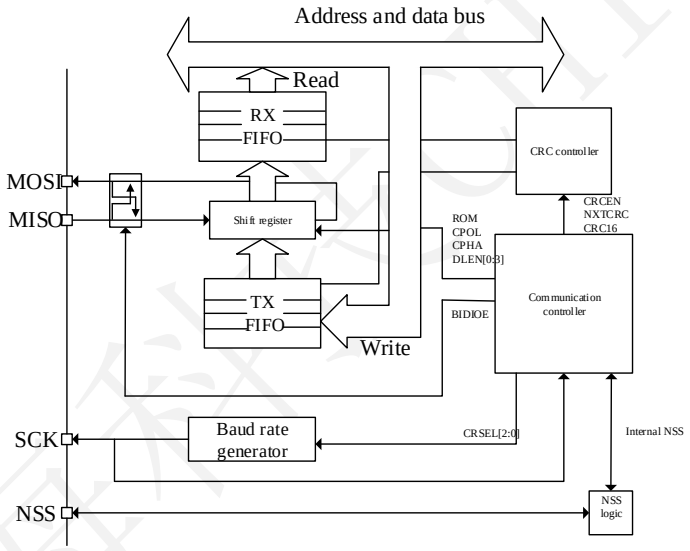
②F03X-RA、F035、F036、F036Q 不支持 I2S 模式

SPI 模块操作

23.2.1 总体描述

23.2 SPI 允许 MCU 与外部设备之间进行同步串行通信。应用软件可以通过轮询状态标志或使用专用 SPI 中断来管理通信。 SPI 的主要模块及其相互关系如图 231 所示。

图 231 SPI 框图



四个 I / O 引脚专用于与外部器件进行 SPI 通信

MISO：主输入/从输出数据。在一般情况下，该引脚用于在从模式下发送数据和在主模式下接收数据。

MOSI：主输出/从输入数据。在一般情况下，该引脚用于在主模式下发送数据和在从模式下接收数据。

SCK：SPI 主机的串行时钟输出引脚和 SPI 从机的输入引脚。

NSS：从机选择引脚。根据 SPI 和 NSS 设置，该引脚可用于：

- 选择单个从机进行通信
- 同步数据帧或检测多个主机之间的冲突

SPI 总线允许一个主机与一个或多个从机之间的通信。总线由至少两条信号线组成 ，一条作为时钟信号，另一条用于同步数据传输。根据 SPI 节点之间的数据交换及其从选择信号管理，可以添加其他信号到 SPI 总线中。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

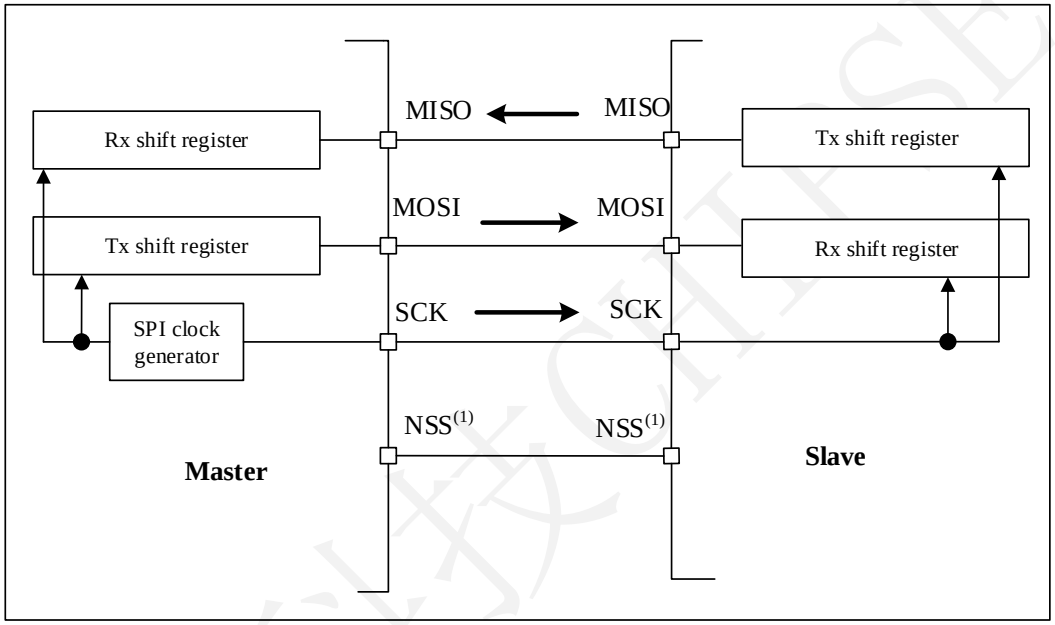
23.2.2 主机和从机之间的通信

SPI 允许 MCU 使用不同的配置进行通信，具体取决于所针对的设备和应用要求。 这些配置使用 2、3 线（使用软件 NSS 管理）或 3、4 线（使用硬件 NSS 管理）。通信始终由主机发起。

全双工通信

默认情况下，SPI 配置为全双工通信。在此配置中，主机和从机的移位寄存器通过 MOSI 和 MISO 引脚之间的两条单向线进行链接。在 SPI 通信期间，数据在主机提供的 SCK 时钟边沿上同步移位。主机通过 MOSI 信号发送数据到从机，通过 MISO 信号接收从机的数据。当数据帧传输结束时，主机和从机之间的信息交换完成。

图 232 全双工单主机/单从机的应用



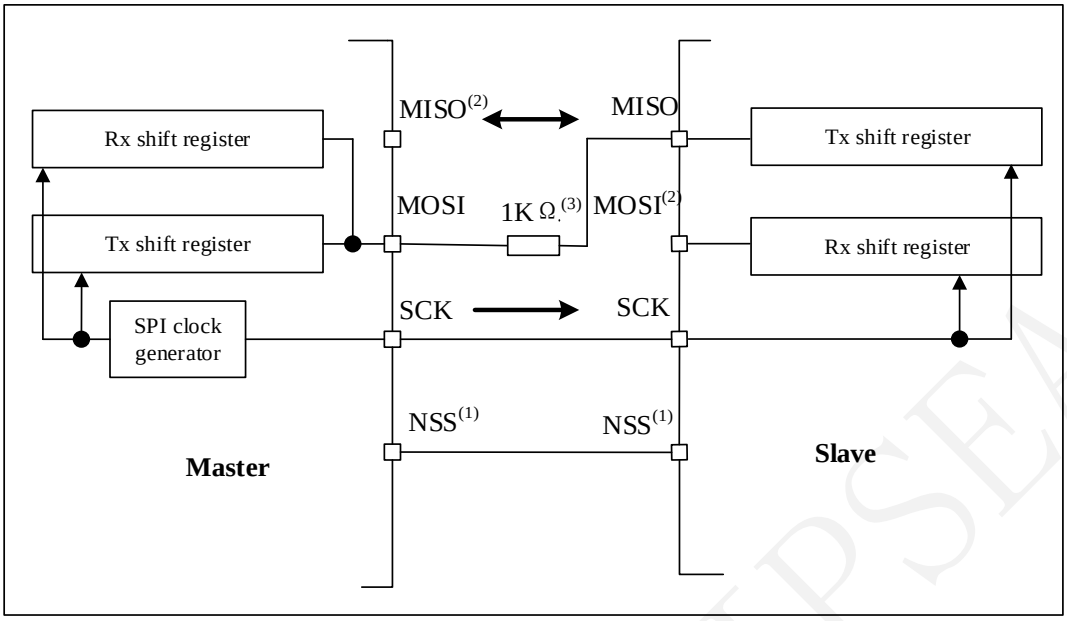
NSS 引脚用于在主机和从机之间的流控。外围设备可以不使用该引脚，不使用该引脚时主机和从机内部要有流控机制

半双工通信

通过设置 SPIx_CTR1 寄存器中的 SBMODE 位，SPI 可以设置为半双工模式。在此配置中，使用一条信号线将主机和从机的移位寄存器链接在一起。在此通信期间，数据在 SCK 时钟沿的移位，主机和从机通过其 SPIx_CTR1 寄存器中的 SBOEN 位相互选择传输方向。在此配置中，主机的 MISO 引脚和从机的 MOSI 引脚可以作为 GPIO 使用 。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 233 半双工单主机/单从机的应用



1. NSS 引脚可用于在主机和从机之间的流控 。外围设备可以不使用该引脚，不使用该引脚时主机和从机内部要有流控机制
2. 在此配置中，主机的 MISO 引脚和从机的 MOSI 引脚可用作 GPIO。
3. 一种最严苛的情况是，在通信时，两个工作在双向模式的节点之间没有同步的进行方向切换，新的发送方访问公用的数据线时，前一个发送方仍然保持着与传输线上相反的值状态（这个值取决于 SPI 配置和通信数据）。双方节点在一条公用的通道上，因为提供了相反的输出值，临时地产生冲突，直到下一次，节点能相应的改变方向配置。建议，在 MISO 和 MOSI 管脚之间，插入一个串联电阻，当使用这种互联模式，且出现以上情况时，就能保护输出端以及限制电涌。

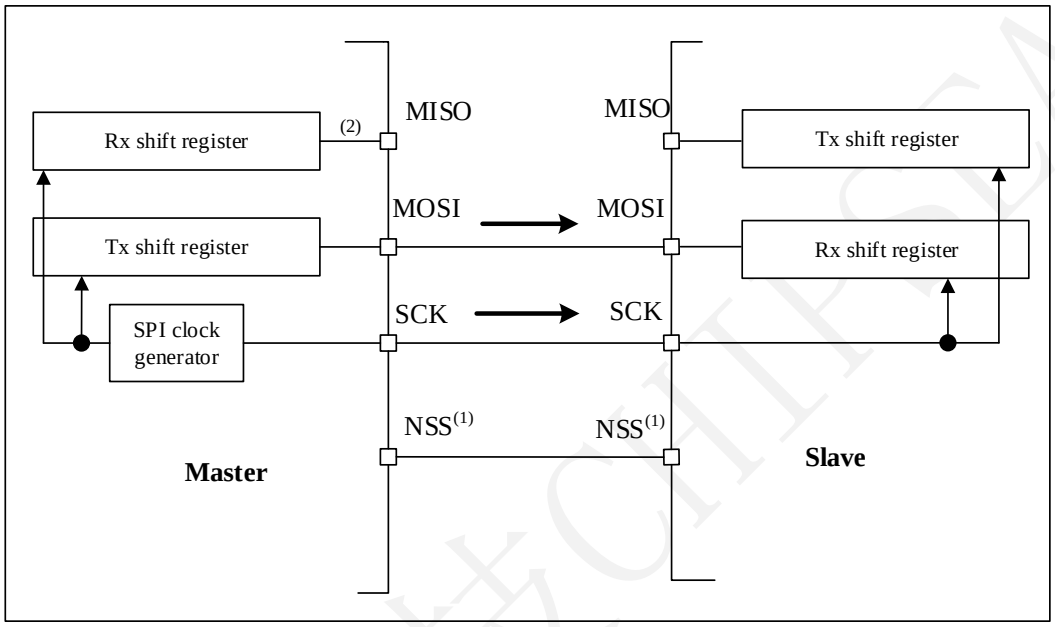
简单通信

将 SPI 设置为只发送模式（设置 SPIx_CTR2 寄存器中的 ROM 位），SPI 用单工模式进行通信。在这种配置中，只有一条线用于主机和从机的数据传输。剩余的 MISO 和 MOSI 引脚对不用于通信，可用作标准 GPIO。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- **仅发送模式（ROM = 0）**配置设置与全双工相同。使用时必须忽略未使用的输入引脚上捕获的信息。该引脚可用作标准 GPIO。
- **仅接收模式（ROM = 1）**应用可以设置 ROM 的位来禁用 SPI 输出功能。在从机配置中，MISO 输出被禁用，引脚可用作 GPIO。当从机选择信号有效时，从机会继续接收 MOSI 引脚的数据。接收的数据事件的出现取决于数据缓冲区配置。在主机配置中，MOSI 输出被禁用，引脚可用作 GPIO。只要 SPI 使能，就会连续产生时钟信号。停止时钟的唯一方法是清除 ROM 位或 SPIEN 位，并等待 MISO 引脚的输入数据完成并把数据填充到数据缓冲区，具体取决于其配置。

图 234 单工主机/从机的应用（主机仅发送模式/从机仅接收模式）



1. NSS 引脚可用于在主机和从机之间的流控 。外围设备可以不使用该引脚，不使用该引脚时主机和从机内部要有流控机制
2. 在仅发送模式下，在发送器 Rx 移位寄存器的输入端捕获意外输入数据时，忽略与发送器接收流程相关的所有事件(例如 RXOFERR 标志) 。
3. 在此配置中，两个 MISO 引脚均可用作 GPIO。

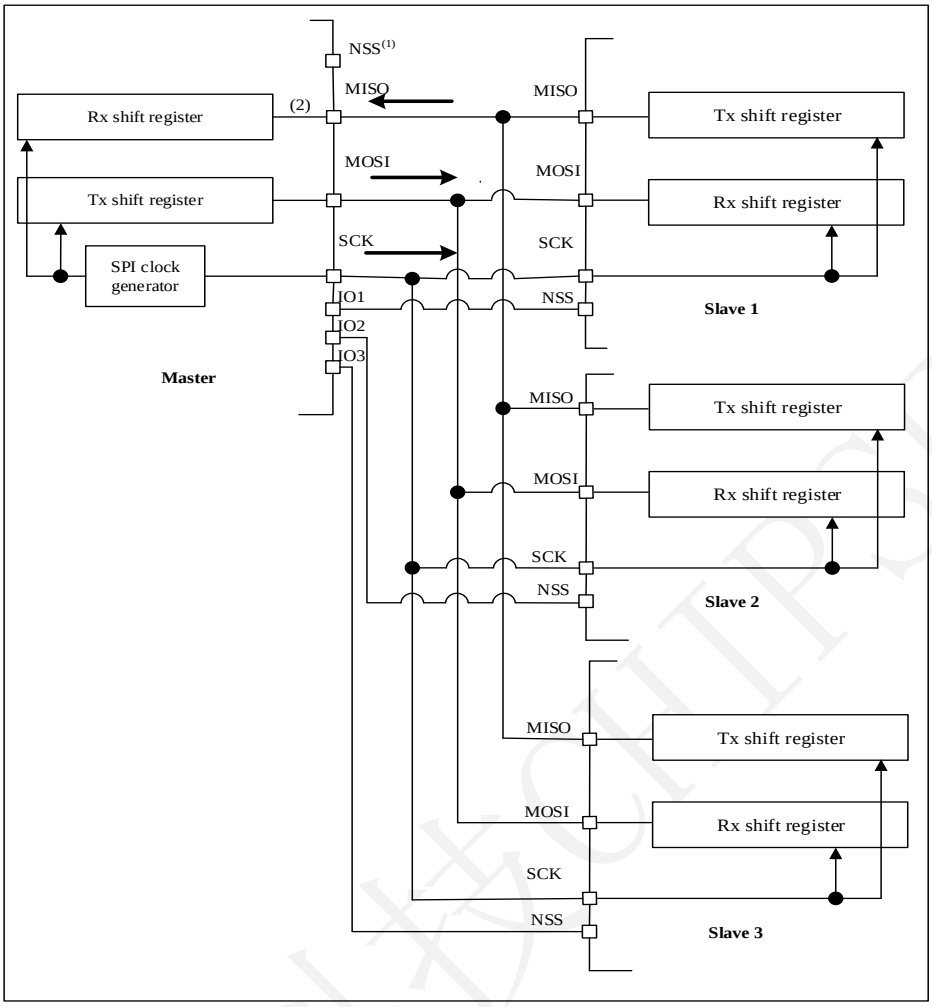
注意：简单通信模式都可以被一个固定传输方向的半双工通信模式替代。

23.2.3 标准多从机通信

在有两个或更多独立从机的配置中，主机使用 GPIO 引脚来管理每个从机的片选线（见图 235）。 主机必须通过拉低连接到从机的 NSS 输入的 GPIO 来单独选择其中一个从机。 完成此操作后，将建立标准主机和专用从机的通信。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 235 主机和三个独立的从机



在此配置中，主机侧不使用 NSS 引脚。 它必须在内部进行管理（SWNSSM = 1，NVSWNSSM = 1）以防止任何 MMERR 错误。

由于从机的 MISO 引脚连接在一起，所有从器件必须将其 MISO 引脚的 GPIO 配置设置为开漏功能的备用功能。

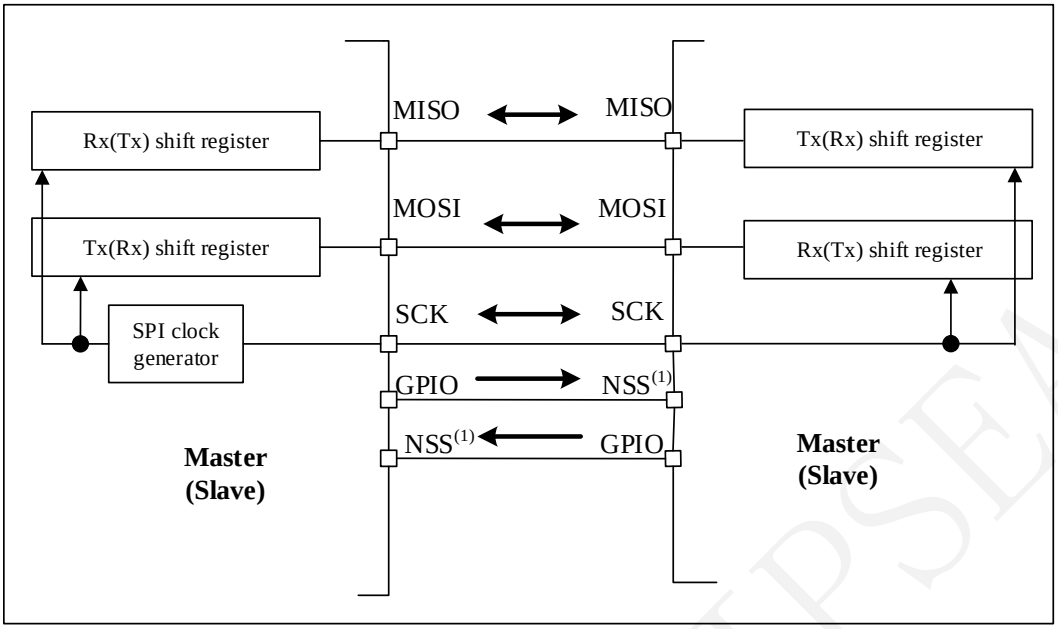
23.2.4 多主机通信

SPI 总线主要不是为多主机功能而设计的，用户可以使用内置功能来检测两个主机同时控制总线的冲突。对于此检测，NSS 引脚用于在硬件输入模式下配置，两个以上 SPI 主机同时控制总线是不允许的，因为只有一个主机可以控制数据总线。当 SPI 处于非活动状态时，默认情况下都保持从模式。一旦一个节点想要获取总线的控制权，它就会切换到主模式，并通过专用的 GPIO 引脚在另一个节点的从选择输入上施加有效电平。通信结束后，有效从选择信号被释放，主机返回到原来的从模式，等待下一个通信开始。

如果两个主机同时发出总线控制请求（请参阅模式故障 MMERR 事件）。用户可以采用一些简单的仲裁过程（例如，通过在两个节点处预定义不同超时时间来推迟下一次总线控制请求）。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 236 多主机的应用



1. NSS 引脚在两个节点的硬件输入模式下配置。其有效电平启用 MISO 线路输出控制，因为被动节点配置为从机。

23.2.5 从选择（NSS）的引脚管理

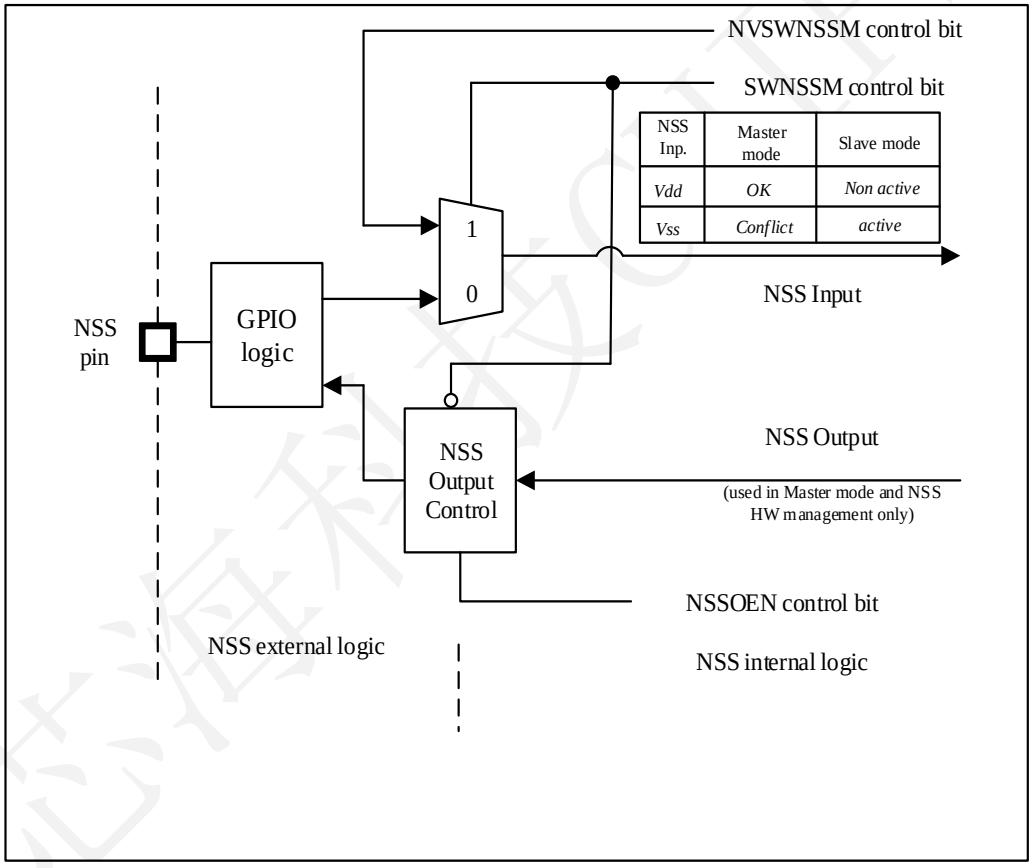
在从模式下，NSS 作为标准片选信号，并让从机与主机通信。在主模式下，NSS 可用作输出或输入。作为输入，它可以防止多主机总线冲突；作为输出，它可以驱动单个从机的从机选择信号。

可以使用 SPIx_CTR1 寄存器中的 SWNSSM 位设置硬件或软件从选择管理：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 软件 NSS 管理（SWNSSM = 1）：在此配置中，从机选择信息由寄存器 SPIx_CTR1 中的 NVSWNSSM 位内部驱动。外部 NSS 引脚可以供其他应用使用。
- 硬件 NSS 管理（SWNSSM = 0）：在这种情况下，有两种可能的配置。使用的配置取决于 NSS 输出配置（寄存器 SPIx_CTR1 中的 NSSOEN 位）。
  - NSS 输出使能（SWNSSM = 0，NSSOEN = 1）：此配置仅在 MCU 设置为主机时使用。NSS 引脚由硬件管理。一旦 SPI 在主模式（SPIEN = 1）下使能有效，NSS 信号就被驱动为低电平，并保持低电平直到 SPI 被禁止（SPIEN = 0）。如果激活 NSS 脉冲模式（NSSPM = 1），则可以在连续通信之间生成脉冲。使用此 NSS 设置时，SPI 无法在多主机配置中工作。
  - NSS 输出禁用（SWNSSM = 0，NSSOEN = 0）：如果微控制器充当总线上的主机，则此配置允许多主机功能。如果在此模式下 NSS 引脚被拉低，SPI 将进入主模式故障状态且自动配置为从模式。在从模式下，NSS 引脚用作标准“片选”输入，在 NSS 线为低电平时选择从机。

图 237 硬件/软件从机选择管理



23.2.6 通信格式

在 SPI 通信期间，接收和发送操作同时执行。串行时钟 SCK 同步和采样信号线的数据。通信格式取决于时钟相位，时钟极性和数据帧格式。为了能够一起通信，主机和从机必须采用相同的通信格式。

时钟相位和极性控制

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

软件可以通过配置 SPIx_CTR1 寄存器中的 CPOL 和 CPHA 位来选择时钟的极性和相位。当没有数据传输时，CPOL（时钟极性）位控制时钟的空闲状态值。该位影响主模式和从模式。如果 CPOL 复位，则 SCK 在空闲状态是低电平。如果 CPOL 置 1，则 SCK 在空闲状态是高电平。

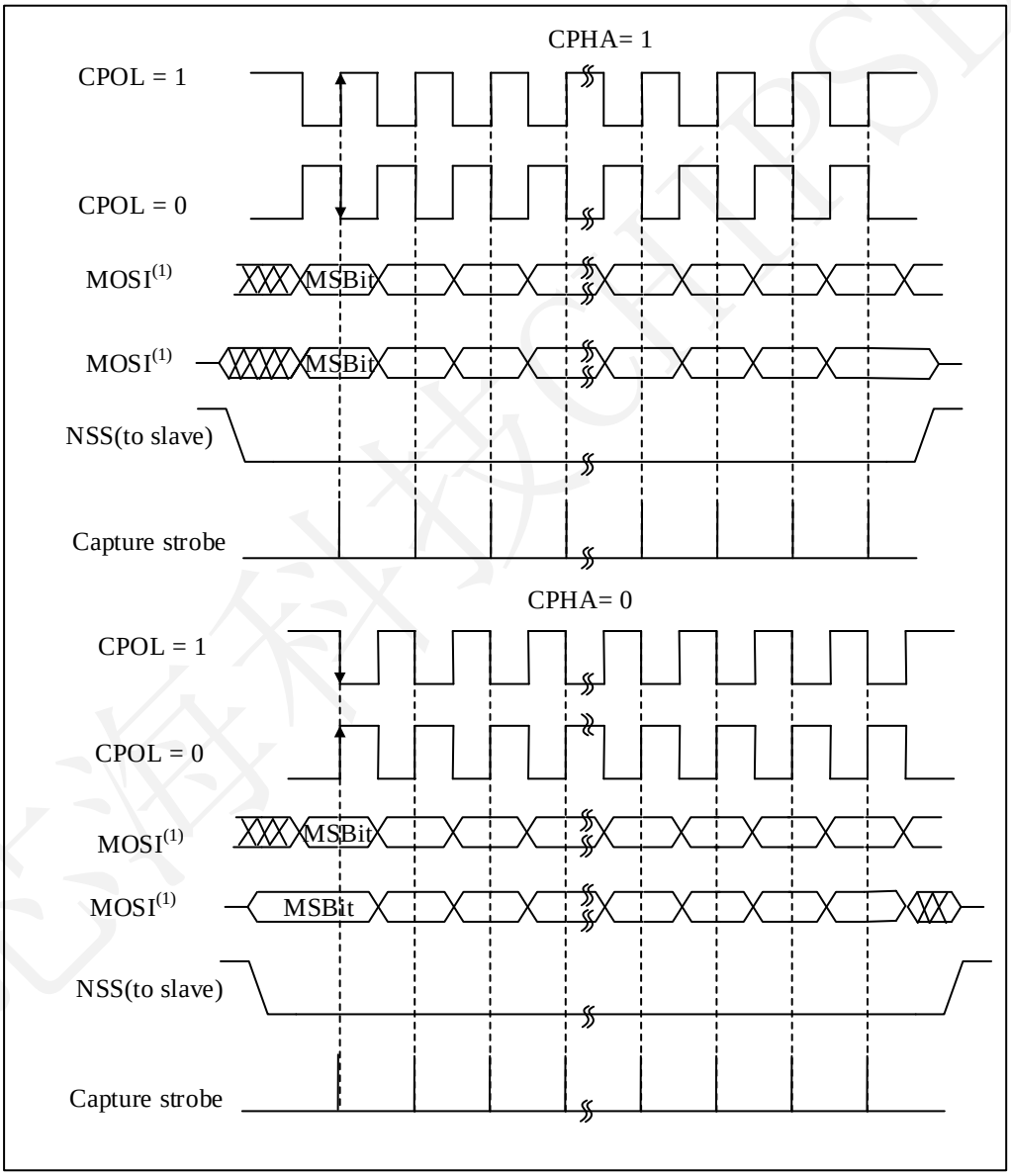
如果 CPHA 位置 1，在 SCK 的第二个边沿采样第一个数据位（如果 CPOL 位为 0，下降沿采样，如果 CPOL 为 1，则在上升沿采样）。 数据在时钟的上升沿或下降沿进行锁存。 如果 CPHA 为 0，则在 SCK 的第一个边沿采样第一个数据位（如果 CPOL 位为 1，下降沿采样，如果 CPOL 位为 0，上升沿采样）。

通过 CPOL（时钟极性）和 CPHA（时钟相位）的组合来选择数据采样的时钟边沿。

图 238 显示了具有 CPHA 和 CPOL 位的四种组合的 SPI 全双工传输。

注：在更改 CPOL/CPHA 位之前，必须通过复位 SPIEN 位禁止 SPI。SCK 的空闲状态必须与 SPIx_CTR1 寄存器中选择的极性相对应（如果 CPOL = 1，则上拉 SCK，如果 CPOL = 0，则下拉 SCK）。

图 238 数据时钟时序图



数据位的顺序取决于 LSBF 位的设置。

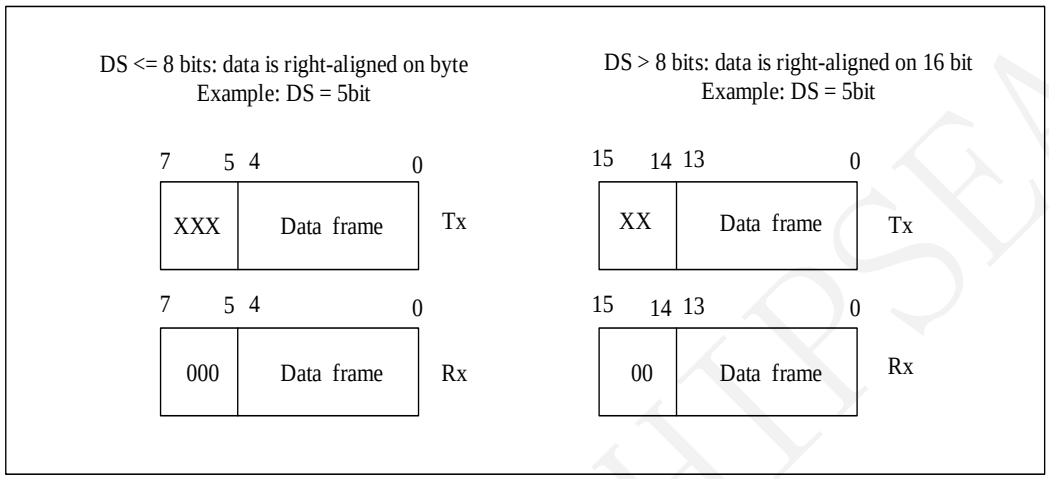
数据帧格式 SPI 移位寄存器可以设置为移出 MSB 优先或 LSB 优先，具体取决于 LSBF 位的值。使用

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

DLEN 位选择数据帧大小。它可以设置为 4 位到 16 位长度，该设置适用于发送和接收。无论选择何种数据帧大小，对 FIFO 的读访问必须与 RXNE8 阈值匹配。当访问 SPIx_DATA 寄存器时，数据帧总是右对齐成一个字节（数据填充成一个字节）或一个半字（见图 239）。在通信期间，仅发送数据帧内的数据。

数据帧格式

图 239 数据长度不等于 8 位或 16 位时的数据对齐



注意：最小数据长度为 4 位。如果选择小于 4 位的数据长度，则强制为 8 位数据帧大小。

23.2.7 SPI 的配置

主机和从机配置过程几乎相同。 有关特定模式配置，请按照特定部分进行配置。 要初始化标准通信时，请按照以下步骤配置：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1. 写入适当的 GPIO 寄存器：为 MOSI，MISO 和 SCK 引脚配置 GPIO。
2. 写入 SPI_CTR1 寄存器：
   a) 使用 CRSEL [3:0]位配置串行时钟波特率（注 4）。
   b) 配置 CPOL 和 CPHA 位组合来决定传输数据和串行时钟之间的关系（必须在 NSSPM 模式下清除 CPHA）。（注 2 - 除了在 TI 模式下启用 CRC 的情况）。
   c) 通过配置 ROM 或 SBMODE 和 SBOEN 选择单工或半双工模式（不能同时设置 ROM 和 SBMODE）。
   d) 配置 LSBF 位来定义帧格式（注 2）。
   e) 如果需要使用 CRC 校验功能 ，需要配置 CRC16 和 CRCEN 位（SCK 时钟信号处于空闲状态）
   f) 配置 SWNSSM 和 NVSWNSSM（注 2 和 3）。
   g) 配置 SPIM 位（在多主机 NSS 配置中，如果主机配置为防止 MMERR 错误，则避免 NSS 上的冲突状态）。
3. 写入 SPI_CTR2 寄存器：
   a) 配置 DLEN [3:0]位来选择传输的数据长度。
   b) 配置 NSSOEN（注 1 和 2 和 3）。
   c) 如果需要 TI 协议，则将 TIEN 位置 1（在 TI 模式下保持 NSSPM 位清零）。
   d) 如果两个数据帧之间需要 NSS 脉冲，则设置 NSSPM 位（在 NSSPM 模式下保持 CHPA 和 TI 位清零）。
   e) 配置 RXNE8 位。 RXFIFO 阈值必须与 SPIx_DATA 寄存器的读访问大小对齐。
   f) 如果在打包模式下使用 DMA，则初始化 DMATXODD 和 DMARXODD 位。
4. 写入 SPI_CRCPOLYR 寄存器：如果需要，配置 CRC 多项式。
5. 配置 DMA 寄存器：配置 DMA 中相关的寄存器来控制 SPI 发送和接收的数据流 。

注意：

（1） 从模式下不需要步骤。
（2） TI 模式下不需要步骤。
（3） NSSPM 模式下不需要步骤。
（4） 除从机工作在 TI 模式外，从模式下不需要该步骤。

23.2.8 启用 SPI 的过程

建议在主机驱动 SCK 时钟之前使能 SPI 从机。如果不使能从机，则可能发生不期望的数据传输。从机的数据寄存器必须在与主机通信开始之前准备好要发送的数据（如果 SCK 是连续的，在 SCK 的第一个边沿到数据传输结束前从机都要提前准备好数据）。在 SPI 从机使能之前，必须将 SCK 信号置于与所选极性相对应的空闲状态的电平。

当 SPI 使能且 TXFIFO 不为空时，或者下一次写入 TXFIFO 时，全双工（或任何仅发送模式）的主机开始通信。

在任何主接收模式（ROM = 1 或 SBMODE = 1 和 SBOEN = 0）下，主机开始通信，并且在 SPI 使能后，主机立即驱动 SCK 时钟。

要处理 DMA，请按照专用部分进行操作。

23.2.9 数据发送和接收流程

RXFIFO 和 TXFIFO

所有 SPI 数据传输都通过内部 32 位数据 FIFO。这使 SPI 能够连续工作，并在数据帧大小较短时防止

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

溢出。每个方向都有自己的数据 FIFO，称为 TXFIFO 和 RXFIFO。除了仅启用 CRC 计算的接收器模式（从机或主机）外，这些数据 FIFO 用于所有 SPI 模式（见第 28.5.14 节：CRC 计算）。

FIFO 的处理取决于数据通信模式（双工，单工）、数据帧格式（数据帧的位数）、访问 FIFO 寄存器的数据大小（8 位或 16 位）、以及访问 FIFO 时是否使用数据打包。

SPIx_DATA 寄存器的读访问返回存储在 RXFIFO 中但尚未读取的值。SPIx_DATA 寄存器的写访问将写入的数据存储在 TXFIFO 中。读访问必须始终与 SPIx_CTR2 寄存器中 RXNE8 位配置的 RXFIFO 阈值对齐。 TXFIFOS[1:0]和 RXFIFOS[1:0]位表示两个 FIFO 的当前空满程度。

必须通过 RXNE 事件管理对 SPIx_DATA 寄存器的读访问。当数据存储在 RXFIFO 中并且达到阈值（由 RXNE8 位定义）时，将触发此事件。当 RXNE 被清除时，RXFIFO 被认为是空的。以类似的方式，由 TXE 事件管理要发送的数据帧的写访问。当 TXFIFO 的空满级别小于或等于其容量的一半时，将触发此事件。否则 TXE 被清除，TXFIFO 被视为已满。当数据帧格式不大于 8 位时，RXFIFO 最多可以存储 4 个数据帧，TXFIFO 最多只能存储 3 个数据帧。当软件试图以 16 位模式将更多数据写入 TXFIFO 时，这种差异可防止已存储在 TXFIFO 中的 3x 8 位数据帧可能损坏。 TXE 和 RXNE 事件都可以通过中断或轮询进行处理。

管理数据传输的另一种方法是使用 DMA。

如果在 RXFIFO 满时接收到下一个数据，则会发生溢出事件，可以通过中断或轮询处理溢出事件。

BUSY 已置位为 1 表示当前数据帧的正在传输中，BUSY 标志在主机的数据帧之间保持置位，但在每个数据帧之间，在从机需要拉低一个 SPI 时钟周期。

数据传输序列处理

可以以单个序列传递一些数据帧以完成传输。，当主机的 TXFIFO 中出现任何数据，启动传输，数据开始发送时钟信号由主机驱动，当 TXFIFO 为空，主机不在驱动时钟信号，等待其他待发送数据的写入。

在仅接收模式下，半双工（SBMODE = 1，SBOEN = 0）或单工（SBMODE = 0，ROM = 1）时，主机在 SPI 使能且仅接收模式被激活时立即启动序列。时钟信号由主机提供，并且在主机禁止 SPI 或仅接收模式之前不会停止。到目前为止，主机连续接收数据帧。

虽然主机可以以连续模式驱动数据（SCK 信号是连续的），但它必须考虑从设备的数据处理能力。必要时，主机必须降低通信速率，并驱动较慢的时钟，驱动单独的数据帧，或者驱动的数据帧之间具有足够延迟。注意，在 SPI 模式下，主机或从机没有下溢错误信号，即使从机无法及时准备，主机也可以处理来自从机的数据。从机最好使用 DMA，特别是当数据帧较短且总线速率较高时。

在并行多从机系统中每个传输序列必须通过两个 NSS 脉冲来封装，以便选择其中一个从机进行通信。在单个从机系统中，没有必要用 NSS 控制从机，但通常最好在这里提供脉冲，以使从机与每个数据序列的开头同步。 NSS 可以通过软件和硬件进行管理。

当 BUSY 位置 1 时，它表示数据帧正在传输。当数据帧传输完成时，触发 RXNE 标志。完成最后一位数据的采样后把接收到的数据帧存储到 RXFIFO 中。

禁用 SPI 的过程

禁用 SPI 时，必须遵循本段中描述的禁用过程。在系统进入低功耗模式，外设时钟停止之前执行此操作非常重要。在这种情况下，正在进行的传输可能会被破坏。在某些模式下，禁用过程是停止连续通信运行的唯一方法。

主机在全双工模式或仅发送模式下,当主机不再为传输提供数据时,主机可以结束任何传输事务。在这种情况下，时钟在最后一个数据发送完之后停止。在打包模式下，有奇数个数据帧发送时，必须防止多余字节的发送，必须特别注意打包模式（参见数据打包部分）。这些模式下在禁用 SPI 之前，用户必须遵循标准的禁用过程。当数据帧传输正在进行或下一个数据帧存储在 TXFIFO 中时，此时禁用 SPI，SPI 将不能正确的接收数据帧。

当主机处于任何仅接收模式时，停止时钟的唯一方法是通过 SPIEN = 0 禁用外设。这必须发生在最后一个数据帧传输中的特定时间窗口内，恰好在数据帧第一位数据的采样时间之后和最后一位数据传输开始

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

之前（在最后一个有效数据之后，为了接收完整数量的预期数据帧并防止任何其他无效数据的读取）。在此模式下禁用 SPI 时必须遵循特定的步骤。

当 SPI 被禁用时，接收但未读取的数据仍保存在 RXFIFO 中，并且必须在下次启用 SPI 时处理，然后再开始新的传输。为防止出现未读数据，在禁用 SPI 时确保 RXFIFO 为空，使用正确的禁用过程，或通过控制专用于外设复位的特定寄存器，通过软件复位初始化所有 SPI 寄存器（参见 SPIiRST 位）在 RCC_APBiRST 寄存器中）。

标准禁用程序是软件轮寻 BUSY 状态与 TXFIFOS[1:0] 位来检查传输是否完成，在特殊的情况下有必要检查正在进行的传输是否已经结束，例如：

- 当 NSS 信号由软件管理且主机必须为从机提供正确的结束 NSS 脉冲时。
- 当外围总线中的最后一个数据帧或 CRC 帧传输仍在进行时，完成 DMA 或 FIFO 的传输流。

正确的禁用过程是（除非使用仅接收模式）：

1. 等到 TXFIFOS[1:0] = 00（不再传输数据）。
2. 等到 BUSY = 0（处理最后一个数据帧）。
3. 禁用 SPI（SPIEN = 0）。
4. 读取数据，直到 RXFIFOS[1:0] = 00（读取所有接收的数据）。

某些仅接收模式的正确禁用过程是：

1. 在最后一个数据帧正在进行时，通过在特定时间窗口禁用 SPI（SPIEN = 0）来中断接收流。
2. 等到 BUSY = 0（处理最后一个数据帧）。
3. 读取数据，直到 RXFIFOS[1:0] = 00（读取所有接收的数据）。

注意：如果使用打包模式且每个数据帧中的有效数据小于或等于 8 位（填充成一个字节），数据帧的个数是奇数，则必须在 RXFIFOS[1:0] = 01 时设置 RXNE8，为了生成 RXNE 事件以读取最后一个奇数数据帧并保持和 FIFO 指针对齐。

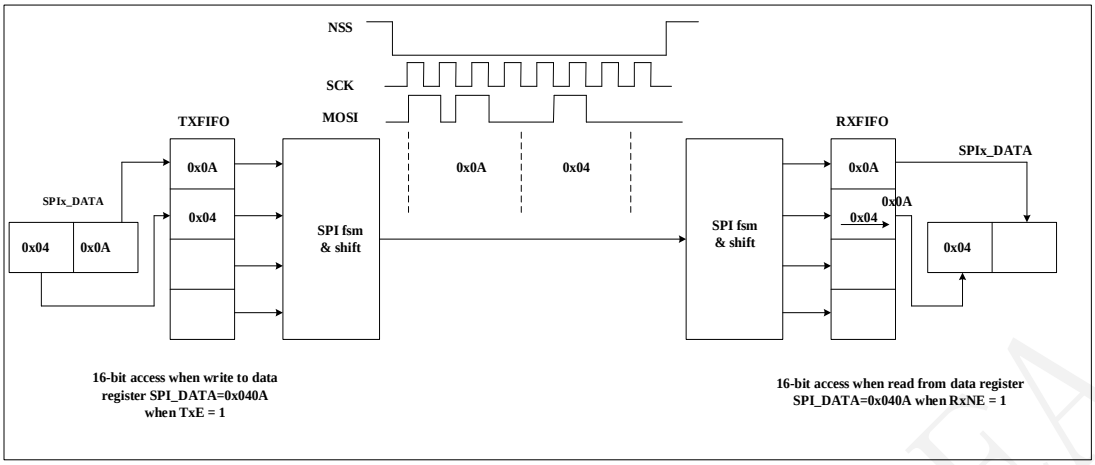
数据打包

当数据帧被填充成一个字节（小于或等于 8 位）时，在 SPIx_DATA 寄存器上执行任何读或写 16 位访问时，将自动使用数据打包功能。在这种情况下，双数据帧模式是并行处理的。首先，SPI 使用存储在被访问字的 LSB 中的模式进行操作，然后将另一半存储在 MSB 中。图 244 提供了数据打包模式序列处理的示例。在单个 16 位访问发送器的 SPIx_DATA 寄存器之后发送两个数据帧。如果 RXFIFO 阈值设置为 16 位（RXNE8 = 0），则此序列可在接收器中仅生成一个 RXNE 事件。然后，接收器必须通过 SPIx_DATA 的单个 16 位读取来访问两个数据帧，作为对此单个 RXNE 事件的响应。 RxFIFO 阈值设置和随后的读访问必须始终在接收器侧保持对齐，否则,数据可能会丢失。

如果必须处理奇数个填充成一个字节的数据帧，就会出现问题。在发送端，使用 8 位访问 SPIx_DATA 写入任何奇数序列的最后一个数据帧就足够了。接收器必须在接收到奇数帧序列中的最后一个数据帧的 Rx_FIFO 阈值，以便产生 RXNE 事件。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 240 用 FIFO 打包数据以进行发送和接收



使用 DMA 进行通信（直接存储器寻址）

为了以最大速度配合数据寄存器读/写过程并避免溢出，SPI 支持 DMA 功能，可实现简单的请求/应答协议。

当 SPIx_CTR2 寄存器中的 TXE 或 RXNE 使能位置 1 时，请求 DMA 访问。必须向 Tx 和 Rx 缓冲区发出单独的请求。

- 在传输中，每次 TXE 设置为 1 时都会发出 DMA 请求。然后 DMA 向 SPIx_DATA 寄存器写入数据。
- 在接收时，每次 RXNE 设置为 1 时都会发出 DMA 请求。然后 DMA 读取 SPIx_DATA 寄存器中的数据。

当 SPI 仅用于传输数据时，可以仅启用 SPI Tx DMA 通道。在这种情况下，设置 RXOFERR 标志是因为未读取接收的数据。当 SPI 仅用于接收数据时，可以仅启用 SPI Rx DMA 通道。

在传输模式下，当 DMA 写入了要传输的所有数据（在 DMA_ISR 寄存器中设置了 TCIF 标志）时，可以监视 BUSY 标志以确保 SPI 通信完成。这是为了避免在禁用 SPI 或进入深度睡眠模式之前破坏最后一次传输。软件必须先等到 TXFIFOS[1:0] = 00 之后还需要等到 BUSY = 0。

使用 DMA 启动通信时，为了防止 DMA 通道管理引发错误事件，必须按顺序执行以下步骤：

1. 如果使用 DMA Rx，则在 SPI_CTR2 寄存器的 DMARXEN 位中使能 DMA Rx 缓冲器。
2. 如果使用 DMA 流控进行搬运数据，在 DMA 寄存器中配置 SPI 发送和接收相关的位来启用 DMA 流控。
3. 如果使用 DMA Tx，则在 SPI_CTR2 寄存器的 DMATXEN 位中使能 DMA Tx 缓冲器。
4. 通过将 SPIEN 位置 1 来使能 SPI。

要关闭通信，必须按顺序执行以下步骤：

1. 如果使用 DMA 流控传输数据，则在 DMA 寄存器中禁用接收和发送相关的 DMA 流控功能
2. 按照 SPI 禁用程序禁用 SPI。
3. 如果使用 DMA Tx 和/或 DMA Rx，则通过清零 SPI_CTR2 寄存器中的 DMATXEN 和 DMARXEN 位来禁用 DMA Tx 和 Rx 缓冲器。

DMA 打包数据

如果传输由 DMA 管理（TXxMAEN 和 SPIx_CTR2 寄存器中设置的 DMARXEN），则根据为 SPI TX 和 SPI RX DMA 通道配置的 PSIZE 值自动启用/禁用打包模式。如果 DMA 通道 PSIZE 值等于 16 位且 SPI 数据大小小于或等于 8 位，则启用打包模式。然后，DMA 自动管理对 SPIx_DATA 寄存器的写操作。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

如果使用数据打包模式且要传输的数据数不是 2 的倍数，则必须设置 DMATXODD / DMARXODD 位。然后，SPI 只考虑传输或接收的一个数据，以便为最后一次 DMA 传输提供服务。

通信时序图

本节将介绍一些典型的时序方案。无论 SPI 事件是通过轮询，中断还是 DMA 处理，这些方案都是有效的。为简单起见，此处普遍使用 LSBF＝0，CPOL＝0 和 CPHA＝1 设置作为假设。没有提供完整的 DMA 流配置。

以下编号说明适用图 241 至图 244。

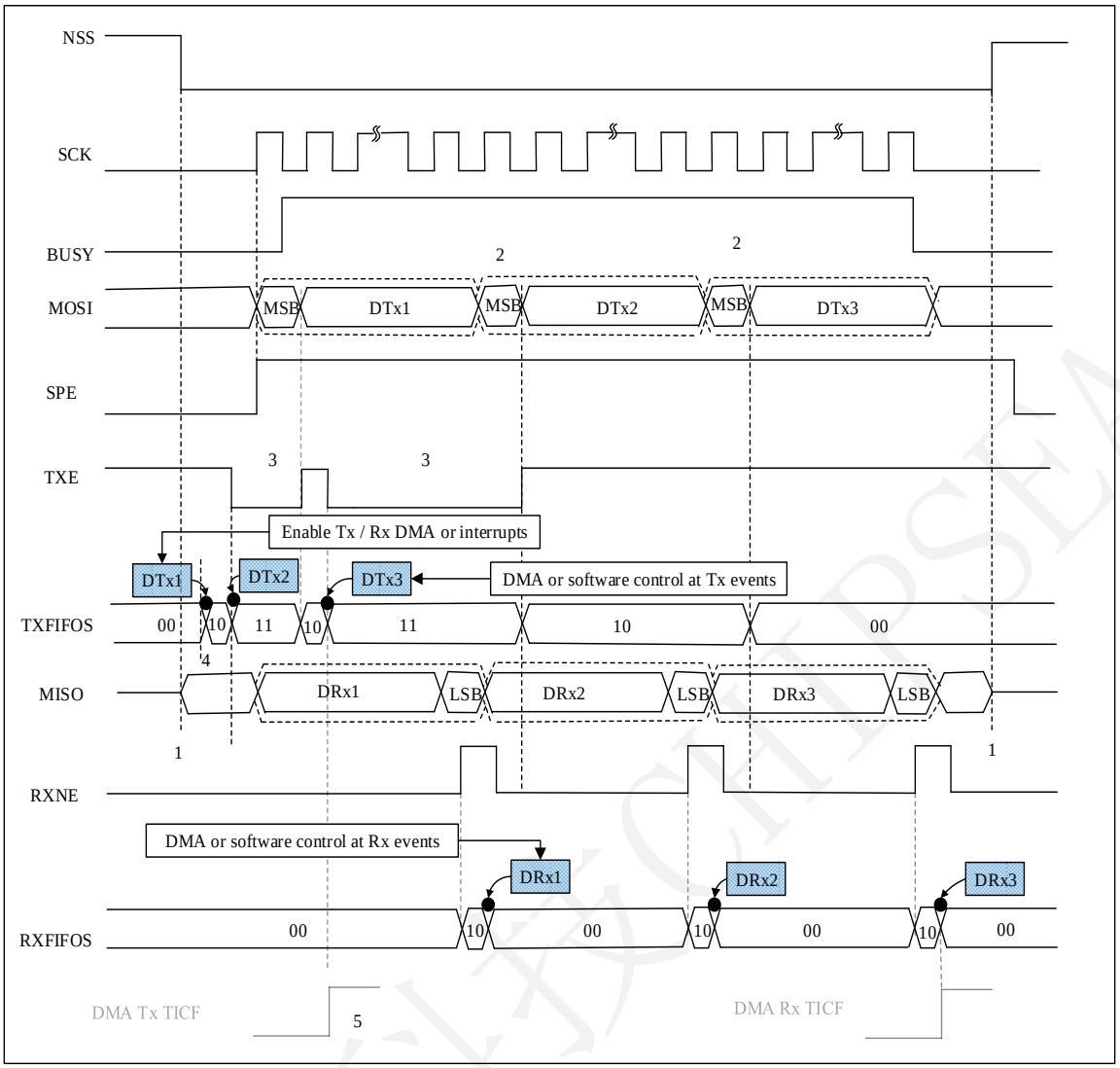
芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1. 当 NSS 处于活动状态且 SPI 已启用时，从机开始控制 MISO 线，当其中的一个信号线释放时断开连接。必须为从机提供足够的时间，以便在传输开始之前提前准备数据给主机。作为主机，只有 SPI 使能时，SPI 外设才能控制 MOSI 和 SCK 信号（偶尔也会在 NSS 信号上）。如果禁用 SPI，则 SPI 外设与 GPIO 逻辑断开，因此这些线路的电平仅取决于 GPIO 设置。
2. 在主机上，如果通信（时钟信号）是连续的，则 BUSY 在数据帧之间保持为 1,。在从机上，BUSY 信号总是在两个数据帧之间至少保持一个时钟周期为 0。
3. 仅当 TXFIFO 已满时，TXE 信号才会被清除。
4. DMA 仲裁处理在 DMATXEN 位置 1 后立即启动。 TXEINTEN 设置后立即生成 TXE 中断。当 TXE 信号处于高电平时，传输数据到 TxFIFO，直到 TxFIFO 变满或 DMA 传输完成。
5. 如果要发送的所有数据都填充进 TxFIFO，可以在 SPI 总线的通信开始之前使 DMA Tx TCIF 标志为高。该标志在 SPI 传输完成之前一直为高。
6. 在 SPIx_TCRC 和 SPIx_RCRC 寄存器中逐帧连续计算打包数据的 CRC 值。在整个数据包完成后，通过 DMA 自动处理 CRC 信息（Tx 通道必须设置为要处理的数据帧数）或通过软件（用户必须在最后一个数据帧处理期间处理 NXTCRC 位）处理 CRC 信息。虽然 SPIx_TCRC 中计算的 CRC 值只是由发送器发送出去，但接收到的 CRC 信息被加载到 RxFIFO 中，然后与 SPIx_RCRC 寄存器内容进行比较（如果存在任何差异，可以在此处引发 CRC 错误标志）。这就是用户必须注意从 FIFO 中刷新此信息的原因，可以通过软件读出 RxFIFO 的所有存储内容，也可以通过 DMA 为 Rx 通道预设适当数量的数据帧（数据帧数+ CRC 帧数）（参见示例假设的设置）。
7. 在数据打包模式下，TXE 和 RXNE 事件是成对的，每个对 FIFO 的读/写访问是 16 位宽，直到数据帧数为偶数。如果 TxFIFO 为¾满，则 TXFIFOS 状态保持在 FIFO 满电平。这就是为什么在 TxFIFO 变为½满之前不能存储最后一个奇数据帧的原因。当设置 DMATXODD 控制时，该帧存储到 TxFIFO 中，通过软件或通过 DMA 自动进行 8 位访问。
8. 要在打包模式下接收最后一个奇数据帧，在处理完最后一个数据帧时，必须通过软件设置 RXNE8 = 1 或在设置 DMARXODD 时自动通过 DMA 内部信号将 Rx 阈值更改为 8 位。

图 241 主机全双工通信

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



主机全双工通信示例：

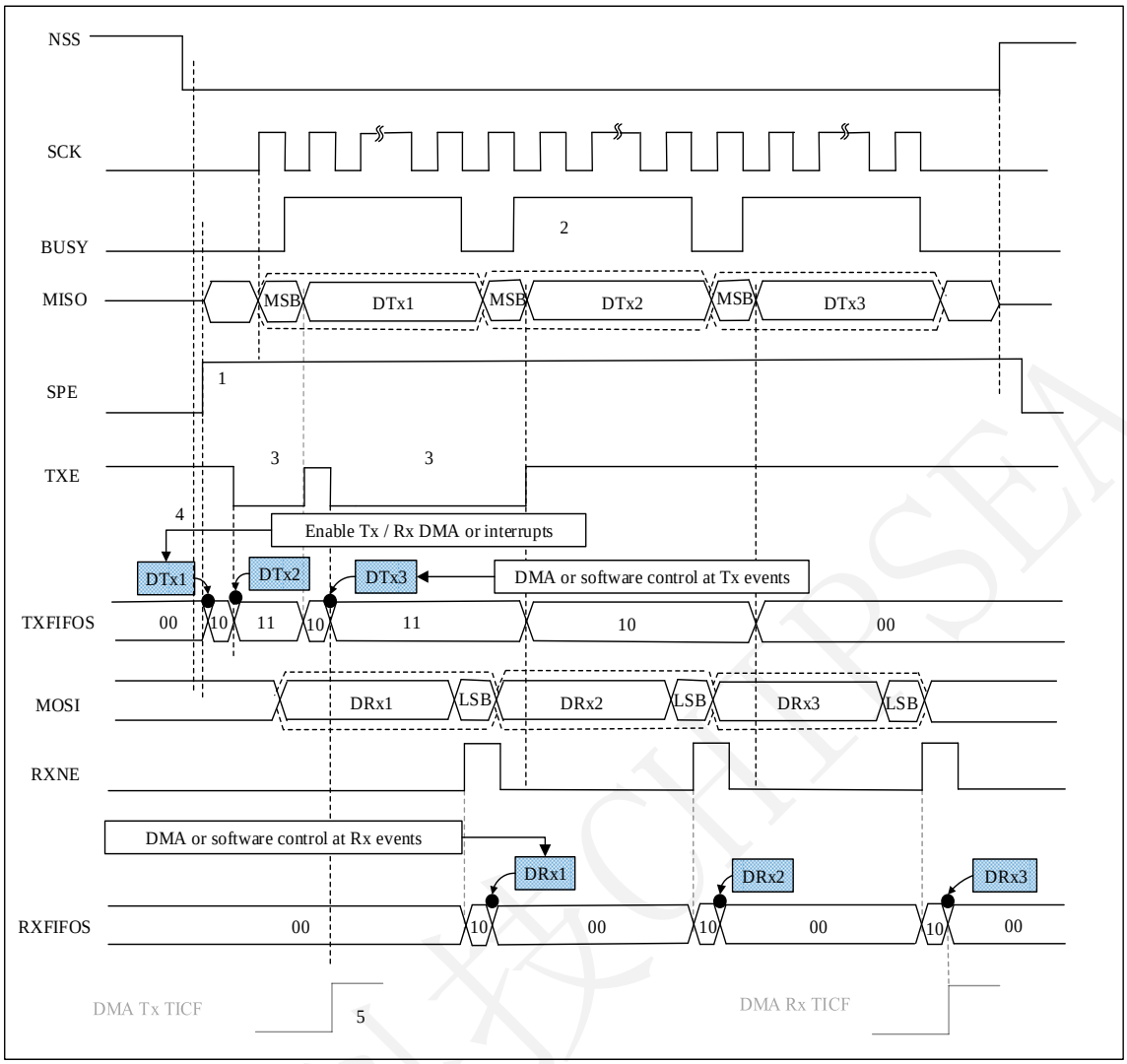
- 数据大小> 8 位

如果使用 DMA：

- DMA 处理的 Tx 帧数设置为 3
- DMA 处理的 Rx 帧数设置为 3

图 242 从机的全双工通信

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



从机全双工通信示例：

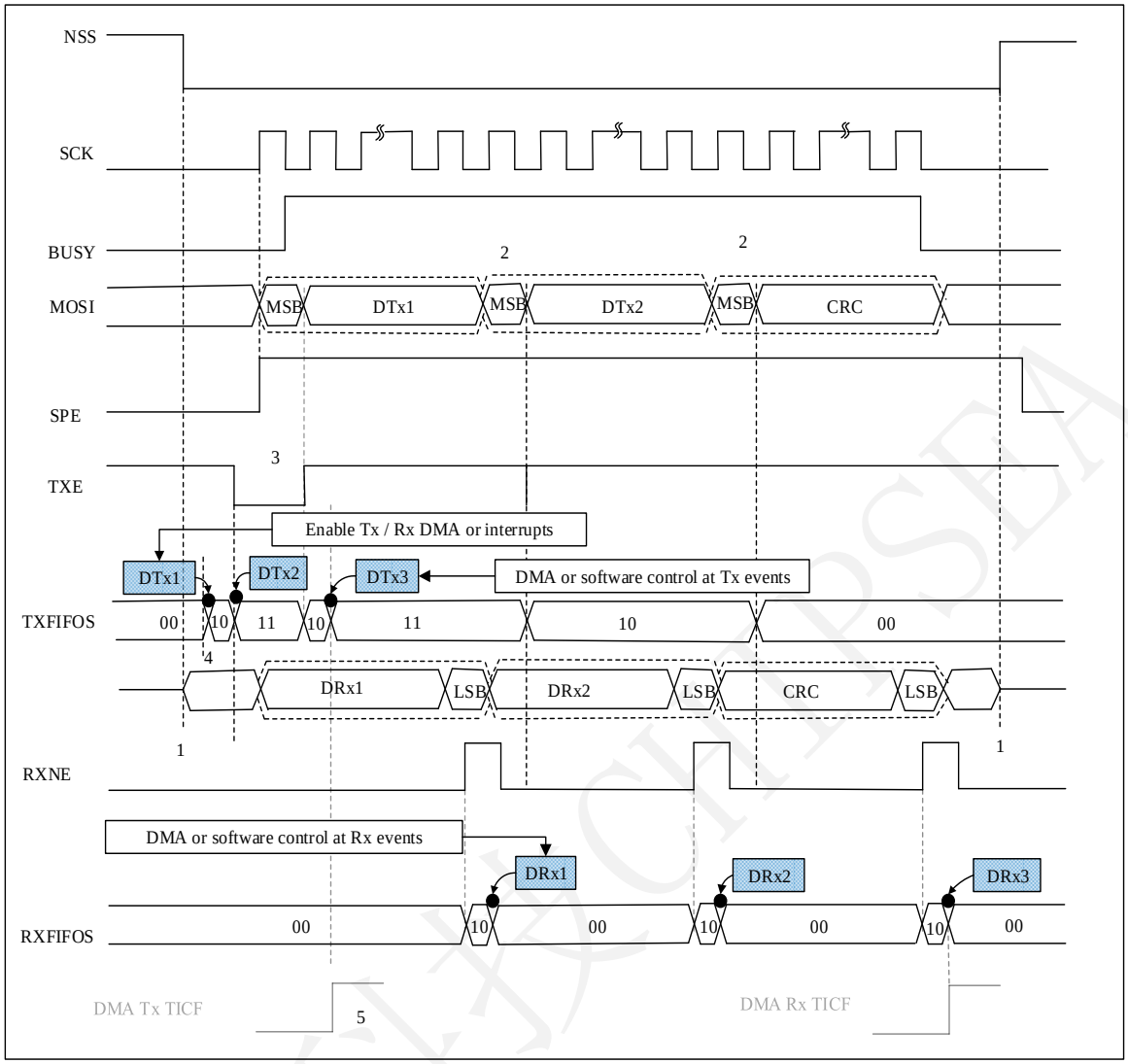
- 数据大小> 8 位

如果使用 DMA：

- DMA 处理的 Tx 帧数设置为 3
- 由 DMA 处理的 Rx 帧数设置为 3

图 243 主机与 CRC 的全双工通信

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



带 CRC 的主全双工通信示例：

- 数据大小= 16 位
- 启用 CRC

如果使用 DMA：

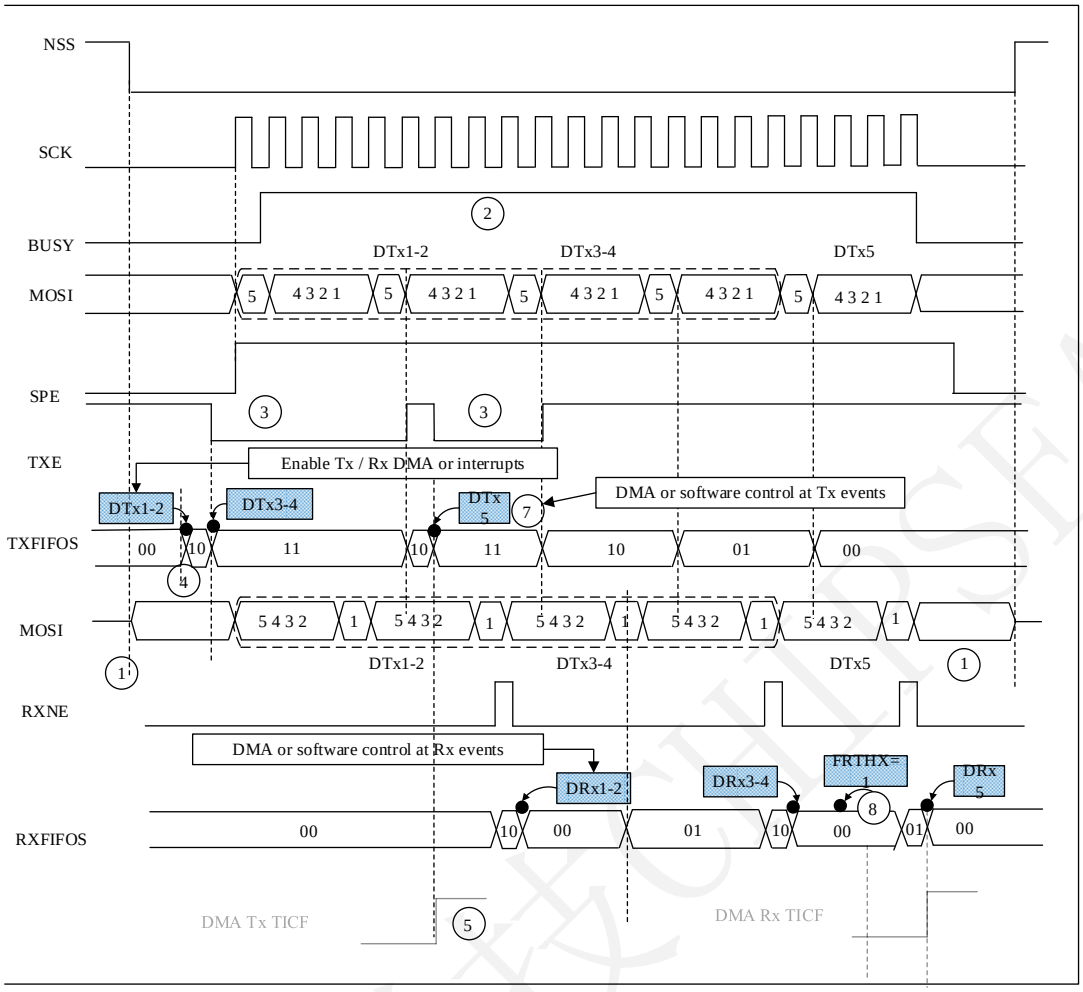
本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- DMA 处理的 Tx 帧数设置为 2
- DMA 处理的 Rx 帧数设置为 3

图 244 打包模式下的主机全双工通信

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA



打包模式下主全双工通信的假设示例：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- 数据大小= 5 位
- 读/写 FIFO 主要通过 16 位访问执行
- RXNE8 = 0

如果使用 DMA：

- DMA 要处理的 Tx 帧数设置为 3
- DMA 要处理的 Rx 帧数设置为 3
- Tx 和 Rx DMA 通道的 PSIZE 设置为 16 位
- DMATXODD = 1 且 DMARXODD = 1

23.2.10 SPI 状态标志

为应用程序提供了三个状态标志用来监测 SPI 总线的状态。

Tx 缓冲区空标志（TXE）

当发送数据缓冲区 TXFIFO 有足够的空间存储将要发送的数据时，将 TXE 标志置位。 TXE 标志链接到数据缓冲区 TXFIFO 的空满级别。该标志保持高电平，直到 TXFIFO 电平低于或等于 FIFO 深度的 1/2。如果 SPIx_CTR2 寄存器中的 TXEINTEN 位置 1，则可以产生中断。当 TXFIFO 电平变得大于 1/2 时，该位自动清零。

Rx 缓冲区不为空（RXNE）

根据 SPIx_CTR2 寄存器中的 RXNE8 位的值设置 RXNE 标志：

- 如果设置了 RXNE8，则 RXNE 变为高电平并保持高电平，直到 RXFIFO 电平大于或等于 1/4（8 位）。
- 如果 RXNE8 清零，则 RXNE 变为高电平并保持高电平，直到 RXFIFO 电平大于或等于 1/2（16 位）。

如果 SPIx_CTR2 寄存器中的 RXNEINTEN 位置 1，则可以产生中断。当上述条件不再成立时，RXNE 将由硬件自动清除。

传输繁忙标志位（BUSY）

BUSY 标志由硬件置 1 和清零（写入该标志无效）。当 BUSY 置 1 时，表示 SPI 上正在进行数据传输（SPI 总线忙）。

BUSY 标志可用于检测某些模式下传输是否结束，由于在系统进入低功耗之后不再为外设提供时钟,软件在检测到 BUSY 位为 0 之后禁用 SPI。这可以避免破坏最后一个数据帧的传输。

BUSY 标志对于防止多主机系统中的写冲突也很有用。

在以下任一条件下清除 BUSY 标志：

- 正确禁用 SPI 时
- 在主模式下检测到故障（MMERR 位设置为 1）时
- 在主模式下，完成数据传输且没有准备好发送新数据时
- 在从模式下，当 BUSY 标志在每次数据传输之间的至少一个 SPI 时钟周期设置为“0”时。

注意：当主机立即处理下一次传输时（例如，如果主机处于仅接收模式或其发送 FIFO 不为空），则通信是连续的，并且 BUSY 标志在传输之间保持设置为“1”。虽然从属设备不是这种情况，但建议始终使用 TXE 和 RXNE 标志（而不是 BUSY 标志）来处理数据传输或接收操作。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

23.2.11 SPI 错误标志

如果设置了以下错误标志之一并通过将 ERRINTEN 位置 1 使能中断，则会产生 SPI 中断。

溢出标志（RXOFERR）

当主机或从机接收到数据并且 RXFIFO 没有足够的空间来存储接收到的数据时，会发生溢出情况。如果软件或 DMA 没有足够的时间来读取先前接收的数据（存储在 RXFIFO 中）或者当数据存储空间有限时，就会发生这种情况。在仅接收模式下启用 CRC 时，RXFIFO 不可用，因此在这种情况下，接收缓冲区被限制在单个数据帧缓冲区中。

发生溢出条件时，新接收的值不会覆盖 RXFIFO 中的前一个值。丢弃新接收的值，随后传输的所有数据都将丢失。通过对 SPIx_DATA 寄存器的读访问以及对 SPIx_STS 寄存器的读访问来完成 RXOFERR 位的清零。

模式故障标志（MMERR）

当主机的内部 NSS 信号（NSS 硬件模式下的 NSS 引脚或 NSS 软件模式下的 NVSWNSSM 位）拉低时，发生模式故障。这会自动置位 MMERR 位。主模式故障通过以下方式影响 SPI 接口：

- 如果 ERRINTEN 位置 1，则 MMERR 位置 1，产生 SPI 中断。
- SPIEN 位清零。这会阻止设备的所有输出并禁用 SPI 接口
- SPIM 位清零，从而强制设备进入从模式。

使用以下软件序列清除 MMERR 位：

1. 当 MMERR 位置 1 时，对 SPIx_STS 寄存器进行读或写访问。
2. 然后写入 SPIx_CTR1 寄存器。

为避免在包含多个 MCU 的系统中发生任何多个从机冲突，在 MMERR 位清零期间必须将 NSS 引脚拉高。在此清零完成之后，SPIEN 和 SPIM 位可以恢复到其原始状态。为安全性考虑，硬件不允许在 MMERR 位置 1 时设置 SPIEN 和 SPIM 位。在从机中，除了先前多主机冲突的结果外，不能设置 MMERR 位。

CRC 错误（CRCERR）

该标志用于验证 SPIx_CTR1 寄存器中的 CRCEN 位置 1 时接收到数据的正确性。如果移位寄存器中接收的值与 CRC 接收寄存器 SPIx_RCRC 值不匹配，则 SPIx_STS 寄存器中的 CRCERR 标志置 1。该标志由软件清除。

TI 模式帧格式错误（NWERR）

当 SPI 在从模式下工作并配置为 TI 模式时，在通信期间发生 NSS 脉冲时，会检测到 TI 模式帧格式错误。发生此错误时，将置位 SPIx_STS 寄存器中的 NWERR 标志。发生错误时，SPI 不会被禁用，NSS 脉冲被忽略，SPI 在开始新的传输之前等待下一个 NSS 脉冲。数据可能被破坏，因为错误检测可能导致两个数据字节的丢失。

读取 SPIx_STS 寄存器时，NWERR 标志清零。如果 ERRINTEN 位置 1，则会在 NSS 错误检测中生成中断。在这种情况下，应禁用 SPI，因为不再保证数据一致性，并且当再次启用从 SPI 时，主机应重新开始通信。

23.2.12 NSS 脉冲模式

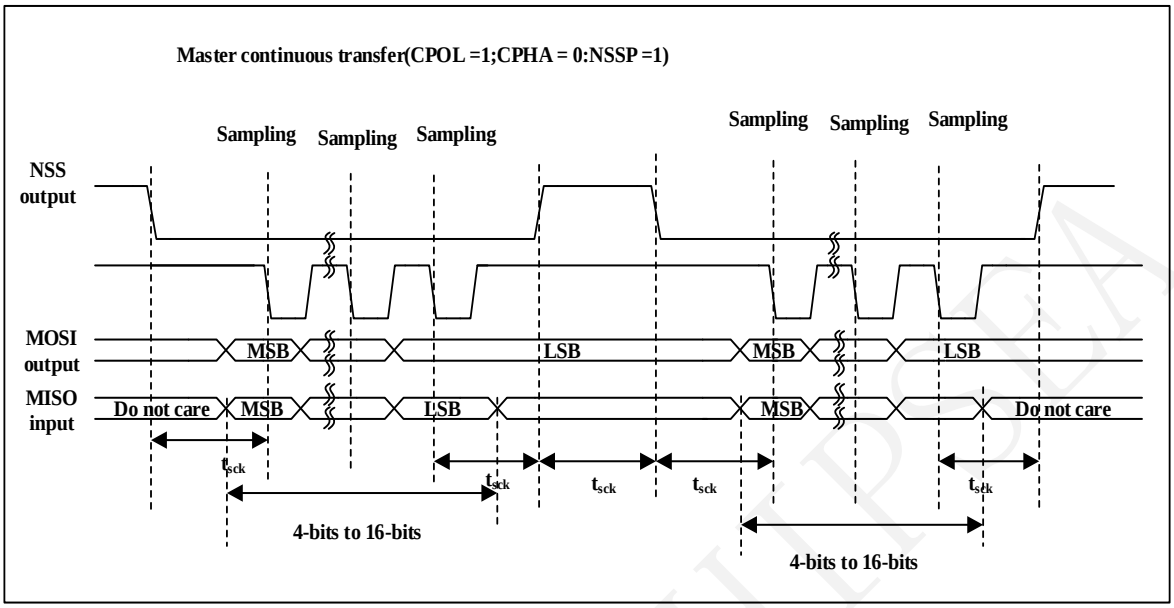
该模式由 SPIx_CTR2 寄存器中的 NSSPM 位激活，仅当 SPI 接口配置为 Motorola（摩托罗拉） SPI 主机（TIEN = 0）并且在第一个边沿捕获时（SPIx_CTR1 CPHA = 0，忽略 CPOL 设置），该模式才会生效。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

当激活时，当 NSS 至少在一个时钟周期的持续时间内保持高电平时，在两个连续数据帧传输之间产生 NSS 脉冲。此模式允许从机锁存数据。 NSSPM 脉冲模式专为具有单主机-单从机的应用而设计。

图 245 说明了启用 NSSPM 脉冲模式时的 NSS 引脚管理。

图 245 Motorola（摩托罗拉） SPI 主模式下的 NSSPM 脉冲生成



注意：当 CPOL = 0 时遇到类似的行为。在这种情况下，采样边沿是 SCK 的上升沿，NSS 断言和反断言指的是此采样边沿。

23.2.13　TI 模式

主模式下 SPI 接口兼容 TI 协议。 SPIx_CTR2 寄存器的 TIEN 位可用于配置 SPI 主机工作在 TI 协议模式下。

不论 SPIx_CTR1 寄存器中设置的值是多少，NSS 管理、时钟极性和相位都必须符合 TI 协议要求。 这种情况下无法通过 SPIx_CTR1 和 SPIx_CTR2 寄存器（SWNSSM，NVSWNSSM，NSSOEN）配置 NSS 管理以及 时钟极性和相位。

在从模式下，SPI 波特率预分频器用于控制当前传输结束时 MISO 引脚状态变为高阻的时刻（见图 246）。可以使用任何波特率，从而可以以最佳灵活性确定此时刻。但是，波特率通常设置为外部主时钟波特率。 MISO 信号变为高阻（$t_{release}$）的延迟取决于内部重新同步以及通过 SPIx_CTR1 寄存器中的 CRSEL [2:0]位设置的波特率值。它由下式给出：

$$\frac{t_{baud_rate}}{2} + 4 \times t_{PCLK} < t_{release} < \frac{t_{baud_rate}}{2} + 6 \times t_{PCLK}$$

如果从机在数据帧传输期间检测到错位的 NSS 脉冲，则设置 TINWERR 标志。

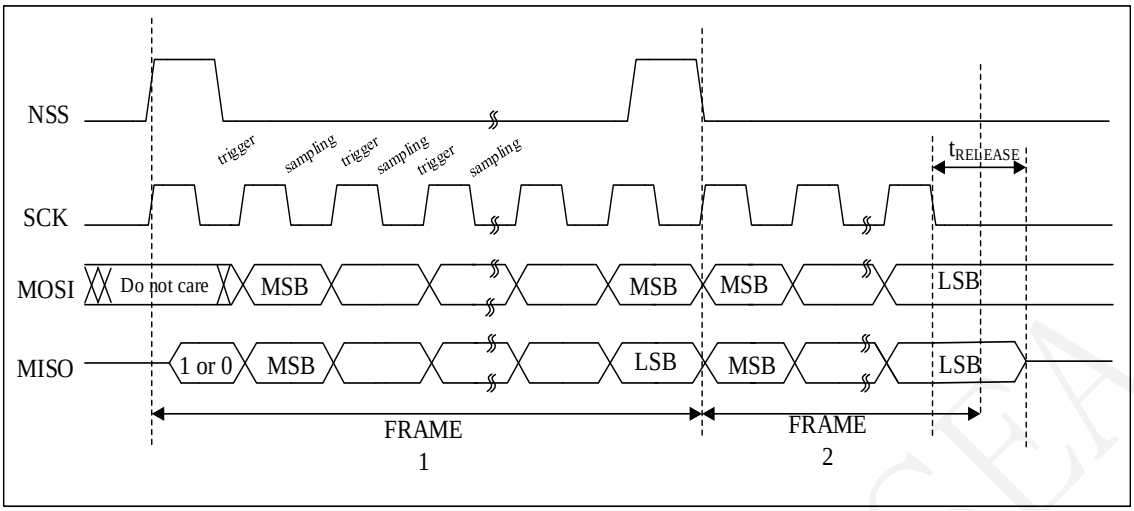
如果数据大小等于 4 位或 5 位，则全双工模式或仅发送模式下的主机使用在 LSB 之后添加一个伪数据位。 TI NSS 脉冲在此虚拟位时钟周期之上生成，而不是在每个周期中生成 LSB。

此功能不适用于 Motorola（摩托罗拉） SPI 通信（TIEN 位设置为 0）。

图 246 显示了 选择 TI 模式时的 SPI 通信波形。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 246 TI 模式传输



23.2.14　CRC 计算

实现两个单独的 CRC 计算器，以检查发送和接收数据的可靠性。 SPI 提供 CRC8 或 CRC16 计算，与帧数据长度无关，可以固定为 8 位或 16 位。对于所有其他数据帧长度，没有 CRC 可用。

CRC 计算原则

通过在 SPI 使能（SPIEN＝1）之前将 SPIx_CTR1 寄存器中的 CRCEN 位置 1 来使能 CRC 计算。使用每个位上的奇数可编程多项式计算 CRC 值。计算在 SPIx_CTR1 寄存器中的 CPHA 和 CPOL 位定义的采样时钟边沿上进行处理。在数据块的末尾自动检查计算的 CRC 值，以及由 CPU 或 DMA 管理的传输。当在接收数据内部计算的 CRC 与发送器发送的 CRC 之间检测到不匹配时，设置 CRCERR 标志以指示数据损坏错误。处理 CRC 计算的正确过程取决于 SPI 配置和所选的传输管理。

注意：多项式值应该只是奇数。不支持偶数值。

由 CPU 控制的 CRC 传输

通信开始并正常继续，在 SPIx_DATA 寄存器中发送或接收最后一个数据帧时 。配置 SPIx_CTR1 寄存器的 NXTCRC 位为 1 ，以指示在当前的数据帧传输完成之后将发送或接收 CRC 帧。必须在最后一个数据帧传输结束之前设置 NXTCRC 位。 CRC 计算在 CRC 传输期间被冻结。

接收到的 CRC 像数据字节或字一样存储在 RXFIFO 中。这就是为什么仅在 CRC 模式下，接收缓冲器必须被视为用于一次仅接收一个数据帧的单个 16 位缓冲器。

在数据帧发送完成后，需要一个或两个数据帧来发送 CRC 校验数据。设置由 16 位 CRC 校验的 8 位数据帧时，需要两个帧来发送完整的 CRC。

当接收到最后的 CRC 数据时，执行自动检查，比较接收到的值和 SPIx_RCR 寄存器中的值。软件必须检查 SPIx_STS 寄存器中的 CRCERR 标志，以确定数据传输是否已损坏。软件通过向其写入'0'来清除 CRCERR 标志。

CRC 接收后，CRC 值存储在 RXFIFO 中，必须在 SPIx_DATA 寄存器中读取，以清除 RXNE 标志。

由 DMA 控制的 CRC 传输

当 SPI 通信使用 CRC 和 DMA 功能时，通信结束时 CRC 的发送和接收是自动的（除了在仅接收模式下读取 CRC 数据）。 NXTCRC 位不必由软件处理。 SPI 传输 DMA 通道的计数器必须设置为 CRC 帧的

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

个数和数据帧的个数之和。在接收器端，接收到的 CRC 值在传输结束时由 DMA 自动处理，但是用户必须注意从 RXFIFO 中清除接收到的 CRC 信息，因为它始终加载到 RXFIFO 中。在全双工模式下，接收 DMA 通道的计数器可以设置为接收的数据帧数，包括 CRC，这意味着，例如，在由 16 位检查的 8 位数据帧的特定情况下 CRC：

DMA_RX = Number_of_data + 2

- 在仅接收模式下，DMA 接收通道计数器应仅包含传输的数据量，不包括 CRC 计算。基于 DMA 的完整传输，所有 CRC 值必须由软件从 FIFO 读回，因为它在此模式下作为单个缓冲区工作。
- 在数据和 CRC 传输结束时，如果传输期间发生损坏，则 SPIx_STS 寄存器中的 CRCERR 标志置 1。
- 如果使用打包模式，如果数据的数量是奇数，则 DMARXODD 位需要管理。

重置 SPIx_TCRC 和 SPIx_RCRC 值

在 CRC 阶段后对新数据进行采样时，SPIx_TCRC 和 SPIx_RCRC 值会自动清零。这允许使用 DMA 循环模式（在仅接收模式下不可用）以便在没有任何中断的情况下传输数据（中间 CRC 校验阶段覆盖的几个数据块）。

如果在通信期间禁用 SPI，则必须遵循以下顺序：

1. 禁用 SPI
2. 清零 CRCEN 位
3. 使能 CRCEN 位
4. 启用 SPI

注：当 SPI 处于从模式时，只要 CRCEN 位置 1，CRC 计算器就会对 SCK 从机输入时钟敏感，无论 SPIEN 位如何，都是这种情况。为了避免任何错误的 CRC 计算，软件必须仅在时钟稳定（稳定状态）时启用 CRC 计算。

当 SPI 接口配置为从机时，一旦释放 NXTCRC 信号，在 CRC 阶段的传输期间 NSS 内部信号需要保持低电平。这就是为什么当 NSS 硬件模式应该正常应用于从机时，CRC 计算不能用于 NSS 脉冲模式的原因（请参阅产品勘误表中的更多详细信息）。

在 TI 模式下，尽管时钟的相位和极性是固定的且与 SPIx_CTR1 寄存器的设置无关，但如果使用 CRC，则相应的设置 CPOL＝0 CPHA＝1 无论如何都必须保持在 SPIx_CTR1 寄存器中。此外，必须通过 SPI 禁用序列在会话之间重置 CRC 计算，并在主机和从机侧重新启用上述 CRCEN 位，否则在此特定模式下 CRC 计算可能会被破坏。

23.2.15 SPI 中断

在 SPI 通信期间，可以通过以下事件生成中断：

- 传输 TXFIFO 准备加载
- RXFIFO 中接收的数据
- 主模式故障
- 溢出错误
- TI 帧格式错误
- CRC 协议错误

可以单独启用和禁用中断。

表 81 SPI 中断请求

中断事件	中断事件	使能控制位
传输 TXFIFO 准备加载	TXE	TXEINTEN
RXFIFO 接收的数据	RXNE	RXNEINTEN

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

主模式故障事件	MMERR	ERRINTEN
溢出错误	RXOFERR	
TI 帧格式错误	NWERR	
CRC 协议错误	CRCERR	

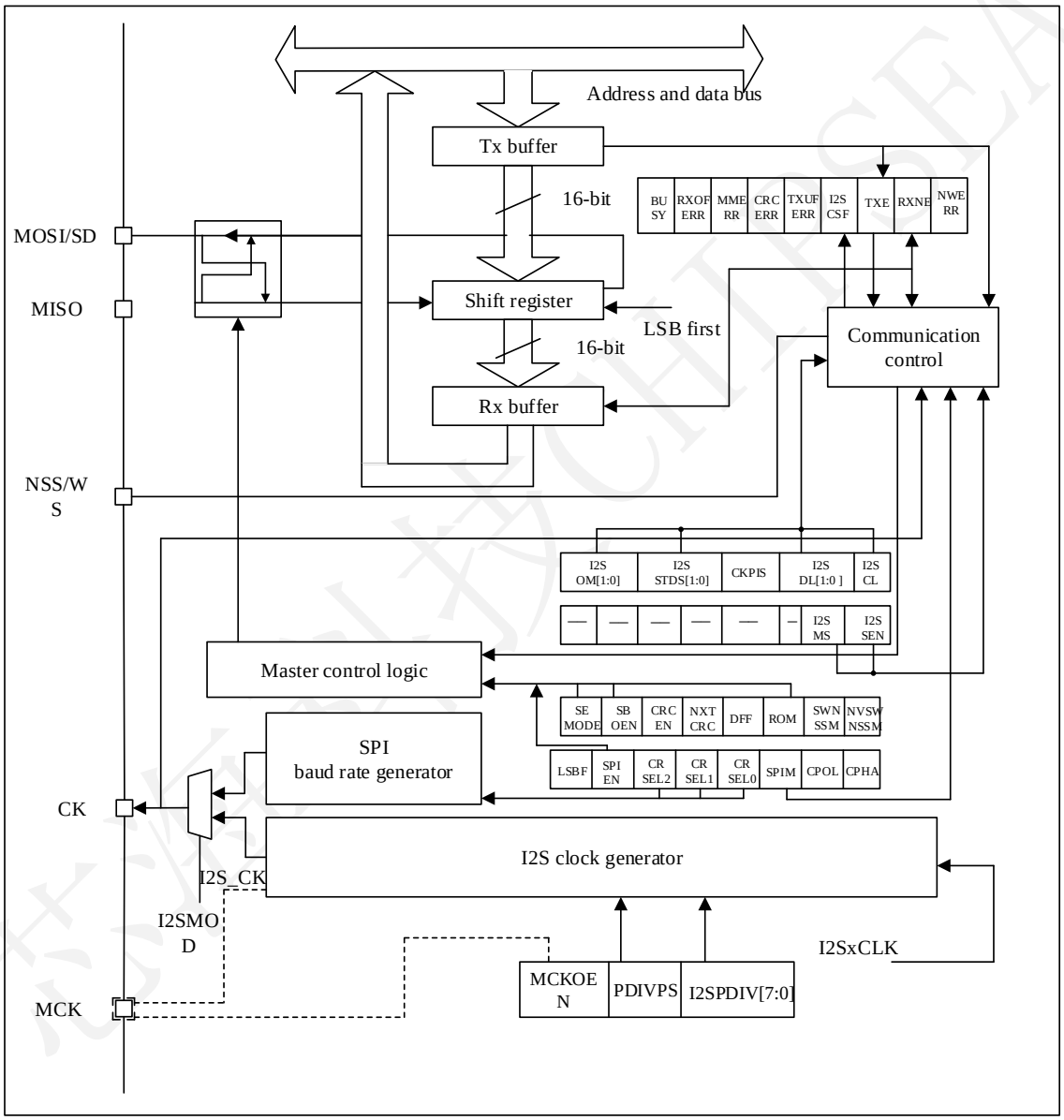
I2S 模块操作

23.3.1 I2S 概述

I2S 框图如图 247 所示。

图 247 I2S 框图

23.3



MCK 映射在 MISO 引脚上。

当 I2S 功能使能时（通过置位 I2S_CTR 寄存器中的 I2SMS 位），SPI 可用作音频 I2S 接口。 该接口使用与 SPI 相同的引脚，标志和中断。

I2S 与 SPI 共用三个引脚：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

- SD：串行数据（MOSI 引脚），用于发送或接收两个通道上的分时复用数据（仅限半双工模式）。
- WS：字选择（NSS 引脚）是在主模式下输出的数据控制信号，在从模式下作为输入。
- CK：串行时钟（SCK 引脚）是主模式下的串行时钟输出和从模式下的串行时钟输入。

当某些外部音频设备需要主时钟输出时，可以使用额外的引脚：

- MCK：使用主时钟（单独映射），当 I2S 配置为主模式，I2S_PDIV 寄存器中的 I2SCL 位置 1 时，输出时钟频率预先设置为 256×f_S，其中 f_S 是音频信号采样频率。

当 I2S 设置为主模式时，它使用自己的时钟发生器产生通信时钟。该时钟发生器也是主时钟输出的时钟源。 I2S 模式下有两个额外的寄存器。一个与时钟发生器配置相关——I2S_PDIV，另一个是通用 I2S 配置寄存器 I2S_CTR（可配置音频标准，从/主模式，数据格式，数据包帧，时钟极性等）。

在 I2S 模式下不使用 SPIx_CTR1 寄存器和所有 CRC 寄存器。同样，不使用 SPIx_CTR2 寄存器中的 NSSOEN 位和 SPIx_STS 中的 MMERR 和 CRCERR 位。

I2S 在 16 位宽传输模式下使用相同的 SPI 寄存器进行数据传输（SPIx_DATA）。

23.3.2 I2S 全双工

图 248 展示了如何使用两个 SPI / I2S 执行全双工通信。在这种情况下，SPI 与 I2S 的 WS 和 CK IO 必须连接在一起。

对于主机全双工模式，SPI / I2S 其中一个模块必须在主机中配置（I2SOM = '10'或'11'），另一个 SPI / I2S 模块必须在从机中配置（I2SOM = '00'）或'01'）。取决于应用程序是否需要生成 MCK。

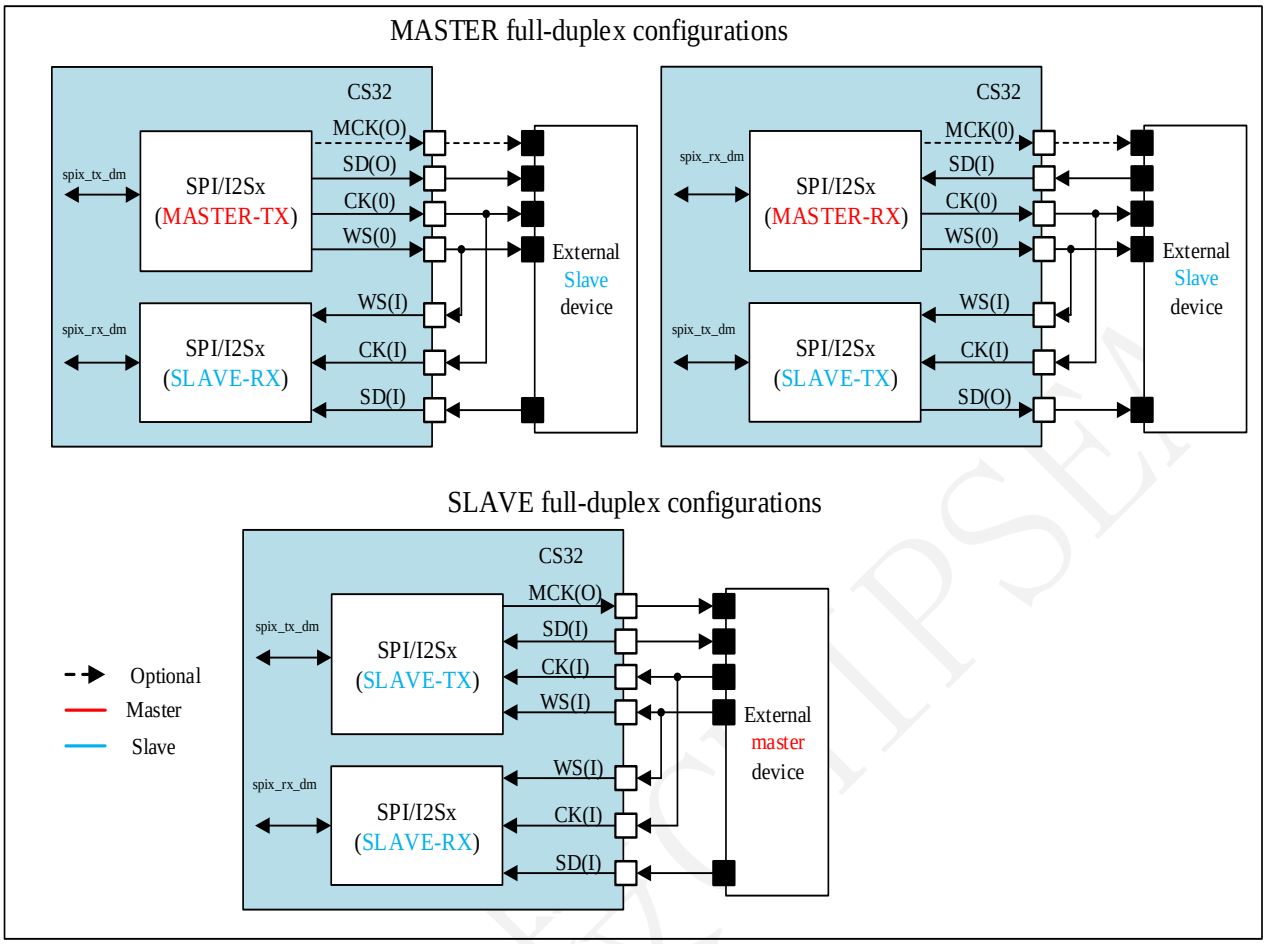
对于从机全双工模式，两个 SPI / I2S 模块必须设置为从模式进行配置。其中一个在从接收器中（I2SOM ='01'），另一个在从发送器中（I2SOM = '00'）。然后，主机外部提供时钟（CK）和帧同步（WS）信号。

请注意，全双工模式可用于所有支持的标准：I2S Philips（飞利浦）标准，MSB 对齐，LSB 对齐和 PCM 标准。

对于全双工模式，两个 SPI / I2S 实例必须使用相同的标准和相同的参数：I2SMS，I2SSTDS，CKPIS，PCMLONG，I2SDL 和 I2SCL 必须设置为相同的值。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 248 全双工通信



23.3.3 支持音频协议

三线总线支持 2 个声道的音频数据分时复用：右声道和左声道。但是，只有一个 16 位寄存器用于发送或接收。因此，软件可以通过检查 SPIx_STS 寄存器中的 I2SCSF 位来向数据寄存器写入与每个通道侧相对应的适当值，或者从数据寄存器读取数据并识别相应的通道。始终先发送左声道，然后右声道（I2SCSF 对 PCM 协议没有意义）。

有四个数据和数据包帧的组合可供使用。数据可以采用以下格式发送：

- 16 位数据打包在 16 位帧中
- 16 位数据打包在 32 位帧中
- 24 位数据打包在 32 位帧中
- 32 位数据打包在 32 位帧中

当使用 16 位数据扩展到 32 位帧时，前 16 位（MSB）是有效位，后 16 位 LSB 被强制为 0（无需软件操作），也无需 DMA 请求（仅需一次读/写操作）。

24 位和 32 位数据帧需要对 SPIx_DATA 寄存器进行两次 CPU 读或写操作，或者需要两次 DMA 操作。对于 24 位数据帧，最低 8 个非有效位通过置 0 扩展为 32 位（通过硬件）。

对于所有数据格式和通信标准，始终优先发送最高有效位（MSB 优先）。

I2S 接口支持四种音频标准，可使用 I2S_CTR 寄存器中的 I2SSTDS[1:0]和 PCMLONG 位进行配置。

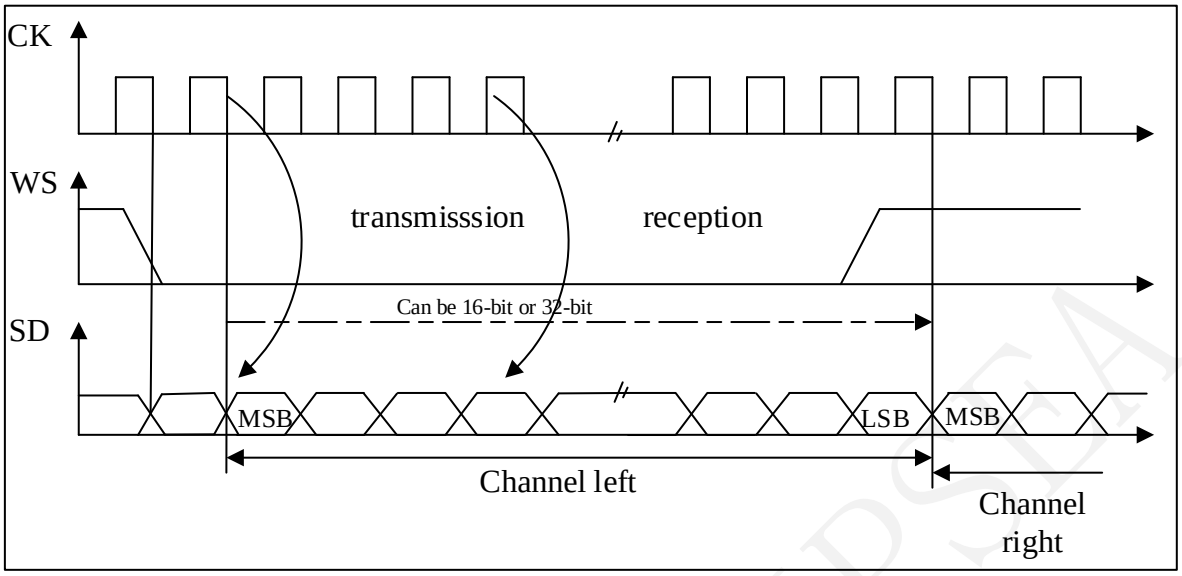
I2S Philips（飞利浦）标准

该标准中，WS 引脚用于指示正在传输数据的信道。在最高有效位（MSB）发送的前一个周期，WS 引

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

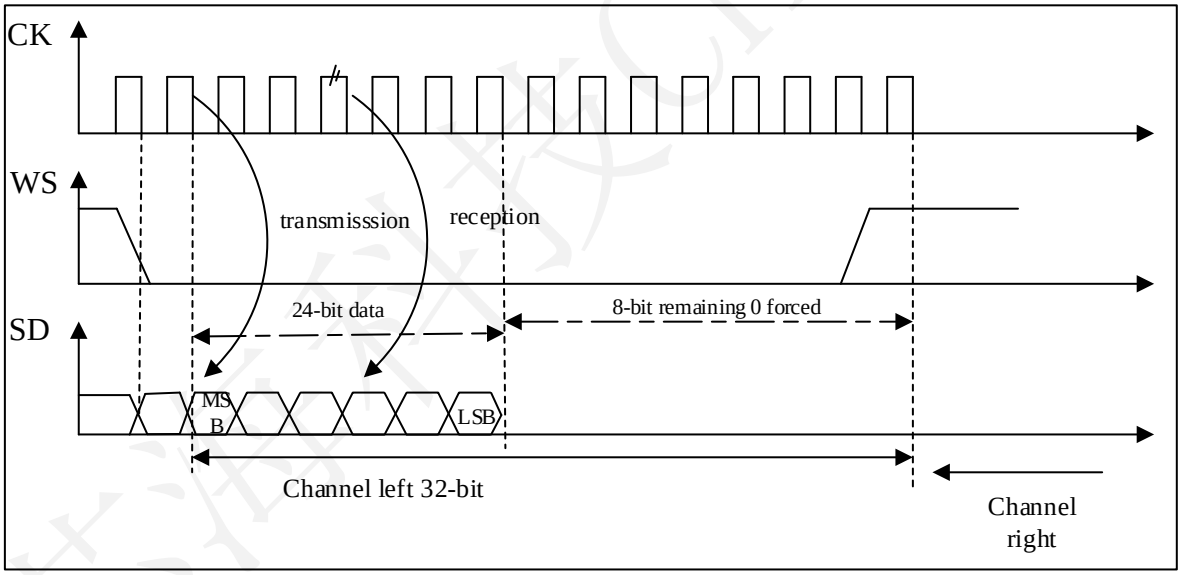
脚有效。

图 249Philips（飞利浦）I2S 协议波形（16/32 位全精度）



数据在时钟 CK 的下降沿（对于发送器）被锁存，并在上升沿（对于接收器）被读取。 WS 信号也在时钟 CK 的下降沿锁存。

图 250 I2S Philips（飞利浦）标准波形（24 位帧）



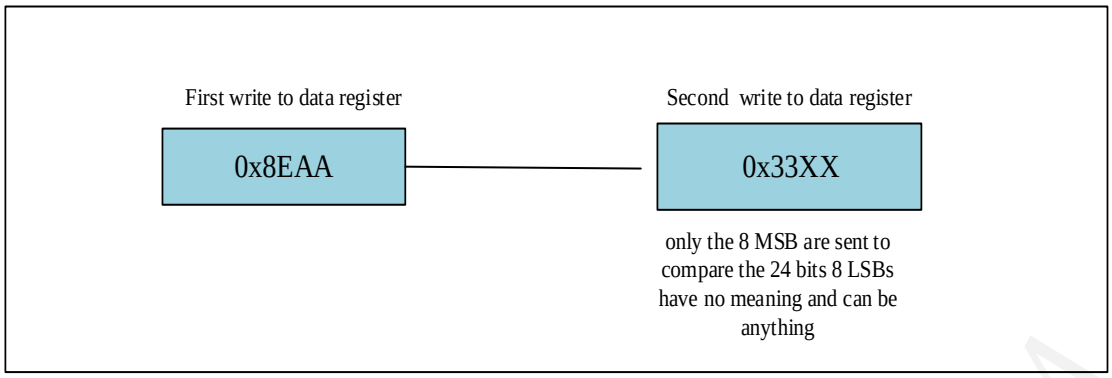
该模式需要对 SPIx_DATA 寄存器进行两次写或读操作。

在发送模式下：

如果需要发送数据 0x8EAA33（24 位）：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 251 发送 0x8EAA33



在接收模式中：

如果收到数据 0x8EAA33：

图 252 接收 0x8EAA33

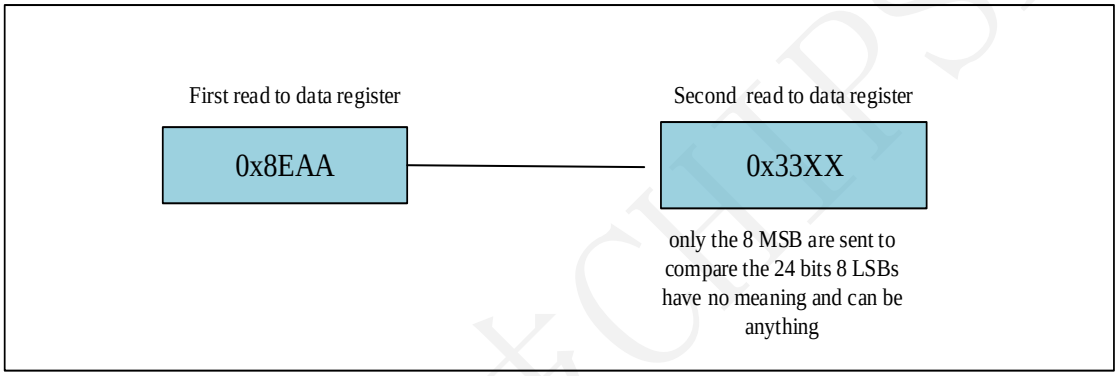
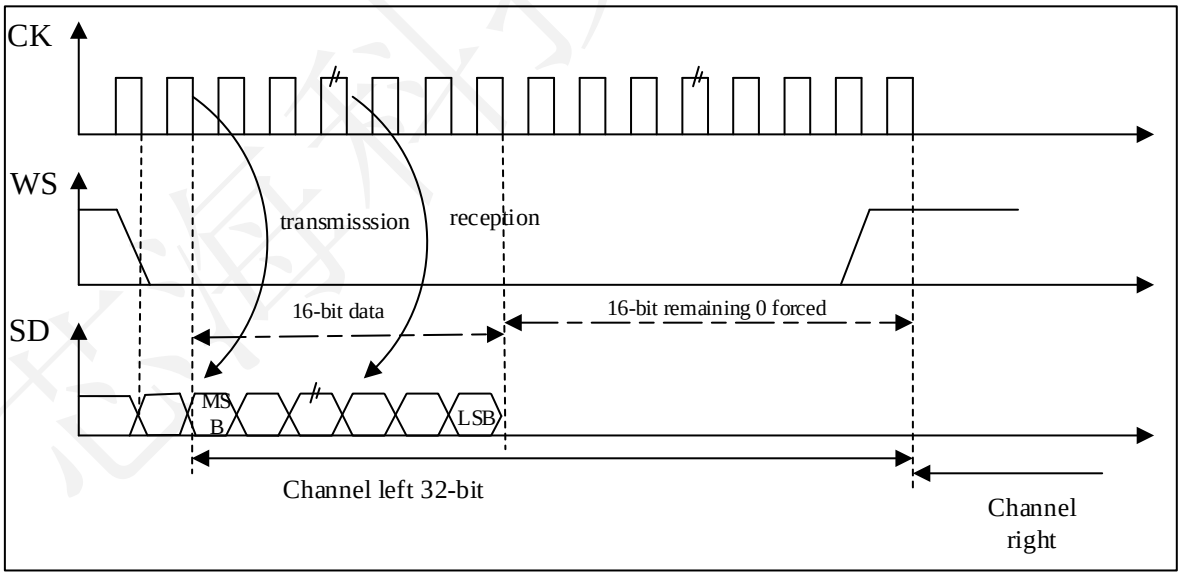


图 253 Philips（飞利浦）I2S 标准（16 位扩展到 32 位数据包帧）

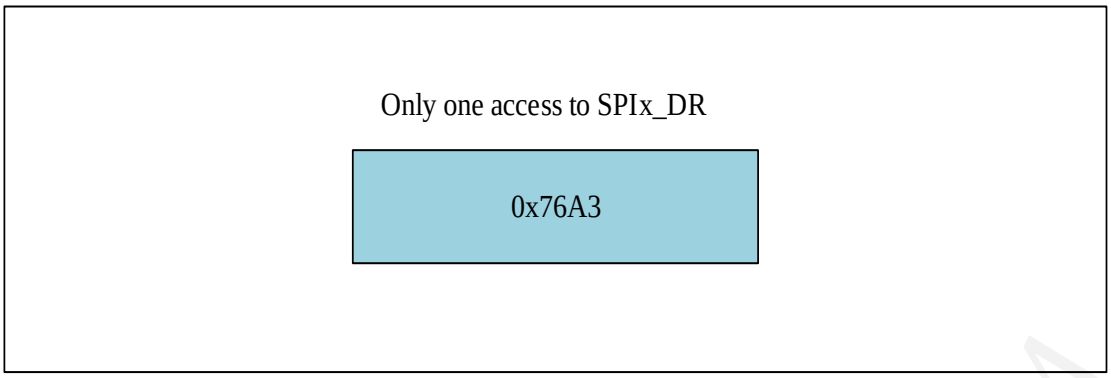


在 I2S 配置阶段，当选择 16 位数据帧扩展到 32 位通道帧时，只需要访问一个 SPIx_DATA 寄存器。低 16 位由硬件强制为 0x0000，以将数据扩展为 32 位格式。

如果要传输的数据或接收的数据是 0x76A3（0x76A30000 扩展到 32 位），则需要执行图 254 所示的操作。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 25416 位数据帧扩展到 32 位通道帧示例



对于传输过程，每次将 MSB 写入 SPIx_DATA 时，TXE 标志位置 1，表示可以写入新的数据，如果使能相应中断，则可以产生中断请求。即使尚未发送 0x0000，也会设置 TXE 并产生相应中断请求，因为它是由硬件完成的。

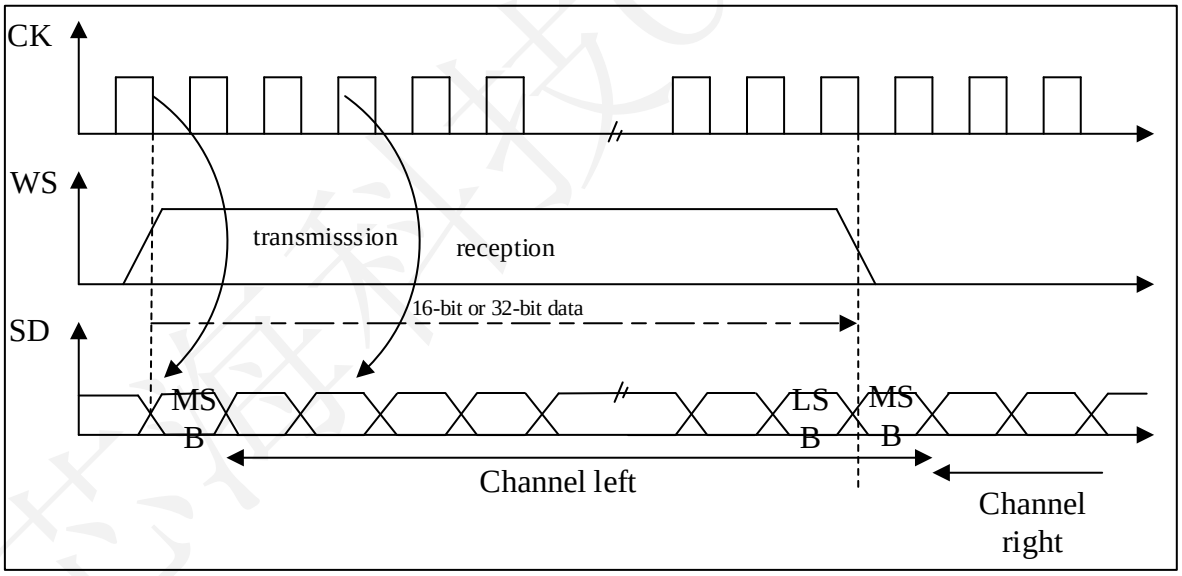
接收时，收到前 16 个 MSB 半字时，RXNE 标志置 1，如果使能相应中断，则产生中断请求。

这样，在两次写入或读取操作之间提供了更多时间，这防止了向上或向下溢出的情况（取决于数据传输的方向）。

MSB 对齐标准

对于该标准，WS 信号与第一个数据位（MSB）同时生成。

图 255 MSB 对齐 16 位或 32 位全精度长度



数据在时钟 CK 的下降沿（发送器）被锁存，并在上升沿（对于接收器）读取。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 256 MSB 对齐 24 位帧长度

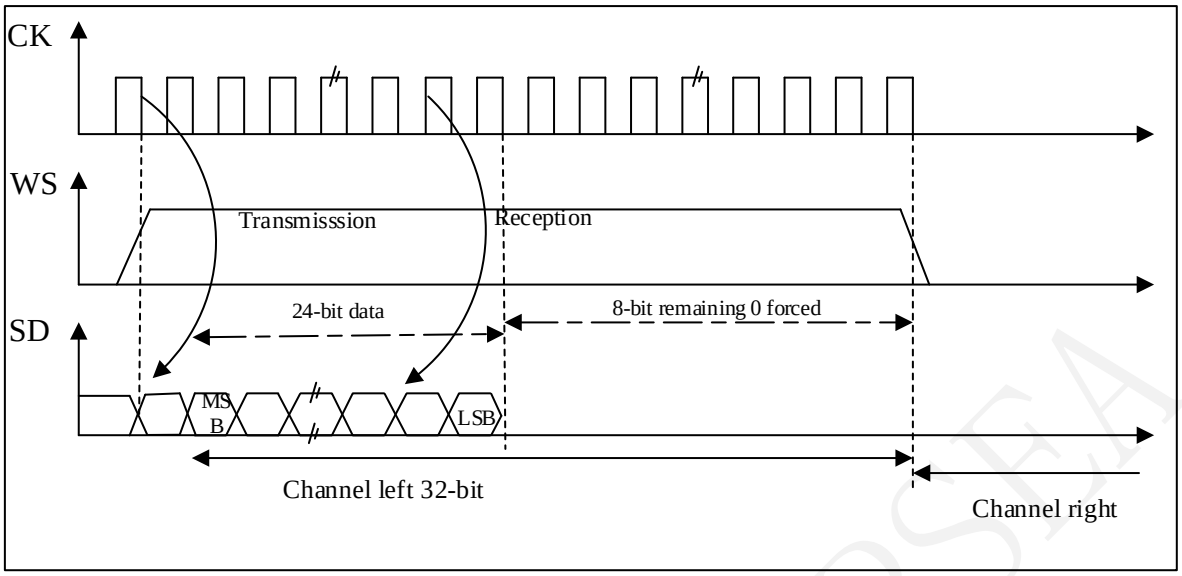
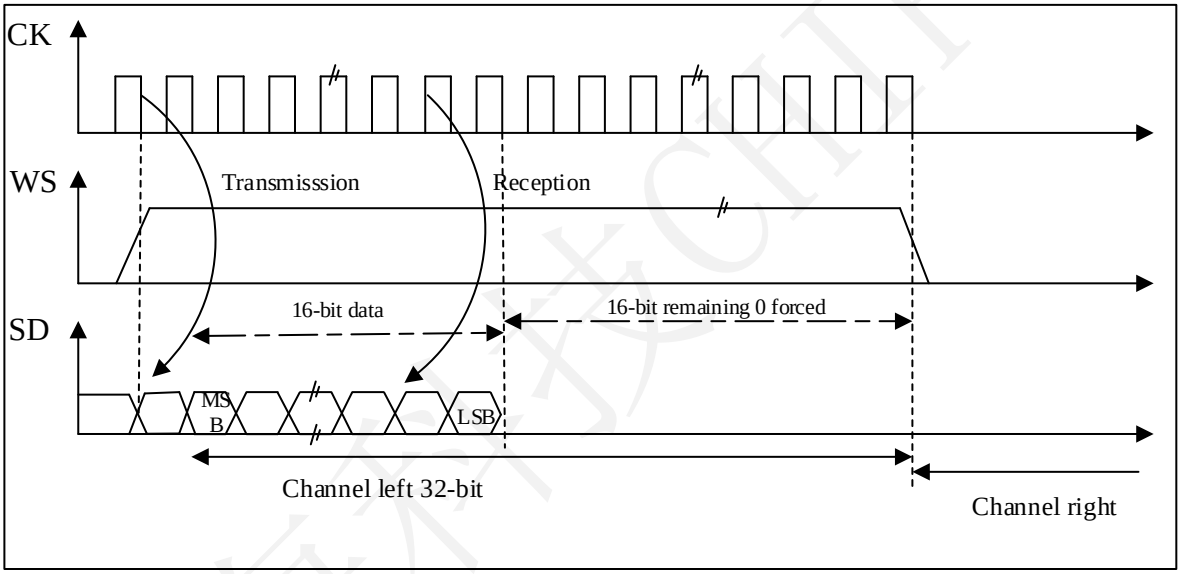


图 257 MSB 对齐 16 位扩展到 32 位数据包帧



LSB 对齐标准

该标准类似于 MSB 对齐标准（16 位和 32 位全精度帧格式无差异）。输入和输出信号的采样与 I2S Philips（飞利浦）标准相同。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 258 LSB 对齐 16 位或 32 位全精度

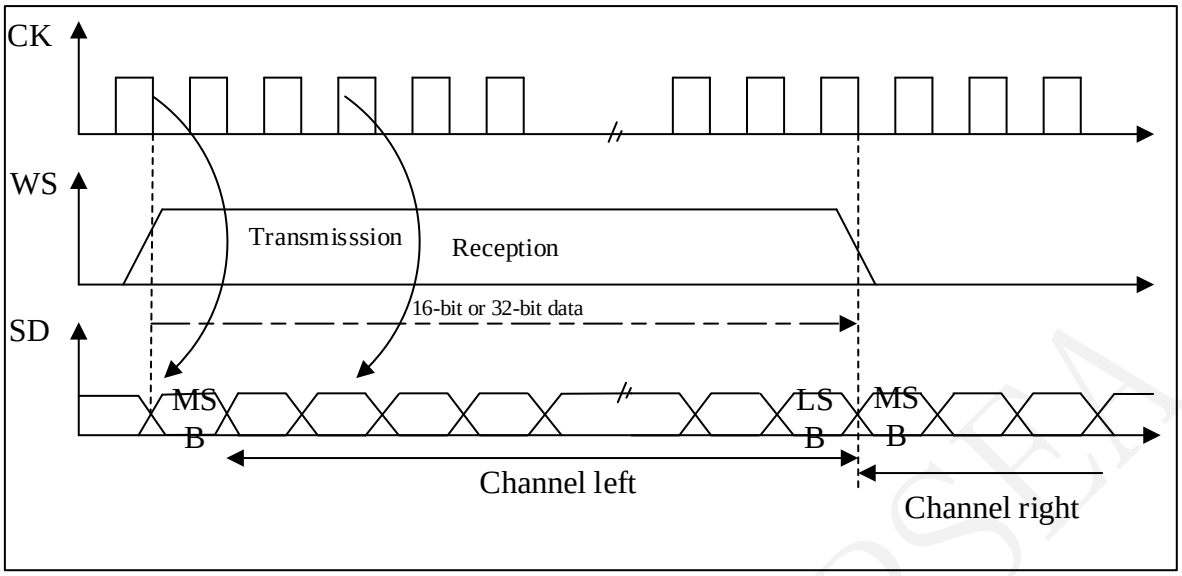
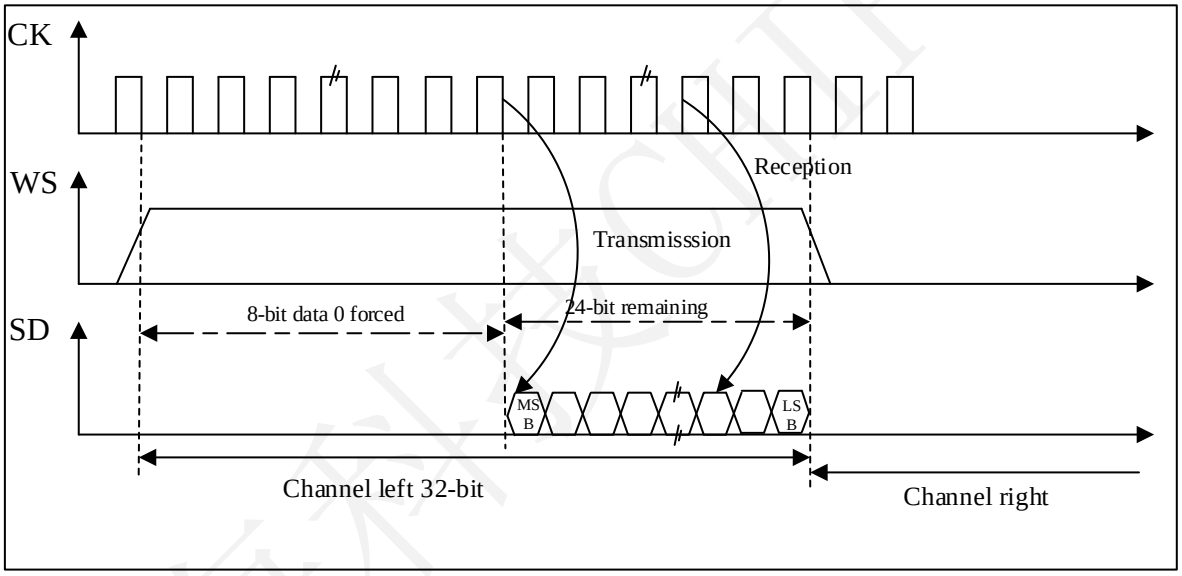


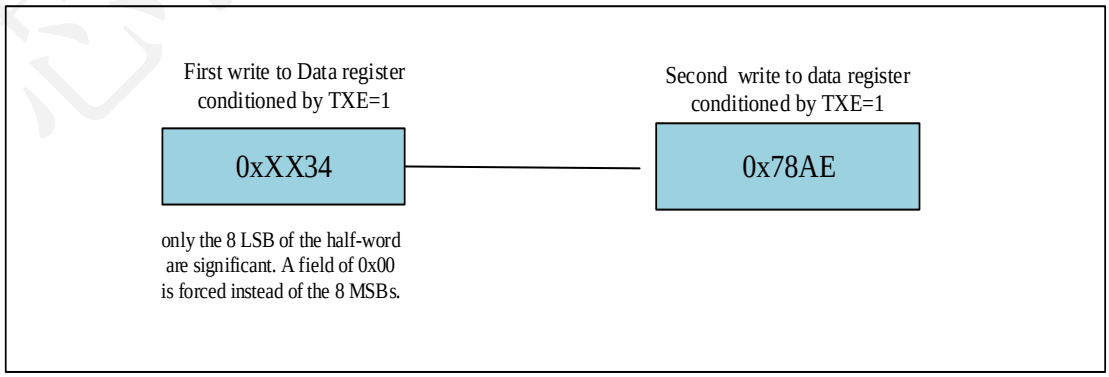
图 259 LSB 对齐 24 位帧长度



在发送模式下：

如果需要发送数据 0x3478AE，软件或 DMA 需要对 SPIx_DATA 寄存器进行两次写操作。操作如下所示。

图 260 传输 0x3478AE 所需的操作



在接收模式下：

如果接收到数据 0x3478AE，则当两个连续 RXNE 事件发生时，需要对 SPIx_DATA 寄存器执行两次连

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

续的读操作。

图 261 接收 0x3478AE 所需的操作

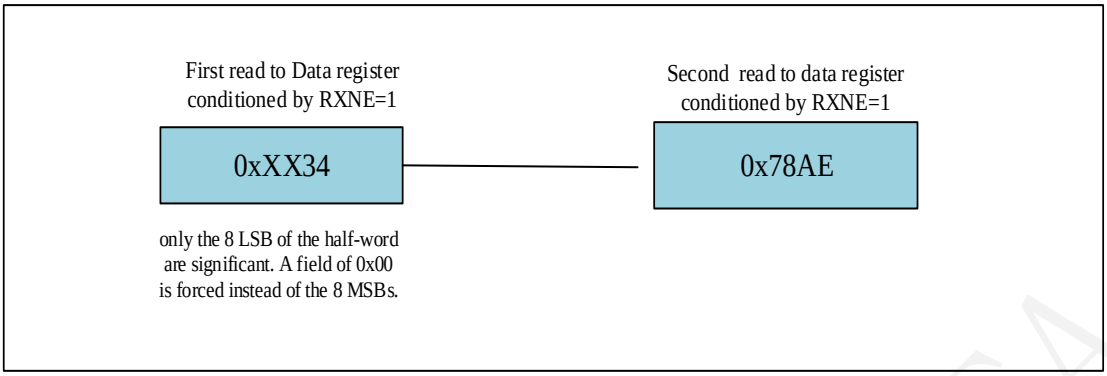
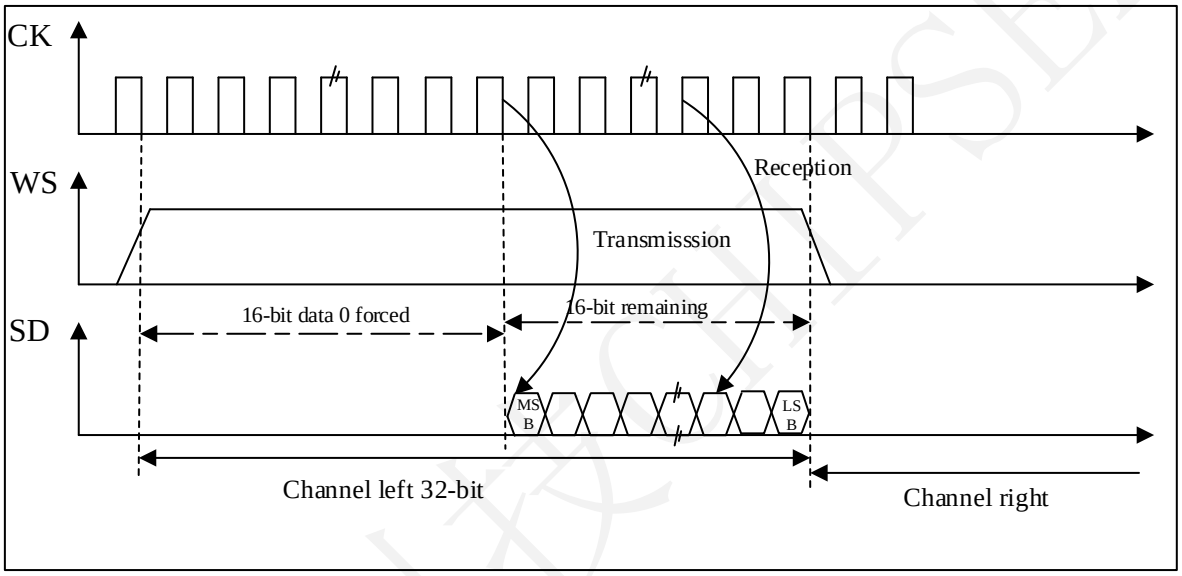


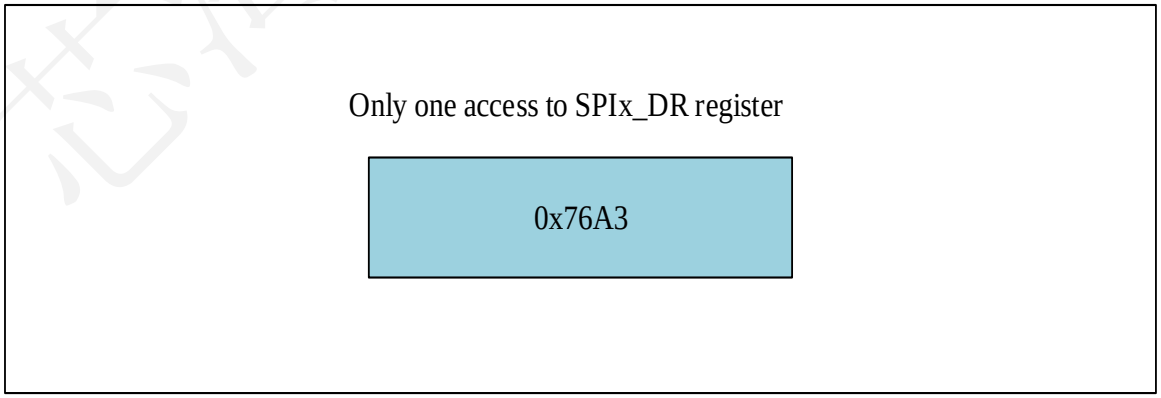
图 262 LSB 对齐 16 位扩展到 32 位数据包帧



当在 I2S 配置阶段，选择将 16 位数据帧扩展到 32 位通道帧时，只需要访问一次 SPIx_DATA 寄存器。低 16 位由硬件强制为 0x0000，以将数据扩展为 32 位格式。 在这种情况下，它对应半字 MSB。

如果要发送的数据或接收的数据是 0x76A3（0x0000 76A3 扩展到 32 位），则需要执行图 263 所示的操作。

图 263 扩展到 32 位通道帧的 16 位数据帧示例



在发送模式下，当发生 TXE 事件时，应用程序必须写入要传输的数据（在本例中为 0x76A3）。首先发送 0x000 字段（32 位扩展）。只要在 SD 引脚上开始发送有效数据（0x76A3），就会再次置 1TXE

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

标志。

在接收模式下，一旦接收到有效的半字（而不是 0x0000 字段），RXNE 就会被置位。

以这种方式，在两次写入或读取操作之间提供更多时间，以防止向上或向下溢出情况。

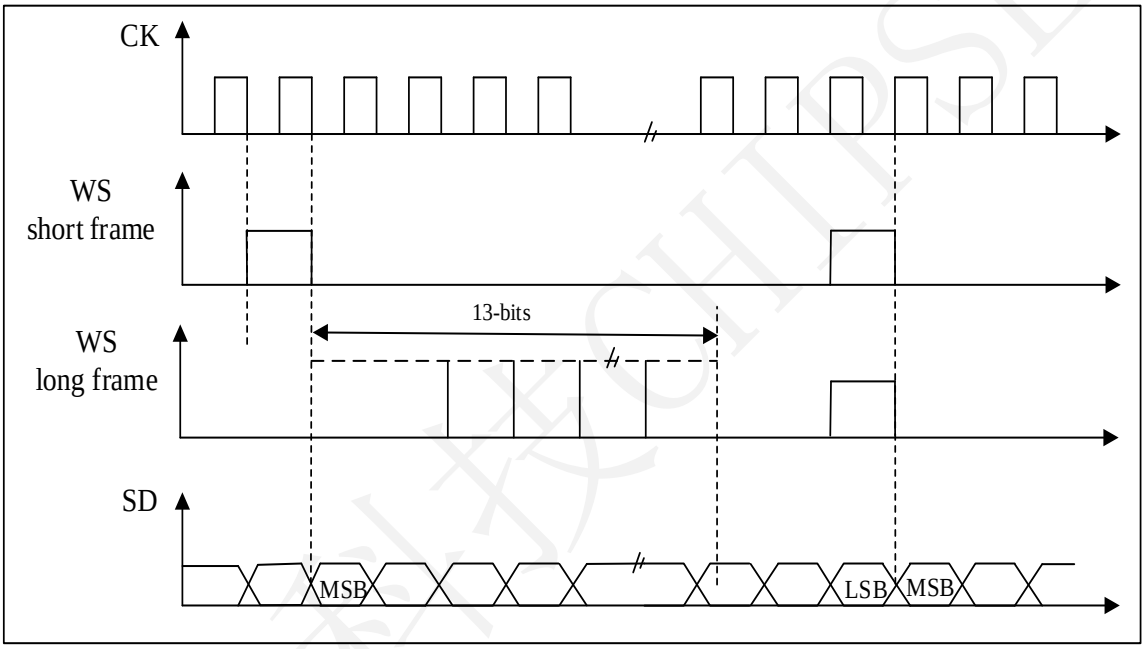
PCM 标准

对于 PCM 标准，不需要使用声道侧信息。两种 PCM 模式（短帧和长帧）均可用，并可使用 I2S_CTR 寄存器中的 PCMLONG 位进行配置。

在 PCM 模式下，输出信号（WS，SD）在时钟 CK 信号的上升沿采样。输入信号（WS，SD）在 CK 的下降沿捕获。

请注意，CK 和 WS 在主模式下配置为输出。

图 264 PCM 标准波形（16 位）

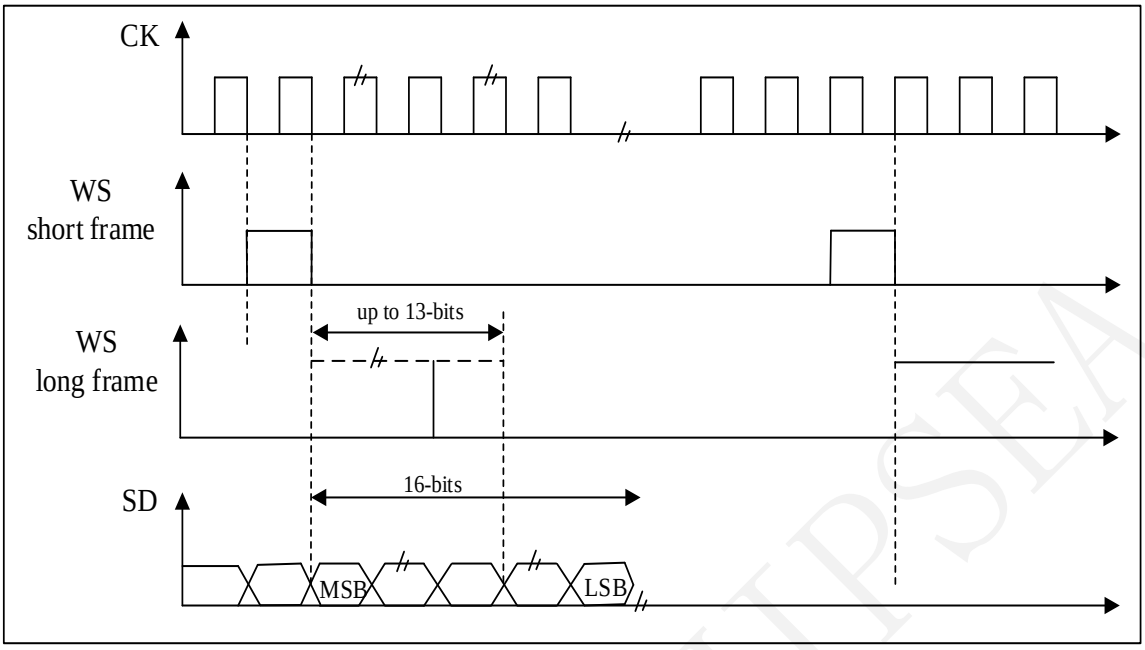


对于长帧同步，WS 信号有效时间在主模式下固定为 13 位。

对于短帧同步，WS 同步信号只有 1 位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 265 PCM 标准波形（16 位扩展到 32 位数据包帧）



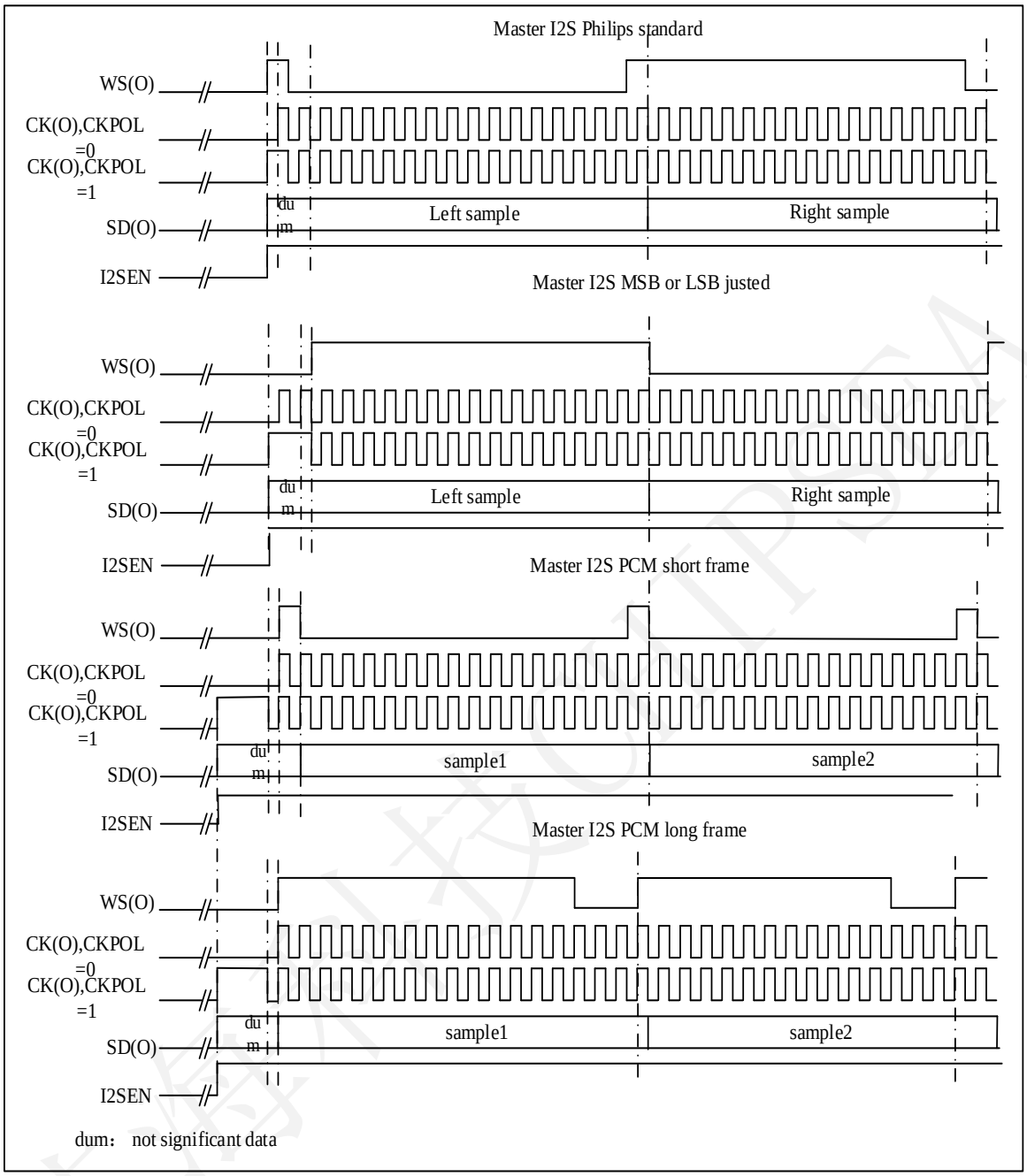
注意：对于两种模式（主机和从机）以及两种同步（短帧或长帧），需要指定两个连续数据段（以及两个同步信号）之间的位数（通过配置 I2S_CTR 寄存器中的 I2SDL 和 I2SCL 位）即使在从模式也需要设置。

23.3.4 启动说明

图 266 显示了当 SPI / I2S 使能时（通过使能 I2SEN 位），如何在主模式下处理串行接口。它还显示了 CKPIS 对生成信号的影响。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 266 主模式下的启动顺序



在从模式下，用户必须在 WS 变为活动状态之前启用音频接口。这意味着对于 I2S Philips（飞利浦）标准，当 WS = 1 时，或者当其他标准的 WS = 0 时，I2SEN 位必须设置为 1。

23.3.5 时钟发生器

I2S 比特率决定了 I2S 数据线上的数据流和 I2S 时钟信号频率。

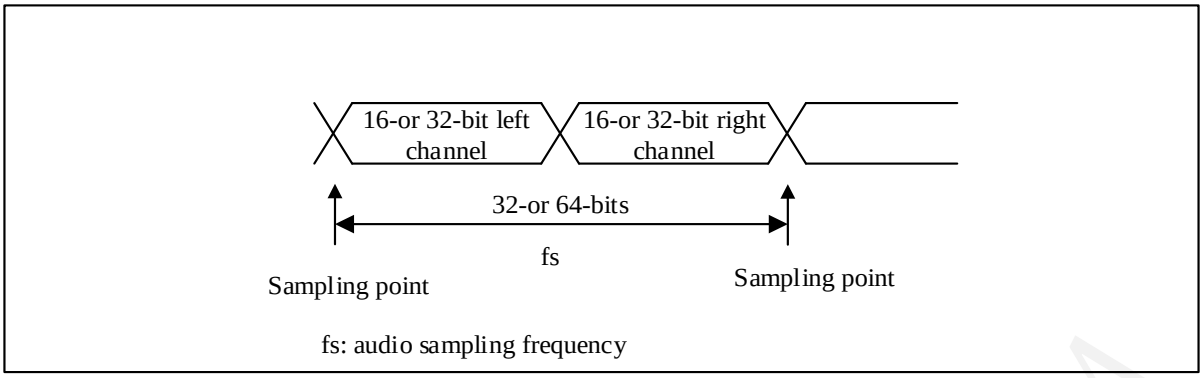
I2S 比特率=每个信道的比特数×信道数×音频采样频率，对于 16 比特音频信号，带有左右声道，I2S 比特率计算如下：

I2S 比特率= $16\times2\times f_S$

同理：如果数据包长度是 32 位宽，I2S 比特率= $32 \times 2 \times f_S$。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

图 267 音频采样频率定义



当配置为主模式时，需要采取特定的设置来正确编程线性分频器，以便使用所需的音频通信。

图 268 I2S 时钟发生器架构

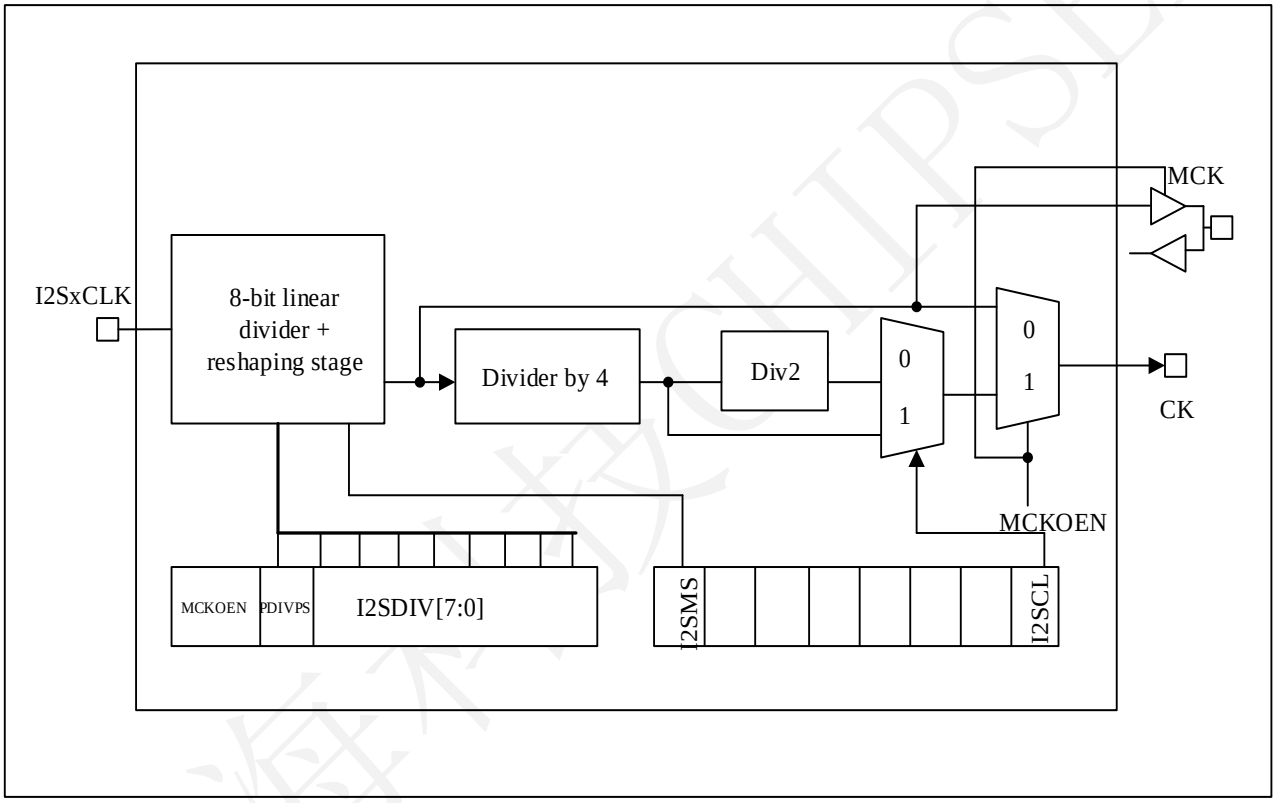


图 268 显示了通信时钟架构。 I2Sx 时钟始终是系统时钟。

音频采样频率可以是 192kHz，96kHz，48kHz，44.1kHz，32kHz，22.05kHz，16kHz，11.025kHz 或 8kHz（或该范围内的任何数值）。为了达到所需的频率，需要根据以下公式对线性分频器进行编程：

当需要产生主时钟时（I2S_PDIV 寄存器中的 I2SCL 置位为 1）：

- 当通道帧为 16 位宽时，f_S = I2SxCLK / [(16 * 2)*((2 * I2SPDIV) + PDIVPS)* 8)]
- 当通道帧为 32 位宽时，f_S = I2SxCLK / [(32 * 2)*((2 * I2SPDIV) + PDIVPS)* 4)]

当禁用主时钟时(I2SCL 位清零)：

- 当通道帧为 16 位宽时，f_S = I2SxCLK / [(16 * 2)*((2 * I2SPDIV) + PDIVPS))]
- 当通道帧为 32 位宽时，f_S = I2SxCLK / [(32 * 2)*((2 * I2SPDIV) + PDIVPS))]

注意：可以使用其他配置用于实现最佳时钟精度。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

表 82 使用标准 8MHz HXT 的音频精度(1)

SYSCLK (MHz)	Data length	I2SPDIV	I2SPDIVPS	MCK	Target f_S (Hz)	Real f_S (KHz)	Error
48	16	8	0	No	96000	93750	2.3438%
48	32	4	0	No	96000	93750	2.3438%
48	16	15	1	No	48000	48387.0968	0.8065%
48	32	8	0	No	48000	46875	2.3438%
48	16	17	0	No	44100	44117.647	0.0400%
48	32	8	1	No	44100	44117.647	0.0400%
48	16	23	1	No	32000	31914.8936	0.2660%
48	32	11	1	No	32000	32608.696	1.9022%
48	16	34	0	No	22050	22058.8235	0.0400%
48	32	17	0	No	22050	22058.8235	0.0400%
48	16	47	0	No	16000	15957.4468	0.2660%
48	32	23	1	No	16000	15957.447	0.2660%
48	16	68	0	No	11025	11029.4118	0.0400%
48	32	34	0	No	11025	11029.412	0.0400%
48	16	94	0	No	8000	7978.7234	0.2660%
48	32	47	0	No	8000	7978.7234	0.2660%
48	16	2	0	Yes	48000	46875	2.3430%
48	32	2	0	Yes	48000	46875	2.3430%
48	16	2	0	Yes	44100	46875	6.2925%
48	32	2	0	Yes	44100	46875	6.2925%
48	16	3	0	Yes	32000	31250	2.3438%
48	32	3	0	Yes	32000	31250	2.3438%
48	16	4	1	Yes	22050	20833.333	5.5178%
48	32	4	1	Yes	22050	20833.333	5.5178%
48	16	6	0	Yes	16000	15625	2.3438%
48	32	6	0	Yes	16000	15625	2.3438%

此表仅给出不同时钟配置的示例值。为实现最佳时钟精度可以使用其他配置。

23.3.6 I2S 主模式

可以在主模式下配置 I2S。这意味着在时钟 CK 引脚上产生串行时钟，并在 WS 引脚产生字选择信号。主时钟（MCK）是否输出，由 I2S_PDIV 寄存器中的 I2SCL 位控制。

步骤

1. 配置 I2S_PDIV 寄存器中的 I2SPDIV [7:0]位，以定义串行时钟波特率，从而匹配正确的音频采样频率。同时也需要定义 I2S_PDIV 寄存器中的 PDIVPS 位。
2. 选择 CKPIS 位以定义通信时钟的空闲电平状态。如果需要将主时钟 MCK 提供给外部 DAC / ADC 音频组件，则将 I2S_PDIV 寄存器中的 I2SCL 位置 1。
3. 将 I2S_CTR 寄存器中的 I2SMS 位置 1 以激活 I2S 功能，并通过 I2SSTDS[1:0]和 PCMLONG 位选择 I2S 标准，通过 I2SDL[1:0]位来配置数据长度并通过配置 I2SCL 位来确定每个通道的位

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

数。通过 I2S_CTR 寄存器中的 I2SOM[1:0]位选择 I2S 主模式和方向（发送器或接收器）。

4. 如果需要，通过写 SPIx_CTR2 寄存器，来选择所需要的中断源和 DMA 功能。
5. 必须设置 I2S_CTR 寄存器中的 I2SEN 位为 1。

WS 和 CK 引脚也需要配置为输出模式。如果 I2S_PDIV 中的 I2SCL 位置 1，MCK 也被配置为输出引脚。

发送顺序

当半字写入 Tx 缓冲器时，发送序列开始。

假设写入 Tx 缓冲区的第一个数据对应于左声道数据。当数据从 Tx 缓冲器传输到移位寄存器时，TXE 被置位为 1，此时对应右通道的数据必须被写入 Tx 缓冲器。 I2SCSF 标志指示要当前发送的声道。TXE 标志为 1 时有意义，因为 TXE 变为高电平时 I2SCSF 标志会更新。

必须将全帧数据视为左声道数据传输，然后进行右声道数据传输。不可以仅发送左声道的部分帧。

在第一位数据传输期间，数据半字并行加载到 16 位移位寄存器中，然后串行地移出到 MOSI / SD 引脚，MSB 优先。每次数据从 Tx 缓冲器传输到移位寄存器后，TXE 标志置 1，如果 SPIx_CTR2 寄存器中的 TXEINTEN 位置 1，则产生中断。

有关写入操作的更多详细信息，具体参考所选的 I2S 标准模式。

为了确保连续的音频数据传输，必须在当前传输结束之前，将下一个要传输的数据写入 SPIx_DATA 寄存器。

要清除 I2SEN 来关闭 I2S 时，必须等待 TXE = 1 且 BUSY = 0。

接收顺序

配置步骤除了第 3 点（参见 I2S 主模式中描述的过程）之外，操作流程与发送模式相同，通过 I2SOM[1:0]位设置主接收模式。

无论数据或声道长度如何，音频数据都以 16 位数据包接收。这意味着每次 Rx 缓冲区满时，RXNE 标志置 1，如果 SPIx_CTR2 寄存器中的 RXNEINTEN 位置 1，则产生中断。根据数据和声道长度配置，右声道或左声道接收的音频值可能是 Rx 缓冲区的一次或两次接收缓存值。

通过读 SPIx_DATA 寄存器来执行清零 RXNE 位。

I2SCSF 在每次接收后更新。它的值取决于 I2S 单元生成的 WS 信号。

有关读取操作的更多详细信息参考所选 I2S 标准模式。

如果尚未读取先前接收的数据，同时接收到数据，则产生向上溢出并置位 RXOFERR 标志。如果此时 SPIx_CTR2 寄存器中的 ERRINTEN 位置 1，则会产生中断以指示错误。

要关闭 I2S 功能，需要执行特定操作以确保 I2S 正确完成传输而不启动新数据传输。操作流程取决于数据和通道长度的配置，以及所选的音频协议模式：

- 使用 LSB 对齐模式（I2SSTDS = 10）扩展 16 位数据到 32 位通道长度上（I2SDL = 00 和 I2SCL = 1）
  1. 等待倒数第二个 RXNE = 1（n - 1）
  2. 等待 17 个 I2S 时钟周期（使用软件循环）
  3. 禁用 I2S（I2SEN = 0）
- 在 MSB 对齐，I2S 或 PCM 模式下分别扩展 16 位数据到 32 位通道长度上（I2SDL = 00 和 I2SCL = 1）（分别为 I2SSTDS = 00，I2SSTDS = 01 或 I2SSTDS = 11）
  1. 等待最后一个 RXNE
  2. 等待 1 个 I2S 时钟周期（使用软件循环）

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

3. 禁用 I2S（I2SEN = 0）

- 对于 I2SDL 和 I2SCL 的所有其他组合，无论通过 I2SSTDS 位选择的音频模式如何，都应按以下顺序关闭 I2S：
  1. 等待倒数第二个 RXNE = 1（n - 1）
  2. 等待一个 I2S 时钟周期（使用软件循环）
  3. 禁用 I2S（I2SEN = 0）

注意：传输期间 BUSY 标志保持低电平。

23.3.7 I2S 从模式

从模式下，I2S 可配置为发送或接收模式。操作模式主要遵循与 I2S 主机配置相同的规则。在从模式下，I2S 接口不会生成时钟。时钟和 WS 信号从连接到 I2S 接口的外部主机输入。因此，用户无需配置时钟。

下面列出了配置步骤：

1. 将寄存器中的 I2SMS 位置 1 选择 I2S 模式，并通过 I2SSTDS[1:0]位选择 I2S 标准，通过 I2SDL[1:0]位选择数据长度，并配置 I2SCL 位选择每个通道的位数。通过 I2S_CTR 寄存器中的 I2SOM[1:0]位选择从机的模式（发送或接收）。
2. 如果需要，通过配置 SPIx_CTR2 寄存器选择所有需要的中断源和 DMA 功能。
3. 必须设置 I2S_CTR 寄存器中的 I2SEN 位为 1。

发送顺序

当外部主机发送时钟并且 NSS_WS 信号请求数据传输时，发送流程开始。必须在外部主机开始通信之前启用从机。

必须在主机启动通信之前加载 I2S 数据寄存器。对于 I2S，MSB 对齐和 LSB 对齐模式，写入数据寄存器的第一个数据需要对应左通道的数据。通信开始时，数据从 Tx 缓冲区传输到移位寄存器。然后 TXE 标志置 1，以便请求将正确的通道数据写入 I2S 数据寄存器。

I2SCSF 标志指示要发送的声道。与主传输模式相比，在从模式下，I2SCSF 对来自外部主机的 WS 信号敏感。这意味着从机需要准备好在主机生成时钟之前发送第一个数据。 WS 为 1 表示首先发送的是左声道。

注意：在主机的第一个时钟到达 CK 线之前，必须至少写入两个 PCLK 周期的数据。

在第一位发送期间，数据半字并行加载到 16 位移位寄存器（来自内部总线），然后首先串行移出到 MOSI / SD 引脚 MSB。每次从 Tx 缓冲器传输到移位寄存器后，TXE 标志置 1，如果 SPIx_CTR2 寄存器中的 TXEINTEN 位置 1，则产生中断。

请注意，在尝试写入 Tx 缓冲区之前，应检查 TXE 标志是否为 1。

有关根据 I2S 标准模式进行写操作的更多详细信息，请参见 I2S 支持的音频协议部分。

为了确保连续的音频数据传输，必须在当前传输结束之前将 SPIx_DATA 寄存器写入下一个要传输的数据。如果在下一次数据通信的第一个时钟沿之前未将数据写入 SPIx_DATA 寄存器，则会置 1 欠载标志并产生中断。向软件指示传输的数据是错误的。如果 SPIx_CTR2 寄存器的 ERRINTEN 位设置为 1，则当 SPIx_STS 寄存器中的 TXUFERR 标志变为高电平时，会产生中断。在这种情况下，必须关闭 I2S 并从左声道开始重新开始数据传输。

通过清零 I2SEN 位关闭 I2S，必须等待 TXE = 1 且 BUSY = 0。

接收顺序

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

操作模式与发送模式相同，除了流程 1（参见 I2S 从模式中描述的步骤），配置 I2S_CTR 寄存器中的 I2SOM[1:0]位以使用从机接收模式。

无论数据长度或声道长度如何，音频数据都由 16 位分组接收。这意味着每次 RX 缓冲区满时，SPIx_STS 寄存器中的 RXNE 标志置 1，如果 SPIx_CTR2 寄存器中的 RXNEINTEN 位置 1，则产生中断。根据数据长度和通道长度配置，接收到右声道或左声道的音频值可能是由 RX 缓冲器的一次或两次接收到的数据拼接而成。

每次接收到 SPIx_DATA 寄存器读取的数据时，都会更新 I2SCSF 标志。它对外部主机管理的外部 WS 线敏感。

通过读 SPIx_DATA 寄存器来清零 RXNE 位。

有关根据所选 I2S 标准模式进行读操作的更多详细信息，请参见 I2S 支持的音频协议部分。

如果在尚未读取先前接收的数据的同时，接收到下一笔数据，则产生溢出并置位 RXOFERR 标志。如果 SPIx_CTR2 寄存器中的 ERRINTEN 位置 1，则会产生中断以指示错误。

要在接收模式下关闭 I2S，必须在收到最后一个 RXNE = 1 后立即清除 I2SEN。

注意：外部主机应具有通过音频通道以 16 位或 32 位数据包发送/接收数据的能力。

23.3.8 I2S 状态标志

应用程序可以通过三个状态标志，来完全监控 I2S 总线的状态。

传输繁忙标志（BUSY）

BUSY 标志由硬件置 1 和清零（软件写入该标志无效）。它表示 I2S 的通信状态。

BUSY 置 1 时，表示 I2S 忙于通信。主接收模式（I2SOM = 11）中有一个例外情况，该模式下 BUSY 标志保持低电平。

如果软件需要禁用 I2S，则 BUSY 标志可用于检测传输结束。这可以避免破坏最后一次传输。为此，必须严格遵守下述流程。

传输开始时设置 BUSY 标志为 1，除非 I2S 处于主接收器模式。

BUSY 标志被清除：

- 传输完成时（主传输模式除外，其中通信应该是连续的）
- 禁用 I2S 时

当通信是连续时：

- 在主发送模式下，BUSY 标志在所有传输期间保持高电平
- 在从模式下，BUSY 标志在每次传输空闲之间的一个 I2S 时钟周期内变为低电平

注意：请勿使用 BUSY 标志来处理每次数据传输或接收。最好使用 TXE 和 RXNE 标志。

Tx 缓冲区空标志（TXE）

TX1 置 1 时，表示 Tx 缓冲区为空，可以将下一个要传输的数据加载到其中。当 Tx 缓冲区已有数据时，TXE 标志清零。当 I2S 被禁止时（I2SEN 位复位），它也会被清零。

RX 缓冲区不为空（RXNE）

RXN3 置 1 时，表示 RX 缓冲区中存在有效的接收数据。 读取 SPIx_DATA 寄存器时该位清零。

声道侧标志（I2SCSF）

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

在传输模式下，TXE 变为高电平时刷新该标志。它指示要在 SD 上传输的数据属于的声道。在从传输模式下发生欠载错误事件时，该标志不可靠，并且在恢复通信之前需要关闭并重新打开 I2S。

在接收模式下，当数据被接收到 SPIx_DATA 时，该标志被刷新。它表示已从哪个声道侧接收到数据。请注意，如果出现错误（如 RXOFERR），此标志将失效，应通过关闭然后启用 I2S 来重置 I2S（如果需要更改 I2S 配置，则在此时修改）。

该标志在 PCM 标准中没有意义（短帧和长帧模式）。

当 SPIx_STS 中的 RXOFERR 或 TXUFERR 标志置 1 且 SPIx_CTR2 中的 ERRINTEN 位也置 1 时，会产生中断。通过读取 SPIx_STS 状态寄存器（中断源清零后）可以清除该中断。

23.3.9 I2S 错误标志

I2S 单元有三个错误标志。

欠载标志（TXUFERR）

在从机传输模式下，当软件尚未将任何值写入到 SPIx_DATA 时，出现数据传输的第一个时钟时，该标志置位为 1。当 I2S_CTR 寄存器中的 I2SMS 位置 1 时，该标志才有效。如果 SPIx_CTR2 寄存器中的 ERRINTEN 位置 1，则会产生中断。

通过对 SPIx_STS 寄存器进行读操作清除 TXUFERR 位。

过载标志（RXOFERR）

已接收到数据且尚未从 SPIx_DATA 寄存器读取上一笔数据时，该标志置位为 1。表示传入的数据丢失。如果 SPIx_CTR2 寄存器中的 ERRINTEN 位置 1，则产生中断。

在这种情况下，接收缓冲器内容不会用来自发送器设备的新接收数据更新。对 SPIx_DATA 寄存器的读操作将返回先前正确接收的数据。所有其他随后从主机发送的半字都丢失了。

通过 SPIx_DATA 寄存器上的读操作或 SPIx_STS 寄存器的读操作来清除 RXOFERR 位。

帧错误标志（NWERR）

仅当 I2S 配置为从模式时，才能通过硬件设置该标志为 1。如果外部主机正在更改 WS 线路，而从机不期望此更改，则该标志置 1。如果同步失败，则需要执行以下步骤以从此状态恢复并使外部主机与 I2S 从机重新同步：

1. 禁用 I2S。
2. 当在 WS 线上检测到正确的电平时再次启用它（WS 线在 I2S 模式下为高电平或在 MSB 或 LSB 校验或 PCM 模式下为低电平）。

主机和从机之间的不同步可能是由于 CK 通信时钟或 WS 帧同步线上的噪声环境造成的。如果 ERRINTEN 位置 1，则产生错误中断。读取状态寄存器时，软件会清除帧错误标志（NWERR）。

23.3.10 DMA 功能

在 I2S 模式下，DMA 的工作方式与 SPI 模式完全相同。除了 CRC 功能在 I2S 模式下不可用之外没有区别，因为没有数据传输保护系统。

注意：

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1. ***I2S 使用 DMA 发送数据时，应该先使能 I2S，再使能 DMA。***
2. ***I2S 中断发送数据时，需要等待最后一帧数据发送完成之后再关闭 I2S，***

23.3.11　I2S 中断

表 83 I2S 中断请求

中断事件	中断事件	使能控制位
发送缓冲区空标志	TXE	TXEINTEN
接收缓冲区不为空	RXNE	RXNEINTEN
过载错误	RXOFERR	ERRINTEN
欠载标志	TXUFERR	
帧错误标志	NWERR	

SPI 和 I2S 寄存器

外设寄存器可以通过半字（16 位）或字（32 位）访问。另外，SPI_DATA 可以通过 8 位访问进行访问。

23.4

23.4.1 寄存器概览

表 84 SPI_I2S 寄存器概览

名称	偏移地址	描述	复位值
SPIx_CTR1	0x000	SPI 控制寄存器 1	0x00000000
SPIx_CTR2	0x004	SPI 控制寄存器 2	0x00000700
SPIx_STS	0x008	SPI 状态寄存器	0x00000002
SPIx_DATA	0x00C	数据发送寄存器	0x00000000
SPI_CRCPOLYR	0x010	SPI CRC 多项式寄存器	0x00000007
SPI_RCRC	0x014	CRC 接收寄存器	0x00000000
SPI_TCRC	0x018	CRC 发送寄存器	0x00000000
I2S_CTR	0x01C	I2S 控制寄存器	0x00000000
I2S_PDIV	0x020	I2S 预分频寄存器	0x00000002

23.4.2 SPI 控制寄存器 1（SPIx_CTR1）

SPIx_CTR1 (偏移地址=0x000，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SBMODE	SBOEN	CRCEN	NXTCRC	CRC16	ROM	SWNSSM	NVSWNSSM	LSBFIRST	SPIEN	CRSEL[2:0]			SPIM	CPOL	CPHA
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	SBMODE	**双向数据模式使能。** 该位使用公共单双向数据线实现半双工通信。双向模式激活时，保持 ROM 位清零。 0：选择 2 线单向数据模式 1：选择 1 线双向数据模式 注意：该位不用于 I2S 模式。
14	SBOEN	**双向模式下的输出使能** 该位与 SBMODE 位组合在一起选择双向模式下的传输方向 0：禁用输出（仅接收模式） 1：输出使能（仅发送模式） 注：在主模式下，使用 MOSI 引脚，在从模式下，使用 MISO 引脚。 在 I2S 模式下不使用该位。
13	CRCEN	**硬件 CRC 计算使能** 0：禁用 CRC 计算 1：CRC 计算已启用 注：只有在 SPI 被禁止（SPIEN ='0'）才能正确操作时，才应写入该位。 在 I2S 模式下不使用该位。
12	NXTCRC	**下一次发送 CRC** 0：下一个发送值来自 Tx 缓冲区 1：下一个发送值来自 Tx CRC 寄存器 注：一旦最后一个数据写入 SPIx_DATA 寄存器，就必须写入该位。 在 I2S 模式下不使用该位。
11	CRC16	**CRC 长度** 0：CRC 长度为 8bit 1：CRC 长度为 16bit 注：此位只能 SPI 禁用（SPIEN=0）时配置，此位不在 I2S 模式使用
10	ROM	**仅启用接收模式。** 该位使用单个单向线路进行单工通信，专门接收数据。当仅接收模式处于活动状态时，保持 SBMODE 位清零。此位在多区域系统中也很有用，在该系统中不访问此特定从机，来自被访问从机的输出未损坏。 0：全双工（发送和接收） 1：禁用输出（仅接收模式） 注意：该位不用于 I2S 模式。
9	SWNSSM	**软件从机管理** 当 SWNSSM 位置 1 时，NSS 引脚输入被 NVSWNSSM 位的值替换。 0：禁用软件从机管理 1：启用软件从属管理 注：该位不用于 I2S 模式和 SPI TI 模式。
8	NVSWNSSM	**内部从机选择** 仅当 SWNSSM 位置 1 时，该位才有效。该位的值强制进入 NSS 引脚，并忽略 NSS 引脚的 I / O 值。 注：该位不用于 I2S 模式和 SPI TI 模式。
7	LSBF	**帧格式** 0：首先用 MSB 发送/接收数据

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1：首先使用 LSB 发送/接收数据 注意： 1. 通信正在进行时，不应更改此位。 2.该位不用于 I2S 模式和 SPI TI 模式。
6	SPIEN	**SPI 使能** 0：禁用外设 1：启用外设 注意：禁用 SPI 时，请按照第 767 页上的禁用 SPI 的过程中所述的步骤进行操作。 在 I2S 模式下不使用该位。
[5:3]	CRSEL	**波特率选择** 000：fPCLK / 2 001：fPCLK / 4 010：fPCLK / 8 011：fPCLK / 16 100：fPCLK / 32 101：fPCLK / 64 110：fPCLK / 128 111：fPCLK / 256 注意：通信正在进行时，不应更改这些位。 在 I2S 模式下不使用该位。
2	SPIM	**主机选择** 0：从模式 1：主模式 注意：通信正在进行时，不应更改此位。 在 I2S 模式下不使用该位。
1	CPOL	**时钟极性** 0：空闲时 CK 为 0 1：空闲时 CK 为 1 注意：通信正在进行时，不应更改此位。 除了在 TI 模式下应用 CRC 的情况外，该位不用于 I2S 模式和 SPI TI 模式。
0	CPHA	**时钟相位** 0：第一个时钟转换是第一个数据捕获边沿 1：第二个时钟转换是第一个数据捕获边沿 注意：通信正在进行时，不应更改此位。 除了在 TI 模式下应用 CRC 的情况外，该位不用于 I2S 模式和 SPI TI 模式。

23.4.3 SPI 控制寄存器 2（SPIx_CTR2）

SPIx_CTR2 (偏移地址=0x004，复位值=0x00000700)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	DMATXODD	DMARXODD	RXNE8	DLEN[3:0]				TXEINTEN	RXNEINTEN	ERRINTEN	TIEN	NSSPM	NSSOEN	DMATXEN	DMARXEN
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:15]	保留	
14	DMATXODD	**最后一次 DMA 传输以进行传输** 该位用于数据打包模式，用于定义 DMA 传输的数据总数是奇数还是偶数。仅当 SPIx_CTR2 寄存器中的 DMATXEN 位置 1 且使用了封装模式（数据长度=<8 位且对 SPIx_DATA 的写访问为 16 位宽）时，它才有意义。必须在禁用 SPI 时写入（SPIx_CTR1 寄存器中的 SPIEN = 0）。 0：要传输的数据是偶数 1：要传输的数据是奇数 注：该位不用于 I²S 模式。
13	DMARXODD	**接收的最后一次 DMA 传输** 该位用于数据打包模式，用于定义 DMA 接收的数据总数是奇数还是偶数。仅当 SPIx_CTR2 寄存器中的 DMARXEN 位置 1 且使用了封装模式（数据长度=<8 位且对 SPIx_DATA 的写访问为 16 位宽）时，它才有意义。必须在禁用 SPI 时写入（SPIx_CTR1 寄存器中的 SPIEN = 0）。 0：要传输的数据是偶数 1：要传输的数据是奇数 注： 该位不用于 I²S 模式。
12	RXNE8	**FIFO 接收阈值** 该位用于设置触发 RXNE 事件的 RXFIFO 的阈值 0：如果 FIFO 级别大于或等于 1/2（16 位），则生成 RXNE 事件 1：如果 FIFO 级别大于或等于 1/4（8 位），则会生成 RXNE 事件 注：I²S 模式下不使用该位。
[11:8]	DLEN [3:0]	**数据大小** 这些位配置 SPI 传输的数据长度： 0000：未使用 0001：未使用 0010：未使用 0011：4 位 0100：5 位 0101：6 位 0110：7 位 0111：8 位 1000：9 位 1001：10 位 1010：11 位 1011：12 位

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		1100：13 位 1101：14 位 1110：15 位 1111：16 位 如果软件尝试写入“未使用”值之一，则强制它们为“0111”（8 位）。 注：I²S 模式下不使用该位。
7	TXEINTEN	**Tx 缓冲器空中断使能** 0：TXE 中断被屏蔽 1：TXE 中断未被屏蔽。用于在 TXE 标志置 1 时产生中断请求。
6	RXNEINTEN	**RX 缓冲区非空中断使能** 0：RXNE 中断被屏蔽 1：RXNE 中断未被屏蔽。 用于在设置 RXNE 标志时生成中断请求。
5	ERRINTEN	**错误中断使能** 发生错误时，该位控制中断的产生（SPI 模式下的 CRCERR，RXOFERR，MMERR，TI 模式下的 NWERR 和 I2S 模式下的 TXUFERR，RXOFERR 和 NWERR）。 0：屏蔽了错误中断 1：启用错误中断 Bit 4 TIEN：帧格式 0：SPI Motorola（摩托罗拉）模式 1：SPI TI 模式 注：只有在禁用 SPI（SPIEN = 0）时才能写入该位。 在 I2S 模式下不使用该位。
4	TIEN	**帧格式** 0：SPI Motorola（摩托罗拉）模式 1：SPI TI 模式 注：只有在禁用 SPI（SPIEN = 0）时才能写入该位。 在 I2S 模式下不使用该位。
3	NSSPM	**NSS 脉冲管理** 该位仅用于主模式。它允许 SPI 在进行连续传输时在两个连续数据之间产生 NSS 脉冲。在单次数据传输的情况下，它会在传输后强制 NSS 引脚为高电平。 如果 CPHA ='1'或 TIEN ='1'则没有意义。 0：无 NSS 脉冲 1：产生 NSS 脉冲 注： 1.只有在禁用 SPI（SPIEN = 0）时才能写入该位。 2.该位不用于 I2S 模式和 SPI TI 模式。
2	NSSOEN	**NSS 输出使能** 0：主模式下禁止 SS 输出，SPI 接口可以在多主机配置下工作 1：在主模式下和 SPI 接口使能时，SS 输出使能。 SPI 接口无法在多主机环境中工作。 注：该位不用于 I2S 模式和 SPI TI 模式。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

1	DMATXEN	**Tx 缓冲区 DMA 使能** 该位置 1 时，只要 TXE 标志置 1，就会产生 DMA 请求。 0：禁用 Tx 缓冲区 DMA 1：启用 Tx 缓冲区 DMA
0	DMARXEN	**Rx 缓冲区 DMA 使能** 该位置 1 时，只要 RXNE 标志置 1，就会产生 DMA 请求。 0：禁用 Rx 缓冲区 DMA 1：启用 Rx 缓冲区 DMA

23.4.4 SPI 状态寄存器（SPIx_STS）

SPIx_STS (偏移地址=0x008，复位值=0x00000002)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	TXFIFOS[1:0]		RXFIFOS[2:0]		NWERR	BUSY	RXOFERR	MMERR	CRCERR	TXUFERR	I2SCSF	TXE	RXNE
			r	r	r	r	r	r	r	r	r_w0c	r	r	r	r

Bit 位	名称	描述
[31:13]	保留	
[12:11]	TXFIFOS	**FIFO 传输水平** 这些位由硬件置 1 和清除。 00：FIFO 空 01：1/4 FIFO 10：1/2 FIFO 11：FIFO 满（当 FIFO 阈值大于 1/2 时视为 FULL） 注意：这些位不用于 I²S 模式。
[10:9]	RXFIFOS	**FIFO 接收水平** 这些位由硬件置位和清除。 00：FIFO 空 01：1/4 FIFO 10：1/2 FIFO 11：FIFO 已满 注：当启用 CRC 计算时，这些位不用于 I²S 模式和 SPI 仅接收模式。
8	NWERR	**帧格式错误** 该标志用于 TI 从模式和 I2S 从模式下的 SPI。 该标志由硬件置 1，并在软件读取 SPIx_STS 时复位。 0：没有帧格式错误 1：发生帧格式错误

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

7	BUSY	**忙标志** 0：SPI（或 I2S）不忙 1：SPI（或 I2S）忙于通信或 Tx 缓冲区不为空该标志由硬件置 1 和清除。 注意：必须谨慎使用 BUSY 标志。
6	RXOFERR	**溢出标志** 0：未发生溢出 1：发生溢出 该标志由硬件设置并由软件序列复位。有关软件序列，请参阅 I2S 错误标志。
5	MMERR	**模式故障** 0：未发生模式故障 1：发生模式故障 该标志由硬件设置并由软件序列复位。有关软件序列，请参阅模式故障章节（MMERR）。 注意：该位不用于 I2S 模式。
4	CRCERR	**CRC 错误标志** 0：接收到的 CRC 值与 SPIx_RCRC 值匹配 1：接收到的 CRC 值与 SPIx_RCRC 值不匹配 该标志由硬件置 1，由软件写 0 清除。 注意：该位不用于 I2S 模式。
3	TXUFERR	**欠载标志** 0：没有发生欠载 1：发生欠载 该标志由硬件设置并由软件序列复位。有关软件序列，请参阅 I2S 错误标志。 注：该位不用于 SPI 模式。
2	I2SCSF	**通道** 0：左通道数据已经被发送或接收完成 1：左通道数据已经被发送或接收完成 注：该位不用于 SPI 模式。它在 PCM 模式下没有意义。
1	TXE	**发送缓冲区为空** 0：Tx 缓冲区不为空 1：Tx 缓冲区为空
0	RXNE	**接收缓冲区不为空** 0：Rx 缓冲区为空 1：Rx 缓冲区不为空

23.4.5 SPI 数据寄存器（SPIx_DATA）

SPIx_DATA (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

DATA[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	默认复位值
[15:0]	DATA	数据寄存器 收到或将要传输的数据 数据寄存器用作 Rx 和 Tx FIFO 之间的接口。 读取数据寄存器时，访问 RxFIFO，而写入数据寄存器访问 TxFIFO 注意：数据始终是右对齐的。 写入寄存器时忽略未使用的位，读取寄存器时读取为 0。 Rx 阈值设置必须始终与当前使用的读取访问权限相对应。

23.4.6 SPI CRC 多项式寄存器（SPIx_CRCPOLYR）

SPIx_CRCPOLYR (偏移地址=0x010，复位值=0x00000007)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCPR [15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:16]	保留	
[15:0]	CRCPR	**该寄存器包含 CRC 计算的多项式。** CRC 多项式（0007h）是该寄存器的复位值。 可以根据需要配置另一个多项式。 注意：多项式值应仅为奇数。 没有支持偶数。

23.4.7 SPI Rx CRC 寄存器（SPIx_RCRC）

SPIx_RCRC (偏移地址=0x014，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCR [15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

[31:16]	保留	
[15:0]	RCR	**Rx CRC 寄存器** 当使能 CRC 计算时，RCR [15:0]位包含随后接收的字节的计算 CRC 值。当 SPIx_CTR1 寄存器中的 CRCEN 位写入 1 时，该寄存器复位。使用 SPIx_CRCPOLYR 寄存器中编程的多项式串行计算 CRC。 当 CRC 帧格式设置为 8 位长度（SPIx_CTR1 中的 CRC16 位清零）时，仅考虑 8 个 LSB 位。 CRC 计算基于任何 CRC8 标准完成。 当选择 16 位 CRC 帧格式（SPIx_CTR1 寄存器中的 CRC16 位置 1）时，将考虑该寄存器的整个 16 位。 CRC 计算基于任何 CRC16 标准完成。 注意：设置 BUSY 标志时读取该寄存器可能返回不正确的值。这些位不用于 I2S 模式。

23.4.8 SPI Tx CRC 寄存器（SPIx_TCRC）

SPIx_TCRC (偏移地址=0x018，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCR [15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[31:16]	保留	
[15:0]	TCR	**Tx CRC 寄存器** 当 CRC 计算使能时，TCR [3:0]位包含随后发送的字节的计算 CRC 值。当 SPIx_CTR1 的 CRCEN 位写入 1 时，该寄存器复位。使用 SPIx_CRCPOLYR 寄存器中编程的多项式串行计算 CRC。 当 CRC 帧格式设置为 8 位长度（SPIx_CTR1 中的 CRC16 位清零）时，仅考虑 8 个 LSB 位。 CRC 计算基于任何 CRC8 标准完成。 当选择 16 位 CRC 帧格式（SPIx_CTR1 寄存器中的 CRC16 位置 1）时，将考虑该寄存器的整个 16 位。 CRC 计算基于任何 CRC16 标准完成。 注意：设置 BUSY 标志时读取该寄存器可能返回不正确的值。这些位不用于 I2S 模式。

23.4.9 I2S 控制寄存器（I2S_CTR）

I2S_CTR (偏移地址=0x01C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	I2SMS	I2SEN	I2SOM[1:0]		PCMLONG	保留	I2SSTDS[1:0]		CKPIS	I2SDL[1:0]		I2SCL
				r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 位	名称	描述
[31:12]	保留	
11	I2SMS	**I2S 模式选择** 0：选择 SPI 模式 1：选择 I2S 模式 注：禁用 SPI 或 I2S 时，应配置该位。
10	I2SEN	**I2S 使能** 0：禁用 I2S 外设 1：启用 I2S 外设 注： 1.该位不用于 SPI 模式。 2.**I2S 使用 DMA 发送数据时，应该先使能 I2SEN，再使能 DMA。** **3.I2S 中断发送数据时，需要等待最后一帧数据发送完成之后再关闭 I2S，**
[9:8]	I2SOM	**I2S 配置模式** 00：Slave - 传输 01：Slave - 收到 10：Master - 传输 11：Master - 收到 注意：禁用 I2S 时应配置这些位。 它们不用于 SPI 模式。
7	PCMLONG	**PCM 帧同步** 0：短帧同步 1：长帧同步 注意：仅当 I2SSTDS = 11（使用 PCM 标准）时，该位才有意义。 它不用于 SPI 模式。
6	保留	
[5:4]	I2SSTDS	**I2S 标准选择** 00：I2SPhilips（飞利浦）标准。 01：MSB 识别标志（左对齐） 10：LSB 识别标志（右对齐） 11：PCM 标准 它们不用于 SPI 模式。
3	CKPIS	**无效状态时钟极性** 0：I2S 时钟无效状态为低电平 1：I2S 时钟无效状态为高电平 注意：为了正确操作，应在禁用 I2S 时配置该位。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		它不用于 SPI 模式。 CKPIS 位不会影响用于接收或发送 SD 和 WS 信号的 CK 边沿灵敏度。
[2:1]	I2SDL	**要传输的数据长度** 00:16 位数据长度 01：24 位数据长度 10：32 位数据长度 11：不允许 注意：为了正确操作，应在禁用 I2S 时配置这些位。 它们不用于 SPI 模式。
0	I2SCL	**通道长度（每个音频通道的位数）** 0：16 位宽 1：32 位宽 只有当 I2SDL＝00 时，位写操作才有意义，否则无论填入的值是什么，通道长度都由硬件固定为 32 位。 注意：为了正确操作，应在禁用 I2S 时配置该位。 它不用于 SPI 模式。

23.4.10　I2S 预分频器寄存器（I2S_PDIV）

I2S_PDIV (偏移地址=0x020，复位值=0x00000002)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	MCKOEN	PDIVPS	I2SPDIV[7:0]							
						r/w	r/w	r/w							

Bit 位	名称	描述
[31:11]	保留	
9	MCKOEN	**主时钟输出使能** 0：禁止主时钟输出 1：使能主时钟输出 注意：禁用 I2S 时应配置此位。 仅在 I2S 处于主模式时使用。 它不用于 SPI 模式。
8	PDIVPS	**预分频器的奇数系数** 0：实分频器值= I2SPDIV * 2 1：实分频器值=（I2SPDIV * 2）+1 注意：禁用 I2S 时应配置此位。 仅在 I2S 处于主模式时使用。 它不用于 SPI 模式。
[7:0]	I2SPDIV	**I2S 线性预分频器** I2SPDIV [3:0] = 0 或 I2SPDIV [3:0] = 1 是禁用值。 注意：禁用 I2S 时应配置这些位。 它们仅在 I2S 处于主模式时使用。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

		它们不用于 SPI 模式。

芯海科技CHIPSEA

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

24 调试支持 (DBG)

概述

24.1.1 简介

芯片基于 Cortex- M0 内核对调试功能做了相应的扩展。扩展的调试功能允许内核在指令获取阶段或读取数据阶段停止。

24.1 模块操作

两个引脚复用作为 SW-DP 端口。

- SWDIO：复用 PA13 引脚，串行数据输入输出。
- SWDCLK：复用 PA14 引脚，串行时钟输入。

24.2

上电复位后，PA13 和 PA14 默认作为 SWD 口。PA13 打开内部上拉；PA14 打开内部下拉。软件可以通过 GPIO 配置改变 PA13 和 PA14 的功能，作为通用输入输出或其他复用功能。

24.2.1 低功耗模式调试支持

MCU 实现了多种低功耗模式。在睡眠模式下，系统时钟仍然存在，不会限制调试功能的使用。在深度睡眠模式和掉电模式下，用户必须置位 DSM_DBGEN 或 PWD_DBGEN 以满足调试需求。

24.2.2 TIMx、看门狗、I2C 调试支持

在断点处，可以选择定时器 TIMx 和看门狗的计数器行为，包括以下两种：

1、 在断点内继续计数。如正在使用 PWM 控制电机。

2、 在断点内停止计数。如看门狗计数停止。

对于 I2C，用户可以选择在断点处，停止 SMBus 功能。

24.3 寄存器

24.3.1 寄存器概览

表 85 DBG 寄存器概览

名称	偏移地址	描述	复位值
DBG_ID	0x000	微控制器设备 ID 码	0x1000644X
DBG_LPWCFG	0x004	低功耗调试支持配置寄存器	0x00000000
DBG_APB1CFG	0x008	APB1 外设调试支持配置寄存器	0x00000000
DBG_APB2CFG	0x00C	APB2 外设调试支持配置寄存器	0x00000000

24.3.2 微控制器设备 ID 码（DBG_ID ）

DBG_ID (偏移地址=0x000，复位值=0x1000644X)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REV_ID[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

保留	保留	保留	保留	DEV_ID[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[31:16]	REV_ID	**版本 ID**
[15:12]	保留	
[11:0]	DEV_ID	**设备 ID**

24.3.3 低功耗调试支持配置寄存器（DBG_LPWCFG）

DBG_LPWCFG (偏移地址=0x004，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	PWD_DBGEN	DSM_DBGEN	保留
													r/w	r/w	

Bit 位	名称	描述
[31:3]	保留	
2	PWD_DBGEN	**掉电模式调试支持使能** 0：进入掉电模式时，整个 1.5V 域数字部分掉电，系统时钟停止。 1：进入掉电模式时，1.5V 域数字部分不掉电，时钟正常工作。
1	DSM_DBGEN	**深度睡眠模式调试使能** 0：进入深度睡眠模式 1、2 时，所有时钟停止。 1：进入深度睡眠模式 1、2 时，时钟正常工作。
0	保留	

24.3.4 APB1 外设调试支持配置寄存器（DBG_APB1CFG）

DBG_APB1CFG (偏移地址=0x008，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	I2C1_SMBUS_DBG_PAUSE	保留	保留	保留	保留	保留

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

										r/w					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	FWDT_DBG_PAUSE	WWDT_DBG_PAUSE	RTC_DBG_PAUSE	保留	TIM14_DBG_PAUSE	保留	保留	保留	TIM6_DBG_PAUSE	保留	保留	TIM3_DBG_PAUSE	TIM2_DBG_PAUSE
			r/w	r/w	r/w		r/w				r/w			r/w	r/w

Bit 位	名称	描述
[31:22]	保留	
21	I2C1_SMBUS_DBG_PAUSE	**I2C1 SMBus 调试模式暂停使能** 0：SMBus 超时溢出功能正常工作。 1：SMBus 超时溢出功能暂停。
[20:13]	保留	
12	FWDT_DBG_PAUSE	**FWDT 调试模式暂停使能** 0：内核停止时，独立看门狗的计数器仍然存在。 1：内核停止时，独立看门狗的计数器时钟停止。
11	WWDT_DBG_PAUSE	**WWDT 调试模式暂停使能** 0：内核停止时，窗看门狗的计数器时钟仍然存在。 1：内核停止时，窗看门狗的计数器时钟停止。
10	RTC_DBG_PAUSE	**RTC 调试模式暂停使能** 0：内核停止时，RTC 计数器的时钟仍然存在。 1：内核停止时，RTC 计数器的时钟停止。
9	保留	
8	TIM14_DBG_PAUSE	**TIM14 调试模式暂停使能** 0：内核停止时，TIM14 计数器的时钟仍然存在。 1：内核停止时，TIM14 计数器的时钟停止
[7:5]	保留	
4	TIM6_DBG_PAUSE	**TIM6 调试模式暂停使能** 0：内核停止时，TIM6 计数器的时钟仍然存在。 1：内核停止时，TIM6 计数器的时钟停止
[3:2]	保留	
1	TIM3_DBG_PAUSE	**TIM3 调试模式暂停使能** 0：内核停止时，TIM3 计数器的时钟仍然存在。 1：内核停止时，TIM3 计数器的时钟停止
0	TIM2_DBG_PAUSE	**TIM2 调试模式暂停使能** 0：内核停止时，TIM2 计数器的时钟仍然存在。 1：内核停止时，TIM2 计数器的时钟停止

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

24.3.5 APB2 外设调试支持配置寄存器（DBG_APB2CFG）

DBG_APB2CFG (偏移地址=0x00C，复位值=0x00000000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	TIM17_DBG_PAUSE	TIM16_DBG_PAUSE	TIM15_DBG_PAUSE
													r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	保留	保留	保留	TIM1_DBG_PAUSE	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
				r/w											

Bit 位	名称	描述
[31:19]	保留	
18	TIM17_DBG_PAUSE	**TIM17 调试模式暂停使能** 0：内核停止时，TIM17 计数器的时钟仍然存在。 1：内核停止时，TIM17 计数器的时钟停止
17	TIM16_DBG_PAUSE	**TIM16 调试模式暂停使能** 0：内核停止时，TIM16 计数器的时钟仍然存在。 1：内核停止时，TIM16 计数器的时钟停止
16	TIM15_DBG_PAUSE	**TIM15 调试模式暂停使能** 0：内核停止时，TIM15 计数器的时钟仍然存在。 1：内核停止时，TIM15 计数器的时钟停止
[15:12]	保留	
11	TIM1_DBG_PAUSE	**TIM1 调试模式暂停使能** 0：内核停止时，TIM1 计数器的时钟仍然存在。 1：内核停止时，TIM1 计数器的时钟停止
[10:0]	保留	

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

25 器件电子标签

概述

电子签名存放在 Flash 的系统存储区域，可以通过 SWD 或者 CPU 读取。它所包含的芯片识别信息在出厂时写入，用户固件或者外部设备可以读取电子签名。

器件唯一身份标识寄存器（UID）

25.1 器件唯一身份标识寄存器（96 位）适合于：

- 用来作为序列号(例如 USB 字符序列号或者其他的终端应用)。
- 用来作为密码，在编写 Flash 时，将此唯一标识与软件加解密算法结合使用，提高代码在 Flash 存储器的安全性。
- 用来激活带安全机制的自举过程。

25.2 器件唯一身份标识寄存器所提供的参考号码对任意一颗 CS32F03x 芯片，在任何情况下都是唯一的。用户在何种情况下，都不能修改这个身份标识。

器件唯一身份标识寄存器基地址：0x1FFFF7AC。

UID [31:0](偏移地址=0x00，只读，出厂时写入)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[31:0]	UID [31:0]	**LOT 信息**

UID [63:32](偏移地址=0x04，只读，出厂时写入)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[63:48]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[47:32]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[31:0]	UID [63:32]	**Wafer 信息，及芯片型号**

UID [95:64](偏移地址=0x08，只读，出厂时写入)

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[95:80]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[79:64]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[31:0]	UID [95:64]	芯片位置信息

Flash 大小寄存器（FLASH_SIZE）

Flash 大小寄存器基地址：0x1FFFF7CC。

25.3

FLASH_SIZE(偏移地址=0x00，只读，出厂时写入)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLASH_SIZE[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 位	名称	描述
[15:0]	FLASH_SIZE[15:0]	指示器件的 Flash 空间大小（单位 KB）

免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，芯海科技不对信息的准确性、真实性做任何保证。

芯海科技不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他芯海科技提案、规格书或样品在他处提到的任何保证。

芯海科技不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2023 芯海科技（深圳）股份有限公司。保留所有权利。

本资料为芯海科技专有财产，非经许可，不得复制、翻印或转变其他形式使用。
This document is exclusive property of CHIPSEA and shall not be reproduced or copied or transformed to any other format without prior permission of CHIPSEA