

オペアンプを使用したデザインの精度：DC 誤差

著者： Kumen Blake
Microchip Technology Inc.

はじめに

本書は、オペアンプを使用した回路を扱うエンジニアの方、特にアナログ回路やオペアンプ回路設計の初心者を対象にしています。また、オペアンプの DC 仕様を理解することをご希望のエンジニアの方も読者に想定しています。

説明

本アプリケーション ノートでは、オペアンプを使用した高精度 DC 回路の設計に必要な基本的な背景知識および設計理論を紹介します。主な内容は次のとおりです。

- オペアンプの DC 仕様
- 回路の解析
- 回路の最適化
- 高度なトピック
- 参考資料

本アプリケーション ノートでは、従来の電圧帰還型オペアンプのみを取り上げます。DC 仕様にもオペアンプの DC モデルにも共通点が多いため、電流帰還型オペアンプについても、本アプリケーション ノートの内容が有用となります。

参考までに、入力オフセット電圧測定用の簡易回路を付録 A「入力オフセットの測定回路」に示しています。

DC 仕様

DC 仕様の中には、数は少ないながらもオペアンプの入力誤差を記述した項目があります。本項では、これらの仕様項目を入力オフセットに関するものと入力バイアス電流に関するものとに分けて説明します。

理想的なオペアンプ

図 1 に、理想的なオペアンプの DC モデルを示します (外部回路は省略)。誤差要因はすべて無視しており、開ループゲイン (A_{OL}) は無限大です。入力電圧と出力電圧の間には式 1 の関係が成り立ちます。

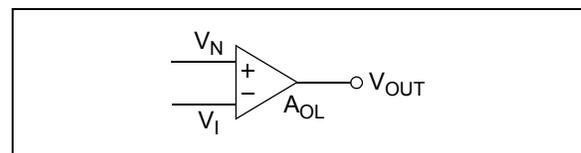


図 1: 理想的なオペアンプの DC モデル

式 1:

$$V_{OUT} = A_{OL}(V_N - V_I)$$

負帰還をかけると、理想的なオペアンプのゲインは無限大であるため、 V_N と V_I は完全に等しくなります。このような仮想短絡については、いくつかの資料で解説されています。[1、2] 正帰還をかけた (コンパレータとして使用した場合など)、 V_{OUT} は $(V_N - V_I)$ の符号に応じて、正または負のレールまで最大に振幅します。

DC 誤差を含んだオペアンプ モデル

図 2 に、物理に基づく DC オペアンプ モデルを示します。 V_{PLUS} と V_{MINUS} は外部入力電圧で、 V_N と V_I は内部入力電圧です。 V_{OST} は、全入力オフセット電圧の誤差を表します。非反転バイアス電流 (I_{BN}) と反転バイアス電流 (I_{BI}) は、2つの入力ピンのそれぞれで見られる物理的電流を表します。 A_{OL} は、有限の DC 開ループゲインです。

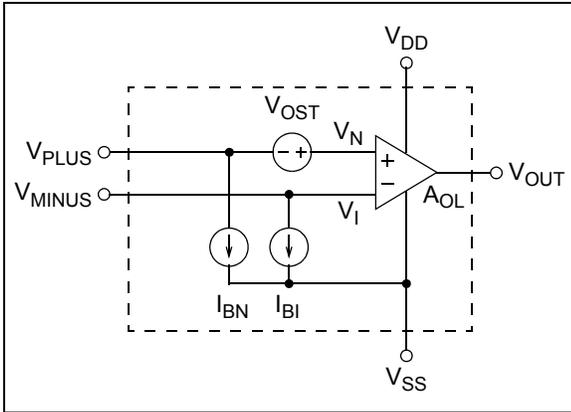


図 2: 物理に基づくオペアンプの DC モデル

入力オフセットに関する仕様項目

V_{OST} が正であると、出力電圧 (V_{OUT}) は正にシフトします。DC 電圧は次のとおりとなります。

式 2:

$$\begin{aligned} V_N &= V_{PLUS} + V_{OST} \\ V_I &= V_{MINUS} \\ V_{OUT} &= A_{OL}(V_N - V_I) \\ &= A_{OL}(V_{PLUS} - V_{MINUS}) + V_{OST} \end{aligned}$$

次の仕様項目は、全入力オフセット電圧 (V_{OST}) という 1 つのパラメータにまとめることにより、扱いが容易になります。

- 入力オフセット電圧 (V_{OS}):
 - 仕様上のオフセット
 - 特定のバイアス点における V_{OST} のこと
- DC 開ループ ゲイン (A_{OL}):
 - $A_{OL} = \Delta V_{OUT} / \Delta V_{OST}$
- 同相信号除去比 (CMRR):
 - $CMRR = \Delta V_{CM} / \Delta V_{OST}$
 - V_{CM} は同相入力電圧 (V_{PLUS} と V_{MINUS} の平均)
- 電源電圧変動除去比 (PSRR):
 - $PSRR = \Delta(V_{DD} - V_{SS}) / \Delta V_{OST}$
- 温度による入力オフセットのドリフト ($\Delta V_{OS} / \Delta T_A$):
 - T_A による V_{OST} の変化のことであり、実際には $\Delta V_{OST} / \Delta T_A$
 - T_A は周囲温度

これらの仕様項目については、単位を理解することが重要です。オペアンプのデータシートに慣れていないと、エンジニアの方でも単位で混乱する場合があります。次に、これらの単位について整理します。

- V_{OS} の単位: mV または μV
- A_{OL} の単位は、必ずしも先に示した関係式からわかるとは限りません。
 - $1/A_{OL} = \Delta V_{OST} / \Delta V_{OUT}$ の単位は $\mu V/V$
 - $20 \log(A_{OL})$ の単位は dB
- CMRR の単位も A_{OL} の単位と同様です。
 - $1/CMRR = \Delta V_{OST} / \Delta V_{CM}$ の単位は $\mu V/V$
 - $20 \log(CMRR)$ の単位は dB
- PSRR の単位も A_{OL} の単位と同様です。
 - $1/PSRR = \Delta V_{OST} / \Delta(V_{DD} - V_{SS})$ の単位は $\mu V/V$
 - $20 \log(PSRR)$ の単位は dB

$\Delta V_{OS} / \Delta T_A$ の単位: $\mu V/^\circ C$ または $nV/^\circ C$

注: A_{OL} 、CMRR、PSRR の各ゲインは、単位に $\mu V/V$ を使用した場合、それぞれの逆数であることに注意してください。この単位でゲインを表すのは、統計学的解析に最適です。これらの値は通常、ガウス分布となります。

PSRR は、 V_{DD} の変動 (ΔV_{DD}) に関する $PSRR^+$ と、 V_{SS} の変動 (ΔV_{SS}) に関する $PSRR^-$ の 2 つに分けて記載される場合があります。

これらの量は、次式によって 1 つにまとめられます。ここでは、バイアス電圧の変量は V_{OS} の仕様値を基準としており、単位はすべて V または V/V に変換しています。

式 3:

$$V_{OST} = V_{OS} + \frac{\Delta V_{OUT}}{A_{OL}} + \frac{\Delta V_{CM}}{CMRR} + \frac{\Delta V_{DD}}{PSRR} + \frac{\Delta V_{SS}}{PSRR} + \Delta T_A \cdot \frac{\Delta V_{OS}}{\Delta T_A}$$

これらの仕様項目は、いずれも正に変化すると、それに関連する V_{OST} が正に変化することに注意してください。

入力電流に関する仕様項目

入力バイアス電流 (I_{BN} と I_{BI}) によって外付け抵抗器の前後で電圧降下が生じ、これによって V_{OUT} がシフトします。従来どおり、 V_{PLUS} ピンと V_{MINUS} ピンに流入する電流は正となります。

これまででは、物理に基づくこれらの電流は、電流 I_B (入力バイアス電流) と I_{OS} (入力オフセット電流) という等価ペアに数学的に変換されていました。前者は I_{BN} と I_{BI} の平均、後者はその差分です。

式 4:

$$\begin{aligned} I_B &= \frac{(I_{BN} + I_{BI})}{2} \\ I_{OS} &= I_{BN} - I_{BI} \end{aligned}$$

このモデルは、 I_{BN} と I_{BI} がほぼ等しい従来型のオペアンプで使用する場合に有効です。つまりこの場合、 I_B は I_{OS} よりはるかに大きくなります。このような現象は、これらの電流が同じような物理現象（同じ入力バイアス電流でマッチングされたトランジスタペアなど）によって生じているために発生します。仕様に記載されたこれらの電流を回路にモデルリングしたものを図3に示します。

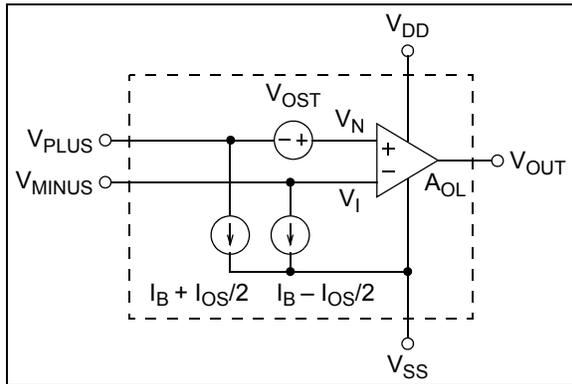


図3: 従来のオペアンプの等価 DC モデル

最近のオペアンプアーキテクチャの中には、 I_{OS} と I_B の大きさがほぼ等しいものもあります。このようになるのは、 I_{BN} と I_{BI} の物理的原因が関連していない（独立しているか、相関関係にない）ためです。多くのデータシートでは、現在も I_B と I_{OS} を仕様項目として記載しています。

入力電流は、アーキテクチャや入力トランジスタの種類、温度に大きく依存します。前述のとおり、従来のオペアンプでは、 $I_B \gg I_{OS}$ の関係となります。最近では、 I_{OS} と I_B がほぼ同じ大きさとなるアーキテクチャもあります。

多くのオペアンプには、入力部に静電気放電ダイオードがあります。PN接合の静電気放電ダイオードでは、室温における逆リーク電流は小さくなる傾向にあります。これらのリーク電流は、温度が 10°C 上昇するごとに2倍に増加します。一般に、静電気放電ダイオードはマッチングしやすいため、リーク電流の差も小さくなる傾向があります。これらのリーク電流は、入力バイアス電流の一部です。入力部が静電気放電ダイオードの結線されている電源電圧範囲を超えると、順電流はきわめて大きくなります。

CMOS 入力トランジスタでは、入力バイアス電流はきわめて小さくなります。これらのオペアンプの多くは、入力部に保護目的で静電気放電ダイオードを使用していますが、こうした静電気放電ダイオードの逆リーク電流が入力バイアス電流の大半を占めています。

電位計グレードのオペアンプでは、入力電流は最小限となります。これらは一般に、フェムトアンペア (10^{-15}A) レンジの電流を供給する FET トランジスタを入力部に使用しています。

バイポーラ入力では、入力バイアス電流が大きくなります。これらは入力差動ペアのベース電流であ

り、電源電圧による変化はわずかです。ただし、温度によっては大きく変化します（例えば -40°C ~ $+125^\circ\text{C}$ の間では $4\times$ のレンジ）。通常、これらのオペアンプは静電気放電ダイオードを使用しており、特に高温時にバイアス電流が大きくなります。

回路の解析

いくつかの簡単な手法を使用することで、オペアンプ回路の DC 誤差特性は容易に解析できます。いくつかの一般的な回路を例に、これらの手法を説明します。

非反転入力から見た抵抗

図4では、1つの信号源と複数のインピーダンスを非反転入力に接続した単純な回路を示します。この回路を出発点として、非反転入力から見た等価抵抗を計算する方法を説明します。

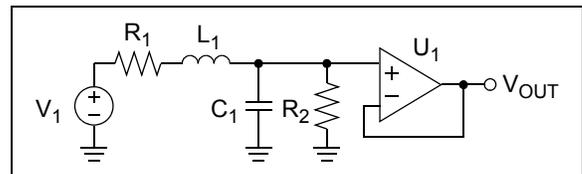


図4: 単純な回路

最初に、すべての外付け部品を DC 等価的な要素で置き換え、鳳-テブナンの定理で解析できるようにします。

- 電圧源は 0V (短絡)
- 電流源は 0A (開路)
- 抵抗はそのまま残す
- コンデンサは $\infty\Omega$ (開路)
- インダクタは 0Ω (短絡)

図4のオペアンプの非反転入力に接続された外付け部品を上記のように置換した結果としての回路を、図5に示します。鳳-テブナンの定理による解析をしやすくするため、テストソース (V_X) を追加しています。

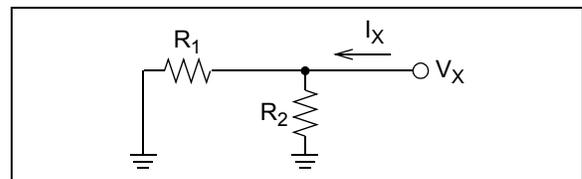


図5: 非反転入力の DC 等価回路

この例では、非反転入力から見た等価抵抗は次のとおりとなります。

式 5:

$$\begin{aligned} R_{NEQ} &= \frac{V_X}{I_X} \\ &= R_1 \parallel R_2 \end{aligned}$$

この抵抗は、非反転バイアス電流 (I_{BN}) 源の誤差計算に使用します。図 6 に、その方法を示します。オペアンプ入力部の誤差はこの段階で計算します。

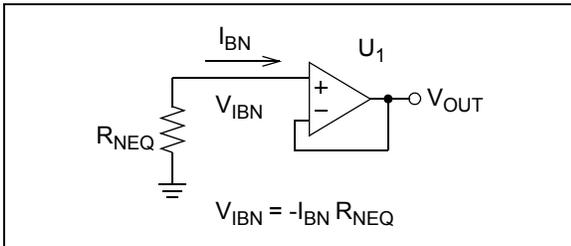


図 6: 非反転バイアス電流の誤差計算への応用

図 6 に示した誤差電圧 (V_{IBN}) は、電流 I_{BN} を明示的に記載しない等価回路図に図のように記入できます。この方が解析が簡単であり、後の手順との一貫性も保持しやすくなります。この新しい等価回路を図 7 に示します (I_{BN} は V_{IBN} に既に含まれています)。 V_{IBN} 源が正の場合、 V_{OUT} は正に変化します。

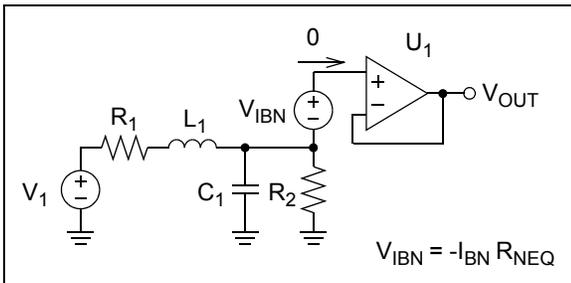


図 7: 非反転バイアス電流の誤差計算への応用

解析を簡単にするため、この等価回路は図 4 に示した最初の回路と同じ接続にしています。この方が、後ですべての誤差項をまとめる際に有用になります。

反転入力から見た抵抗

図 8 に、非反転ゲインアンプを示します。ここでは、先の項で説明した手順を使用して、反転入力から見た抵抗を計算します。

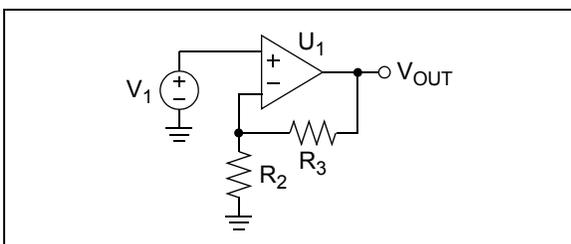


図 8: 非反転ゲイン回路

鳳 - テブナンの定理による解析のために等価回路を求める手順はここでも同じですが、1 つ近道があります。

- オペアンプの出力 (V_{OUT}) は電圧源として扱われる
 - これはグランドへの短絡となる

この結果得られる反転入力部の回路を、テストソース (V_X) を含めて図 9 に示します。

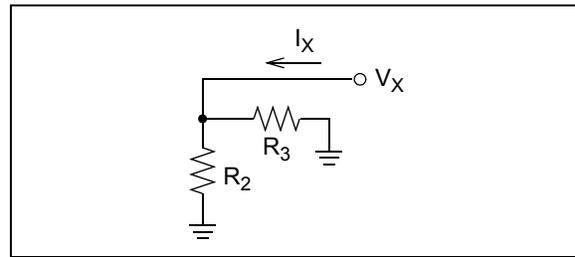


図 9: 反転入力の DC 等価回路

この例では、反転入力から見た等価抵抗は次のとおりとなります。

式 6:

$$R_{IEQ} = \frac{V_X}{I_X} \\ = R_2 \parallel R_3$$

この抵抗は、反転バイアス電流 (I_{BI}) 源の誤差計算に使用します。図 10 は、入力に換算したオペアンプ出力における誤差に対して、上記の内容を応用したものです。

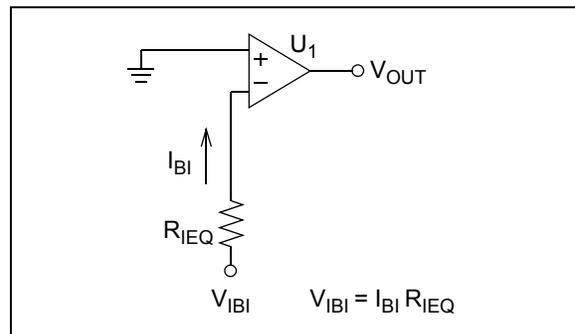


図 10: 反転バイアス電流の誤差計算への応用

注: オペアンプの反転入力電圧は非反転入力電圧と等しくなる必要があるため、 V_{IBI} は入力に換算した V_{OUT} の変化として示されます。

図 10 に示した誤差電圧 (V_{IBI}) は、電流 I_{BI} を明示的に記載しない等価回路図に図のように記入できます。この図を図 11 に示します (I_{BI} は V_{IBI} に既に含まれています)。 V_{IBI} 源が正の場合、 V_{OUT} は正に変化します。

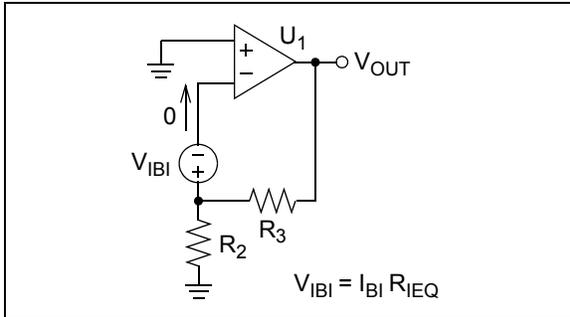


図 11: 反転バイアス電流の誤差計算への応用

解析を簡単にするため、抵抗器 R_2 と R_3 は、図 8 に示した元の回路と同じ接続にしています。これについては次項で説明します。

入力電圧誤差とノイズゲインの結合

オペアンプの入力におけるすべての DC 誤差 (V_{OST} 、 V_{IBN} 、 V_{IBI}) は、非反転入力ピンにおける 1 つの等価電圧源 (V_{IE}) に結合できます (図 12 参照)。

式 7:

$$V_{IE} = V_{OST} + V_{IBN} + V_{IBI}$$

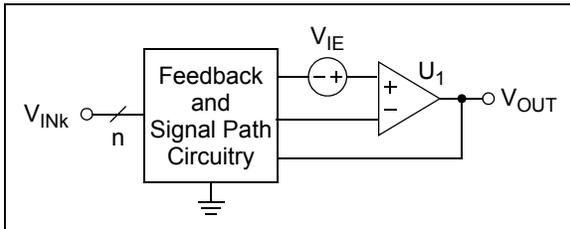


図 12: ノイズゲインの概念を示した回路図

ノイズゲイン (G_N) とは、オペアンプが閉ループ状態で動作し、その他の (外部) エネルギー源がゼロの場合の、(非反転入力ピンの) V_{IE} から V_{OUT} までの DC ゲインです。安定した帰還ループでは、 G_N は正となります。このゲインは、合理的な回路解析であればどのような方法でも求めることができます。これを式で表すと次のとおりとなります。

式 8:

$$G_N = \frac{V_{OUT}}{V_{IE}}$$

ここで:

$$\begin{aligned} V_{INk} &= 0V \\ k &= 1 \sim n \end{aligned}$$

以下に紹介する例では、この概念を一般的なオペアンプ回路にどのように応用できるかを説明します。

注: ノイズゲインの概念は、オペアンプの動作を理解する上できわめて重要です。例えば、この概念によってオペアンプの帯域幅、ノイズ、安定性の解析が容易になります。

出力 DC 誤差

ここまで展開してきた情報を使用すれば、オペアンプの出力誤差 (V_{OE}) はすぐに計算できます。重量の原理により、次式が得られます。

式 9:

$$\begin{aligned} V_{OE} &= G_N V_{IE} \\ &= G_N (V_{OST} + V_{IBN} + V_{IBI}) \end{aligned}$$

例

ユニティゲインバッファ

図 13 は、オペアンプを使用したユニティゲインバッファです。破線内に、オペアンプの DC モデルを示しています。

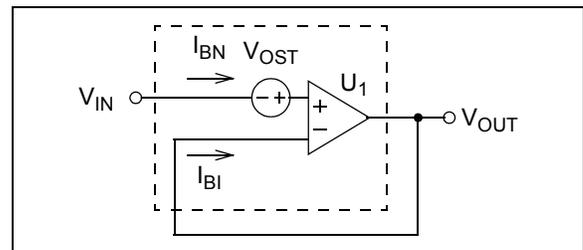


図 13: ユニティゲインバッファ

オペアンプの入力から見た抵抗は 0 であり、 $G_N = 1 \text{ V/V}$ であるため、出力電圧は次式で簡単に求めることができます。

式 10:

$$V_{OUT} = V_{IN} + V_{OST}$$

ここで、マイクロチップの MCP601 オペアンプを使用して、この回路設計を説明してみます。ここでは、 V_{CM} 、 V_{DD} 、 V_{OUT} が全範囲にわたって変動するものとします。 $\Delta V_{OS}/\Delta T_A$ については、最悪の場合の任意の推定値を使用します (正式な仕様についてはデータシートを参照してください)。 R_1 と R_3 は 0.1% 抵抗となります。

注: MCP601 の +25°C における同相入力電圧範囲 (V_{CMR}) は -0.3V ~ $V_{DD} - 1.2V$ の範囲に制限されているため、 V_{CM} が V_{DD} に近づくると出力誤差は大きくなります。

例 1:

最大 $V_{OE} = V_{OST}$:

$V_{OS} < \pm 2.00 \text{ mV}$

$$\Delta V_{OUT}/A_{OL} \leq (2.65\text{V})/(100 \text{ kV/V}) \\ \leq 0.03 \text{ mV}$$

$$\Delta V_{DD}/\text{PSRR} \leq (1.40\text{V})/(10.0 \text{ kV/V}) \\ \leq 0.14 \text{ mV}$$

$$\Delta V_{CM}/\text{CMRR} \leq (4.3\text{V} - (-0.3\text{V}))/(5.62 \text{ kV/V}) \\ \leq 0.82 \text{ mV} = \pm 0.41 \text{ mV}$$

$$\Delta T_A(\Delta V_{OS}/\Delta T_A) \leq (100^\circ\text{C})(\pm 12 \mu\text{V}/^\circ\text{C}) \\ \leq \pm 1.20 \text{ mV}$$

$$V_{OST} \leq \pm 3.8 \text{ mV}$$

非反転アンプ

図 14 は、入力部に LC ローパス フィルタを使用した非反転ゲイン アンプです。破線内に、オペアンプの DC モデルを示しています。

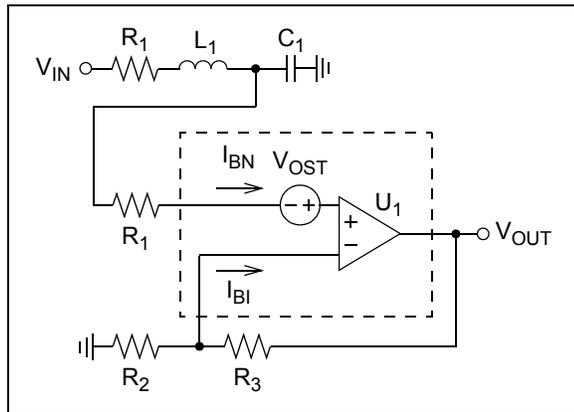


図 14: 非反転ゲイン アンプ

誤差を含む出力電圧は、次式で求めることができます。

式 11:

$$V_{OE} = G_N(V_{OST} + V_{IBN} + V_{IBI})$$

$$V_{OUT} = G_N V_{IN} + V_{OE}$$

ここで:

$$G_N = 1 + R_3/R_2$$

$$R_{NEQ} = R_1$$

$$R_{IEQ} = R_2 \parallel R_3$$

$$V_{IBN} = -I_{BN} R_{NEQ}$$

$$V_{IBI} = I_{BI} R_{IEQ}$$

例 1 に示した MCP601 の V_{OST} の計算は、+10 V/V のゲインの例にも使用できます。

例 2:

最大 $V_{OST} = \pm 3.8 \text{ mV}$

選択した抵抗 (図 14 参照):

$$R_3 = 20.0 \text{ k}\Omega$$

$$R_2 = 2.21 \text{ k}\Omega$$

$$R_1 = 2.00 \text{ k}\Omega$$

$$G_N = 10.05 \text{ V/V}$$

最小 V_{IBN} :

$$R_{NEQ} = 2.00 \text{ k}\Omega$$

$$V_{IBN} \geq -(5 \text{ nA} + 0.5 \text{ nA})(2.00 \text{ k}\Omega) = -11 \mu\text{V}$$

最大 V_{IBN} :

$$R_{IEQ} = 1.99 \text{ k}\Omega$$

$$V_{IBN} \leq (5 \text{ nA} - 0.5 \text{ nA})(1.99 \text{ k}\Omega) = 9 \mu\text{V}$$

最大 V_{OE} :

$$V_{OE} \leq \pm 38 \text{ mV}$$

反転アンプ

図 15 は、反転ゲイン アンプです。破線内に、オペアンプの DC モデルを示しています。

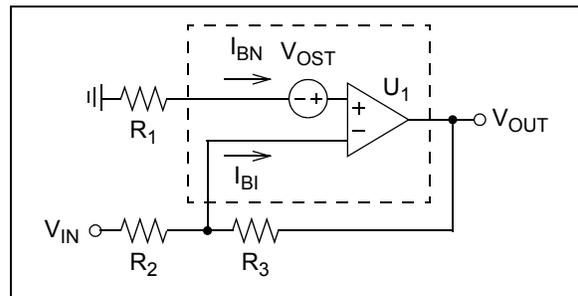


図 15: 反転ゲイン アンプ

誤差を含む出力電圧は、次式で求めることができます。

式 12:

$$V_{OE} = G_N(V_{OST} + V_{IBN} + V_{IBI})$$

$$V_{OUT} = -(G_N - 1)V_{IN} + V_{OE}$$

ここで:

$$G_N = 1 + R_3/R_2$$

$$R_{NEQ} = R_1$$

$$R_{IEQ} = R_2 \parallel R_3$$

$$V_{IBN} = -I_{BN} R_{NEQ}$$

$$V_{IBI} = I_{BI} R_{IEQ}$$

なお、例 2 は -9 V/V の反転ゲイン用に簡単に修正できます。抵抗と V_{OE} は同じです (信号ゲインのみが変化)。

差動アンプ

図 16 は、差動アンプです。破線内に、オペアンプの DC モデルを示しています。重畳の原理を使用すれば、この回路はすぐに解析できることに注目してください。

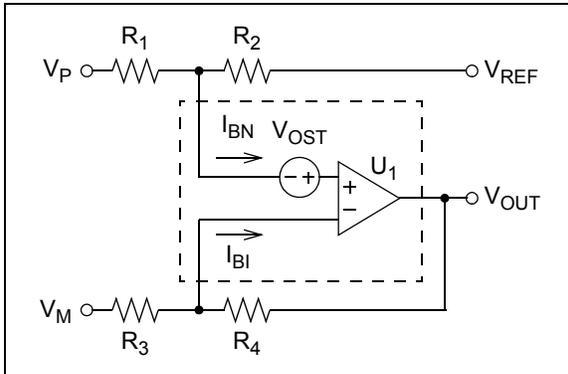


図 16: 差動アンプ

誤差を含む出力電圧は、次式で求めることができます。

式 13:

$$V_{OE} = G_N(V_{IE} + V_{IBN} + V_{IBI})$$

$$V_{OUT} = (G_N - 1)(V_P - V_M) + V_{REF} + V_{OE}$$

ここで:

$$R_2 = R_1$$

$$R_4 = R_3$$

$$G_N = 1 + R_2/R_1 = 1 + R_4/R_3$$

$$R_{NEQ} = R_1 \parallel R_2$$

$$R_{IEQ} = R_3 \parallel R_4$$

$$V_{IBN} = -I_{BN}R_{NEQ}$$

$$V_{IBI} = I_{BI}R_{IEQ}$$

10 V/V のゲインの差動アンプに MCP601 を使用すると、例 2 同様、次のとおりとなります。

例 3:

最大 $V_{OST} = \pm 3.8 \text{ mV}$
 選択した抵抗 (図 16 参照):

$$R_1 = R_3 = 2.00 \text{ k}\Omega$$

$$R_2 = R_4 = 20.0 \text{ k}\Omega$$

$$G_N = 11.00 \text{ V/V}$$

$$(G_N - 1) = 10.00 \text{ V/V, 差動ゲイン}$$

電圧の最大誤差:

$$V_{IBN} \geq -(5 \text{ nA} + 0.5 \text{ nA})(1.82 \text{ k}\Omega) = -10 \text{ }\mu\text{V}$$

$$V_{IBN} \leq (5 \text{ nA} - 0.5 \text{ nA})(1.82 \text{ k}\Omega) = 8 \text{ }\mu\text{V}$$

$$V_{OE} \leq \pm 42 \text{ mV}$$

回路の最適化

ここでは、満足のゆく精度をすぐに達成するのに有用な、いくつかの簡単な設計手法を紹介します。

ゲインの選択

信号源 (温度センサなど) の隣にアンプを設置すると、適切かつ最大限のゲインを獲得できます。これにより、後段のゲインを小さくできます (通常は 1 V/V のゲイン)。

この設計手法は、多くのアナログ信号処理部品において、全体的な誤差に与える影響を最小限に抑える効果があります。また、高精度の部品は必要な部分に限って使用すればよいので、コスト削減にもなります。

バイアス電流誤差の最小化

図 13 ~ 図 16 で示した例については、仕様に記載された電流値を使用してバイアス電流誤差電圧を等価値に変換すると、多くの有益な情報が得られます。

式 14:

$$V_{IBN} + V_{IBI} = -I_{BN}R_{NEQ} + I_{BI}R_{IEQ}$$

$$= I_B(R_{IEQ} - R_{NEQ}) - I_{OS}\left(\frac{R_{IEQ} + R_{NEQ}}{2}\right)$$

どのようなオペアンプでも、抵抗を最小化することが、こうした誤差の最小化につながります。

多くのオペアンプでは、バイアス電流 (I_B) の方がオフセット電流 (I_{OS}) よりも最大仕様値がはるかに大きくなっています。この場合、 $R_{N_EQ} = R_{I_EQ}$ とすると最大の性能が得られます。 I_{OS} が I_B よりはるかに小さい場合、 I_B が主な誤差要因とならないようにするには、抵抗許容誤差 (RTOL) が十分に良好なものを選択する必要があります。

式 15:

$$RTOL \ll 4 \frac{I_{OS}}{I_B}$$

入力抵抗が大きい場合も、同相入力電圧 (V_{CM}) が大幅にシフトしてしまいます。場合によっては、これによって同相入力電圧範囲 (V_{CMR}) が大幅に減少することがあります。

式 16:

$$\Delta V_{CM} = -I_B \left(\frac{R_{IEQ} + R_{NEQ}}{2} \right)$$

$$V_{CMR_EQ} = V_{CMR} + \Delta V_{CM}$$

オペアンプの選択

オペアンプは、個々の設計で必要とされる DC 精度レベルに対応したものを選択する必要があります。表 1 に示す 4 種類の代表的なオペアンプアーキテクチャは、性能、コスト、設計の複雑さなどの面で一長一短があります。

表 1: オペアンプの特徴 (1)

Parameter	Performance for Each Architecture			
	General Purpose	Trimmed	Auto-calibrated	Auto-zeroed
V_{OS}	1	2	3	4
$\Delta V_{OS}/\Delta T_A$	1	1	3	4
V_{OS} Aging	1	1	3	4
A_{OL}	2	2	3	4
CMRR	1	1	1	4
PSRR	1	1	1	4
I_B	2	2	1	3
I_{OS}	2	2	2	2

注 1: 性能を表す数字は、1=可、2=良好、3=更に良好、4=最高、を意味します。

プロセスおよび環境に起因するばらつき

性能から見た設計のばらつきを評価する方法は、業界内で広く知られています。例として、ワーストケース解析 (最小値または最大値におけるすべての許容誤差) や RSS (Root Sum of Squares – 統計学的アプローチ) などがありません。

次に、プロセスおよび環境に起因する変化の評価対象となる、オペアンプの重要な動作を列記します (多くの場合、ガウス分布となります)。

- V_{OS}
 - デュアルおよびクアッドのオペアンプにおける V_{OS} の値はすべて統計学的には独立 (ゼロ相関)
- $1/A_{OL}$ 、 $1/CMRR$ 、 $1/PSRR$ (単位 $\mu V/V$)
- $\Delta V_{OS}/\Delta T_A$
- オフセットの経年劣化
 - 時間とともに増加
 - 自動ゼロ調整オペアンプのデータシートにのみ仕様値として記載
- I_B および I_{OS}
 - CMOS 入力 (静電気放電ダイオードを使用) と温度は指数関数の関係 ($10^\circ C$ 上昇するごとに 2 倍)
 - 一般に、バイポーラ入力では $-40^\circ C$ で 2 倍、 $+125^\circ C$ で半分
 - 通常は相関なし

高度なトピック

プリント基板のレイアウト

プリント基板 (PCB) のレイアウトは、DC 精度に大きく影響します。ここでは、次の影響を考慮する必要があります。

- グランドループ – 接地の方法が不適切な場合や電流のリターンパスを十分考慮しない場合、DC 電圧が大きく変動することがあります。
- クロストーク – 同じプリント基板上の他の信号がグランドや電源、信号配線に混入することがあります。

同相入力電圧範囲

見落とされがちですが、信号が入力電圧範囲を超えてしまうと誤差の要因となります。レールツーレール入力でないオペアンプをユニティゲインで使用した場合に、最も多く発生します。入力で V_{CMR} を超えると出力に誤差が生じ、その誤差は急速に大きくなります。

出力電圧範囲

出力電圧範囲を超えると大きな誤差が生じ、その誤差は急速に大きくなります。オペアンプのデータシートに通常記載されている V_{OL} と V_{OH} の仕様項目は、非線形動作 (すなわち、コンパレータとして使用した場合) を表します。出力がこれらの限界値に近づくと、 V_{OST} が大幅に増大し、ハードリミットに達します。精度要求の厳しい設計では、 V_{OUT} はデータシートの A_{OL} 仕様項目に示されている範囲内に収めるようにします。

ノイズ

データシートの入力ノイズ密度の仕様値を使用すると、オペアンプの積分出力ノイズ (出力電圧のランダムな変動) を計算できます。これにより、任意の時間において予想される誤差の範囲が算出でき、きわめて高ゲインの場合には出力範囲を大幅に狭めてしまいます。

非線形歪み

非線形歪みによって、ある周波数の正弦波は、複数の周波数のフーリエ級数に変換されます。不要なトーン周波数は、高調波歪み成分です。こうした不要なトーンの 1 つに、ゼロ周波数 (DC) があります。すなわち、非線形歪みによって DC シフトが生じます。

例えば、シンプルな正弦波を、2 次 (多項) 応答をするアンプで処理すると、次の結果が得られます。

式 17:

$$\begin{aligned}
 V_{IN} &= V_M \sin(2\pi ft) \\
 V_{OUT} &= A_0 + A_1 V_{IN} + A_2 V_{IN}^2 \\
 &= A_0 + A_1 V_M \sin(2\pi ft) + A_2 (V_M \sin(2\pi ft))^2 \\
 &= B_0 + B_1 \sin(2\pi ft) + B_2 \cos(4\pi ft)
 \end{aligned}$$

ここで:

$$B_0 = A_0 + \frac{A_2 V_M^2}{2}$$

$$B_1 = A_1 V_M$$

$$B_2 = \frac{-A_2 V_M^2}{2}$$

その他すべての偶数次高調波歪み項も、DC バイアスをシフトさせます。しかし通常は、2 次項の影響が最も顕著です。

たとえ緩やかなものでも、非線形性の部品を信号経路に使用すると、この影響が生じます。この問題を解決するには、より高品質の部品を選択するようにします。

より一般的な現象として、高周波信号は非線形素子に誘導されます。代表的な例について、次項で詳しく説明します。

EMI

高周波 (すなわち、オペアンプの利得帯域幅積付近あるいはそれ以上) での EMI (電磁干渉) は、プリント基板上のどの部品の入力とも容易に結合します。オペアンプも例外ではありません。オペアンプはこのエネルギーに対する制御範囲がごく小さく、静電気放電ダイオードはきわめて高速であるため、後者が高周波 EMI を整流します。

EMI のエネルギーが整流されることによって、オペアンプの入力部では高周波エネルギーと大幅な DC シフトの両方が発生します。この状態は、多くの計測機器で V_{OST} が予期した値を超えて大きくなることで分かります。これらの機器は高周波成分の平均を表示します。設計上でこの問題が生じているかどうかを調べるには、高速なオシロスコープを使用してタイムスケールを短く設定します。

EMI の問題は、プリント基板設計の段階で対処しておくのが最も効果的な解決方法です。電源ライン、磁気ループ、容量性金属部分などが結合路となる可能性があります。

オペアンプの入力部に高周波フィルタを使用することで、性能が改善することがあります。しかし通常は、あまり大きな改善にはなりません。また、フィルタが帰還ネットワークの安定性に影響し、予期しない動作を招くことがあります。

発振

オペアンプ回路は、不安定になることで発振する場合があります。この状態が発生すると、不可解な兆候が多く現れます。消費電流の増加、回路内の DC 電圧のシフト、電圧のゆらぎ、間欠的なグリッチなどが見られます。

この問題を突き止めるには、高速なオシロスコープを使用してタイムスケールを変更します。0.1V よりはるかに小さい発振の検出には、信号のゲインアップが必要となることがあります。

発振 (不安定な動作) の原因を確かめるには、別の帰還ループで並列にコンデンサを配置するなどして部品数値を変更します。通常、発振の周波数が変化すれば、それは不安定なループに影響があったことを意味します。

注: オペアンプ自体は、安定もしなければ不安定にもなりません。帰還ループの設計 (オペアンプと受動部品の相互作用) によって安定性が決まります。

まとめ

本アプリケーションノートでは、オペアンプ (電圧帰還型) を使用した設計の精度について詳しく解説しました。DC 誤差はすべて入力に起因するように換算できること、そしてそれらは入力オフセット電圧の更なる変化として出現することを見てきました。また、ユニティゲインバッファ、非反転ゲインアンプ、反転ゲインアンプ、差動アンプという最も代表的なオペアンプ回路について、誤差の結果を見てきました。より複雑な設計にも対応できるように、性能最適化のヒントや高度なトピックについても紹介しました。関連トピックについての詳細な情報は、参考資料で紹介しています。

参考資料

回路レベルの設計に関する参考書

- [1] Paul R. Gray and Robert G. Meyer, "Analysis and Design of Analog Integrated Circuits," 2nd Ed., John Wiley & Sons, 1984.

トランジスタ レベルの設計に関する参考書

- [2] Paul R. Gray and Robert G. Meyer, "Analysis and Design of Analog Integrated Circuits," 2nd Ed., John Wiley & Sons, 1984.

P.R. グレイ / P.J. フルスト / S.H. レビス / R.G. メイヤ 著、浅田 / 永田 [監訳]、『システム LSI のためのアナログ集積回路設計技術』、上下巻、原著第 4 版、倍風館、2003

付録 A: 入力オフセットの測定回路

この付録では、多くのオペアンプについて、入力オフセット電圧とバイアス電流特性をベンチで評価するのに使用できる簡単なテスト回路を紹介します。初めに、 V_{OST} のみを測定する単純な回路から説明します。次にこの回路を拡張し、 I_{BN} と I_{BI} も測定できるようにします。これらの回路の制約についても説明します。

A.1 基本的な入力オフセット テスト回路

図 A-1 に示す回路では、オペアンプの V_{OST} を簡単に測定できます (V_{OS} 、 A_{OL} 、 $CMRR$ 、 $PSRR$ 、 $\Delta V_{OS}/\Delta T_A$)。 V_P によってオペアンプの V_{CM} が決定します。 V_M によって V_{OUT} の公称値が決定します。 R_1 は U_1 の入力を V_P から切り離し、 I_B によって誘発された誤差を打ち消すために使用します。 2 つの抵抗器 R_3 は、 V_M に対する反転ゲインを $-1 V/V$ に設定します。 R_2 によってノイズゲインが増加しますが、 V_P および V_M から見たゲインには影響しません。 V_{DD} と V_{SS} は供給電圧で、 $PSRR$ の測定用に変化させることができます。

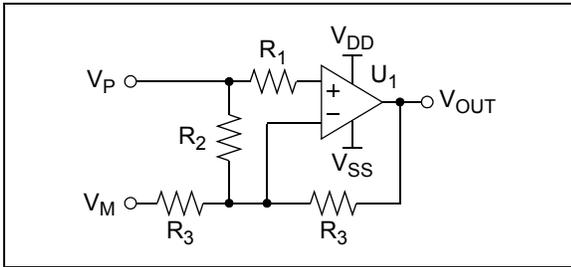


図 A-1: オフセット テスト回路

同相入力電圧および出力電圧は次のとおりとなります。

式 A-1:

$$\begin{aligned} V_{CM} &= V_P + \left(\frac{V_{OST}}{2}\right) - I_{BN}R_1 \\ &= V_P + \left(\frac{V_{OST}}{2}\right) - (I_B + I_{OS})R_1 \\ V_{OUT} &= 2V_P - V_M + V_{OST}G_N - I_{BN}G_N R_1 + I_{BI}R_3 \\ &= 2V_P - V_M + V_{OST}G_N + I_B(R_3 - G_N R_1) \\ &\quad - I_{OS}\left(\frac{R_3 + G_N R_1}{2}\right) \end{aligned}$$

ここで:

$$G_N = 2 + R_3/R_2$$

注: V_{CM} は 2 つの入力電圧 (V_{OST} ありとなし) の平均であるため、 $V_{OST}/2$ という項が含まれます。通常、これはわずかな差にしかなりません。

A.1.1 回路の設計

ここでの目標は、 G_N を妥当な大きさにして、誤差項 (V_{OST} 、 I_{BN} 、 I_{BI} を含む) をなるべく小さくすることにあります。設計上の選択を次のようにすると、良好な結果が得られます ($G_N V_{OST}$ がきわめて大きくなるように選択してあるため)。

式 A-2:

$$\begin{aligned} G_N &\approx \frac{(25mV)}{(\max|V_{OST}|)} \\ R_3 &\approx \text{typical load resistance} \\ R_2 &= \frac{R_3}{G_N - 2} \\ R_1 &= \frac{R_3}{G_N} \end{aligned}$$

G_N を推定するために使用した 25 mV の値により、 V_{OUT} は妥当な出力範囲となります。例えば、MCP601 の A_{OL} 仕様では、 V_{OUT} が電源レールから 0.1V と定められていますが、 $G_N V_{OST}$ 項により、これが電源レールから 0.05V ~ 0.15V の範囲となります。

バイアス電流誤差を無視できるものとして、 V_{OST} について解くと、次式が得られます。

式 A-3:

$$V_{OST} \approx \frac{V_{OUTHI} - (2V_P - V_M)}{G_N}$$

ここでマイクロチップの MCP601 オペアンプを使用して、この設計を説明しましょう (6 ページの例 2 と同様)。 R_3 を小さくすると、 I_{BN} と I_{BI} の影響が最小限に抑えられます。

例 A-1:

$$V_{OST} \leq \pm 3.8 \text{ mV}$$

設計の選択:

$$\begin{aligned} G_N &\approx (25 \text{ mV}) / (3.8 \text{ mV}) \\ &= 6.6 \text{ V/V} \rightarrow 5 \text{ V/V} \\ R_3 &= 100 \text{ k}\Omega \rightarrow 20.0 \text{ k}\Omega \\ R_2 &= 6.65 \text{ k}\Omega \\ R_1 &= 4.02 \text{ k}\Omega \end{aligned}$$

V_{CM} と V_{OUT} の精度への影響:

$$\begin{aligned} V_{CM} &= V_P \pm 1.9 \text{ mV} \\ V_{OUT} &= 2V_P - V_M + V_{OST}G_N \pm 0.01 \text{ mV} \end{aligned}$$

V_{CM} の誤差を $CMRR$ (5.62 kV/V) で割ると、 V_{OUT} の誤差 $\pm 0.3 \mu\text{V}$ が得られます。これによって同相入力電圧範囲も 2.0 mV だけ小さくなりますが、多くの

目的においてこれは無視できるレベルです。こうして、 V_{OUT} には、主にバイアス電流による約 $\pm 0.04\%$ の誤差が存在すると推定できます。

A.1.2 測定の方針

ここまでで回路が設計できたので、次は必要なポイントをどのように測定するかを策定します。ここでの目標は、MCP601 のデータシートの $+25^\circ\text{C}$ における仕様値が正しいことを再確認することとします。

表 A-1: 測定ポイント

Meas. No.	Nominal Bias Point			Target Parameters			
	V_{DD} (V)	V_{CM} (V)	V_{OUT} (V)	V_{OS}	A_{OL}	CMRR	PSRR
1	2.7	1.35	1.35	X	—	—	X
2		1.35	0.1	—	X	—	—
3		1.35	2.6	—	X	—	—
4	5.0	-0.3	2.5	—	—	X	—
5		3.8	2.5	—	—	X	—
6	5.5	2.75	2.75	X	—	—	X
7		2.75	0.1	—	X	—	—
8		2.75	5.4	—	X	—	—

このような測定値と仕様値の関係式については、2 ページの項「入力オフセットに関する仕様項目」を参照してください。

A.2 完全な入力オフセット テスト回路

図 A-2 に示す回路は、図 A-1 の回路と同様に機能しますが、それに加え、 R_4 と R_5 で I_{BN} と I_{BI} を測定できるようになっています。 V_{OST} に関する測定では、すべてにおいて SW_4 と SW_5 で R_4 と R_5 を短絡します。 C_4 と C_5 は安定性を維持し、ノイズを低減する役割を果たします。

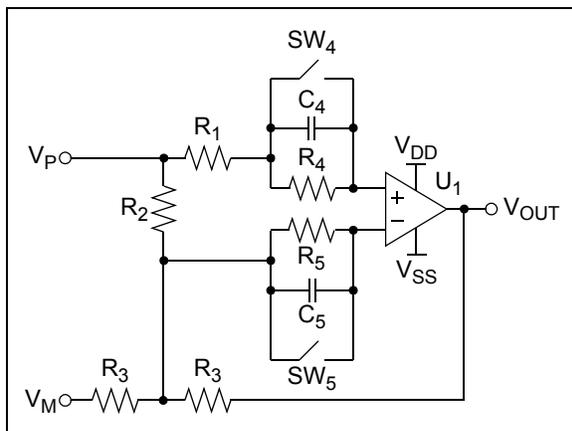


図 A-2: バイアス電流の測定に対応したオフセットテスト回路

同相入力電圧および出力電圧は次のとおりとなります。

式 A-4:

$$\begin{aligned}
 V_{CM} &= V_P + \left(\frac{V_{OST}}{2}\right) - I_{BN}R_{NEQ} \\
 &= V_P + \left(\frac{V_{OST}}{2}\right) - (I_B + I_{OS})R_{NEQ} \\
 V_{OUT} &= 2V_P - V_M + G_N(V_{OST} - I_{BN}R_{NEQ} + I_{BI}R_{IEQ}) \\
 &= 2V_P - V_M + G_N V_{OST} + I_B G_N (R_{IEQ} - R_{NEQ}) \\
 &\quad + I_{OS} G_N \left(\frac{R_{IEQ} + R_{NEQ}}{2}\right)
 \end{aligned}$$

ここで:

$$\begin{aligned}
 G_N &= 2 + R_3/R_2 \\
 R_{NEQ} &= R_1, SW_4 = \text{short} \\
 &= R_1 + R_4, SW_4 = \text{open} \\
 R_{IEQ} &= R_3/G_N, SW_5 = \text{short} \\
 &= (R_3/G_N) + R_5, SW_5 = \text{open}
 \end{aligned}$$

A.2.1 回路の設計

ここでは、設計に使用する式に R_4 、 R_5 、 C_4 、 C_5 の推定値を追加します。コンデンサの容量は、多くのオペアンプの同相入力容量よりはるかに大きくなります (安定性、ノイズ、速度のため)。

式 A-5:

前述のように G_N 、 R_3 、 R_2 および R_1 を選択

$$\begin{aligned}
 R_4 &= (25 \text{ mV}) / (G_N \max |I_{BN}|) \\
 R_5 &= (25 \text{ mV}) / (G_N \max |I_{BI}|) \\
 C_4 &= C_5 = 100 \text{ pF}
 \end{aligned}$$

この回路の実際の使用方法は、次のとおりです。まず、 SW_4 と SW_5 を短絡して、 V_{OST} に関するすべてのパラメータを測定します。すると、この回路は A.1 「基本的な入力オフセットテスト回路」で説明したのとまさに同じ動作をしています。

I_{BN} と I_{BI} を測定するには、同じバイアス点でスイッチの状態を次のように変更して 3 回測定します。

表 A-2: スイッチの選択

Meas. No.	Switches		Emphasize
	SW_1	SW_2	
1	short	short	V_{OST}
2	open	short	V_{OST} and $I_{BN}R_4$
3	short	open	V_{OST} and $I_{BI}R_5$

注 1: 2 番目に測定する R_4 によって、 V_{CM} が大きく変化することがあります。

これらの測定値を引くと、次のシンプルな結果が得られます。

式 A-6:

$$I_{BN} = \frac{-(V_{OUT\#2} - V_{OUT\#1})}{R_4}$$

$$I_{BI} = \frac{V_{OUT\#3} - V_{OUT\#1}}{R_5}$$

$$V_{OST} = \frac{V_{OUT\#1} - (2V_P - V_M)}{G_N} + I_{BN}R_1 - I_{BI} \cdot \frac{R_3}{G}$$

$$\approx \frac{V_{OUT\#1} - (2V_P - V_M)}{G_N}$$

$$I_B = \frac{(I_{BN} + I_{BI})}{2}$$

$$I_{OS} = I_{BN} - I_{BI}$$

ここで、MCP601 を使用している例 A-1 の続きとして、最大 +85°C での測定を実行することにします。

例 A-2:

$V_{OST} \leq \pm 3.8 \text{ mV}$
 $T_A \leq +85^\circ\text{C}$
 設計の追加選択:

$$R_4 = R_5 = (25 \text{ mV}) / ((5 \text{ V/V}) (60 \text{ pA}))$$

$$= 83.3 \text{ M}\Omega \rightarrow 20.0 \text{ M}\Omega$$

$$G_N R_4 = G_N R_5 = 100 \text{ M}\Omega$$

$$C_4 = C_5 = 100 \text{ pF}$$

出力電圧の例:

$$I_{BN} G_N R_4 = 0.10 \text{ mV}, I_{BN} = 1 \text{ pA}$$

$$= 6.0 \text{ mV}, I_{BN} = 60 \text{ pA}$$

上記の 20 MΩ は、入手が容易な 10 MΩ 抵抗を 2 つ直列に接続したものです。V_{OUT} の測定には、18 ビット ADC を使用すれば十分です。では、例 A-2 に続き、R₄ と R₅ の値を変更して、+125°C での測定を実行することにします。

例 A-3:

$V_{OST} < \pm 3.8 \text{ mV}$
 $T_A = +125^\circ\text{C}$
 設計の追加選択:

$$R_4 = R_5 = (25 \text{ mV}) / ((5 \text{ V/V}) (5 \text{ nA}))$$

$$= 1 \text{ M}\Omega$$

$$G_N R_4 = G_N R_5 = 5 \text{ M}\Omega$$

$$C_4 = C_5 = 100 \text{ pF}$$

出力電圧の例:

$$I_{BN} G_N R_4 = 0.25 \text{ mV}, I_{BN} = 50 \text{ pA}$$

$$= 25 \text{ mV}, I_{BN} = 5 \text{ nA}$$

つまり、この温度では 16 ビット ADC で十分ということになります。

A.2.2 測定の方針

ここでは、ある一定の温度において、V_{DD} = 2.7V および 5.5V における MCP601 のバイアス電流がデータシートの仕様値どおりであるかどうかを再確認してみましょう。

表 A-3: バイアス電流の測定ポイント

Meas. No.	Nominal Bias Point			Switch Settings		Target Parameter
	V _{DD} (V)	V _{CM} (V)	V _{OUT} (V)	SW ₄	SW ₅	
1	2.7	1.35	1.35	short	short	V _{OST}
2				open	short	I _{BN}
3				short	open	I _{BI}
4	5.5	2.75	2.75	short	short	V _{OST}
5				open	short	I _{BN}
6				short	open	I _{BI}

パラメータ抽出に関する式については、式 A-6 を参照してください。

A.3 紹介したテスト回路の制約

次に、特に重要な制約事項を列挙します。

- V_{CM} は正確には制御できない(特に CMRR 測定時)
- I_{BN}R₄ がきわめて大きい場合、同相入力範囲を超えることがある
- V_{OST} の分解能は最高でも 10 μV ~ 20 μV
- プリント基板上の温度勾配により、接合部の温度上昇による電圧が発生する
- 抽出したパラメータの精度を十分に維持するには、V_{OUT} を正確に測定する必要がある。例えば、V_{DD} = 5.5V で最大 V_{OST}G_N = 0.1V とすると、V_{OST} の分解能を 0.1% とするには、V_{OUT} に使用する ADC は少なくとも 16 ビットが必要
- 他のソリューションを使用した場合よりも測定速度が遅いことがある

マイクロチップ社デバイスのコード保護機能に関する以下の点にご留意ください。

- マイクロチップ社製品は、その該当するマイクロチップ社データシートに記載の仕様を満たしています。
- マイクロチップ社では、通常の条件ならびに仕様どおりの方法で使用した場合、マイクロチップ社製品は現在市場に流通している同種製品としては最もセキュリティの高い部類に入る製品であると考えております。
- コード保護機能を解除するための不正かつ違法な方法が存在します。マイクロチップ社の確認している範囲では、このような方法のいずれにおいても、マイクロチップ社製品をマイクロチップ社データシートの動作仕様外の方法で使用する必要があります。このような行為は、知的所有権の侵害に該当する可能性が非常に高いと言えます。
- マイクロチップ社は、コードの保全について懸念を抱いているお客様と連携し、対応策に取り組んでいきます。
- マイクロチップ社を含むすべての半導体メーカーの中で、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、マイクロチップ社が製品を「解読不能」として保証しているものではありません。

コード保護機能は常に進歩しています。マイクロチップ社では、製品のコード保護機能の改善に継続的に取り組んでいます。マイクロチップ社のコード保護機能を解除しようとする行為は、デジタルミレニアム著作権法に抵触する可能性があります。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合は、デジタルミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

本書に記載されているデバイス アプリケーションなどに関する情報は、ユーザーの便宜のためにのみ提供されているものであり、更新によって無効とされることがあります。アプリケーションと仕様の整合性を保証することは、お客様の責任において行ってください。マイクロチップ社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。マイクロチップ社は、本書の情報およびその使用に起因する一切の責任を否認します。マイクロチップ社デバイスを生命維持および/または保安のアプリケーションに使用することはデバイス購入者の全責任において行うものとし、デバイス購入者は、デバイスの使用に起因するすべての損害、請求、訴訟、および出費に関してマイクロチップ社を弁護、免責し、同社に不利益が及ばないようにすることに同意するものとします。暗黙的あるいは明示的を問わず、マイクロチップ社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip の社名とロゴ、Microchip ロゴ、Accuron、dsPIC、KEELOQ、KEELOQ ロゴ、MPLAB、PIC、PICmicro、PICSTART、rPIC、SmartShunt、UNI/O は、米国およびその他の国における Microchip Technology Incorporated の登録商標です。

FilterLab、Linear Active Thermistor、MXDEV、MXLAB、SEEVAL、SmartSensor、The Embedded Control Solutions Company は、米国における Microchip Technology Incorporated の登録商標です。

Analog-for-the-Digital Age、Application Maestro、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、In-Circuit Serial Programming、ICSP、ICEPIC、Mindi、MiWi、MPASM、MPLAB Certified ロゴ、MPLIB、MPLINK、mTouch、PICkit、PICDEM、PICDEM.net、PICKtail、PIC³² logo、PowerCal、PowerInfo、PowerMate、PowerTool、Real ICE、rLAB、Select Mode、Total Endurance、WiperLock、ZENA、は米国およびその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービスマークです。

その他、本書に記載されている商標は、各社に帰属します。

© 2008, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.



再生紙を使用しています。

**QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949:2002 ==**

マイクロチップ社では、Chandler および Tempe (アリゾナ州)、Gresham (オレゴン州) の本部、設計部およびウエハ製造工場そしてカリフォルニア州とインドのデザインセンターが ISO/TS-16949:2002 認証を取得しています。マイクロチップ社の品質システムプロセスおよび手順は、PIC[®] MCU および dsPIC[®] DSC、KEELOQ[®] コードホッピングデバイス、シリアルEEPROM、マイクロペリフェラル、揮発性メモリ、アナログ製品に採用されています。また、マイクロチップ社の開発システムの設計および製造に関する品質システムは、ISO 9001:2000 の認証を受けています。

世界各国での販売およびサービス

北米

本社

2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
テクニカル サポート :
http://support.microchip.com
ウェブ アドレス :
www.microchip.com

アトランタ

Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

ボストン

Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ

Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

ダラス

Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト

Farmington Hills, MI
Tel: 248-538-2250
Fax: 248-538-2260

ココモ

Kokomo, IN
Tel: 765-864-8360
Fax: 765-864-8387

ロサンゼルス

Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608

サンタクララ

Santa Clara, CA
Tel: 408-961-6444
Fax: 408-961-6445

トロント

Mississauga, Ontario,
Canada
Tel: 905-673-0699
Fax: 905-673-6509

アジア / 太平洋

アジア太平洋支社

Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

オーストラリア - シドニー

Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

中国 - 北京

Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 - 成都

Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 香港 SAR

Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 南京

Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青島

Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海

Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 瀋陽

Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深川

Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 武漢

Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 厦門

Tel: 86-592-2388138
Fax: 86-592-2388130

中国 - 西安

Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 珠海

Tel: 86-756-3210040
Fax: 86-756-3210049

アジア / 太平洋

インド - バンガロール

Tel: 91-80-4182-8400
Fax: 91-80-4182-8422

インド - ニューデリー

Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

インド - プネ

Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 - 横浜

Tel: 81-45-471-6166
Fax: 81-45-471-6122

韓国 - 大邱

Tel: 82-53-744-4301
Fax: 82-53-744-4302

韓国 - ソウル

Tel: 82-2-554-7200
Fax: 82-2-558-5932 または
82-2-558-5934

マレーシア - クアラルンプール

Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

マレーシア - ペナン

Tel: 60-4-227-8870
Fax: 60-4-227-4068

フィリピン - マニラ

Tel: 63-2-634-9065
Fax: 63-2-634-9069

シンガポール

Tel: 65-6334-8870
Fax: 65-6334-8850

台湾 - 新竹

Tel: 886-3-572-9526
Fax: 886-3-572-6459

台湾 - 高雄

Tel: 886-7-536-4818
Fax: 886-7-536-4803

台湾 - 台北

Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

タイ - バンコク

Tel: 66-2-694-1351
Fax: 66-2-694-1350

ヨーロッパ

オーストリア - ヴェルス

Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン

Tel: 45-4450-2828
Fax: 45-4485-2829

フランス - パリ

Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - ミュンヘン

Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

イタリア - ミラノ

Tel: 39-0331-742611
Fax: 39-0331-466781

オランダ - ドリユーン

Tel: 31-416-690399
Fax: 31-416-690340

スペイン - マドリッド

Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 - ウォーキングガム

Tel: 44-118-921-5869
Fax: 44-118-921-5820